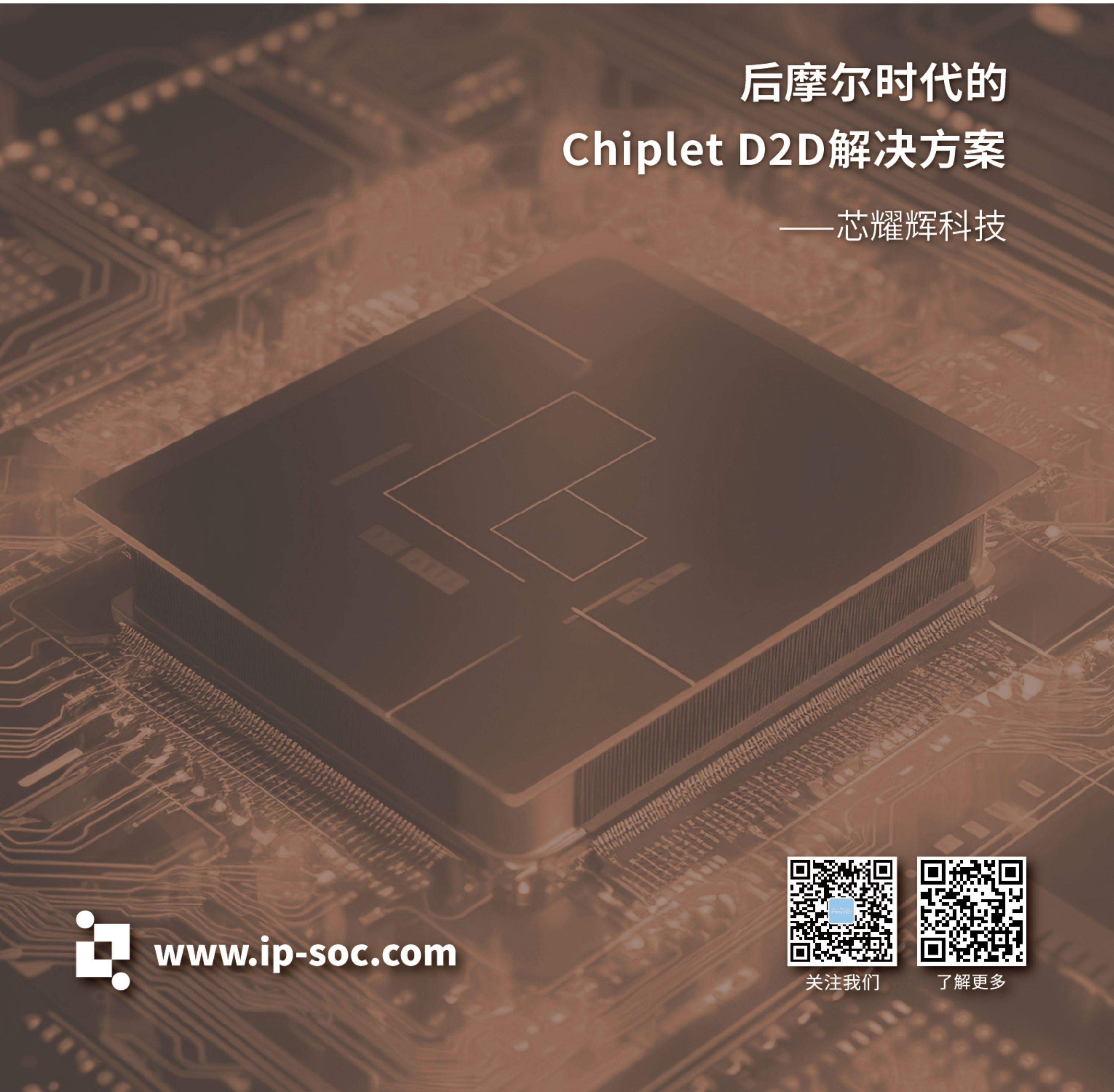
7/8月刊 | 总第17期

IP Reuse SoC Design

IP与SoC设计



后摩尔时代的 Chiplet D2D解决方案

——芯耀辉科技

www.ip-soc.com

关注我们

了解更多


上海奎芯集成电路设计有限公司
M SQUARE Ltd. Shanghai
奎芯科技
集成电路IP与Chiplet产品供应商
"芯粒高速互联 海量算力源泉"
Hardening + OPPA
DP Memory Compiler Standard Cell
Processor Core Special I/O
PVT Sensor
Interface IP Integration
HBM
HDMI
SATA
USB
GPIOs
LDO
PLL
SerDes
PCIe
DDR
ADC
MIPI
www.m2ipm2.com
marcom@m2ipm2.com
上海市闵行区申长路519号6-2楼6楼 奎芯科技M2

关于《IP与SoC设计》

《IP与SoC设计》专注于IP和SoC设计技术，基于当前集成电路产业发展的趋势，依托无锡“芯火”平台，全面报道全球IP与SoC设计技术的发展和国内外应用经验，整合全球IP与SoC资源和技术资讯，扩展中国读者的全球视野，搭建一个IP与SoC的资讯交流、产业促进的平台，为中国IC设计行业和企业提供IP与SoC专业知识，以及相关信息支持和服务。

出　　版：无锡国家“芯火”双创基地（平台）
出 版 人：曹华锋
技术主编：房龙涛
执行编辑：杨泽凡
发 行 部：17306130639
杂志网站：www.ip-soc.com
联系邮箱：yang@ip-soc.com
地　　址：无锡新吴区菱湖大道111号无锡软件园天鹅座C座

DIRECTORY
目录

写在前面 WRITING IN THE FRONT

全芯片ESD工具为复杂SoC提供超强保护力！让芯片不再被“电”——新思科技 06

封面专题 COVER FEATURE

后摩尔时代的Chiplet D2D解决方案——芯耀辉科技 16

技术应用与产业观点 TECHNOLOGY APPLICATION AND INDUSTRY PERSPECTIVE

如何缩减RISC-V代码大小——Codasip 28
软件仿真、硬件仿真、原型验证是如何工作的？——思尔芯 36

产品特写 PRODUCT FEATURES

千兆以太网FPGA原型验证解决方案——亚科鸿禹 50

广告索引 ADVERTISEMENT INDEX

《IP与SoC设计》索阅卡

全芯片ESD工具为复杂SoC提供超强保护力！让芯片不再被“电”

新思科技

据统计，超过30%的半导体故障是由静电放电（ESD）造成的。根据美国ESD协会的定义，ESD是指“由高静电场引起的静电电荷快速、自发转移”。ESD会扰乱电子系统的正常运行，导致设备发生故障。ESD引起的损坏情况有很多，从泄漏、短路到结和金属化烧毁、栅极氧化物破裂、电阻-金属接口劣化等，不一而足。在现实生活中，ESD引起的芯片故障示例包括：智能手机漏电、健身追踪器屏幕闪烁，或自动紧急制动系统失灵。

为了尽可能地降低ESD的影响，半导体公司在芯片中集成了保护器件或电路。这些元器件的功能实际上就是为了形成低电阻率放电电流路径，从而防止内部电路以及保护元件本身在ESD事件期间受到损坏。如果实施得当，保护元件能够提供很好的保护效果，但要如何在最新的工艺节点上进行抗ESD的硅片设计，这也变得越来越有挑战性。事实上，单片式片上系统（SoC）中封装了数十亿个电路，供ESD保护元件使用的区域非常有限，而且这些元件需要经过精心的布置和验证。此外，在Multi-Die系统中，处理器、存储器和互连之间还存在复杂的热电相互作用，进而会产生一系列新的ESD问题。

本文将进一步讨论不断演化的ESD挑战如何促使半导体公司利用新一代全芯片设计工具来增强传统的静态检查器，从而快速分析芯片并仿真数百万种瞬态ESD电涌。

1.设计具有ESD保护的芯片

在集成电路（IC）中，ESD事件通常会感应产生0.1-10 A的电流，并耗散大约10-100 W的能量。为了尽可能地降低或消除静电放电的影响，首先第一步便是设计出耐静电放电的产品和组件。

绝缘材料具有至少$1.0 \times 10^{11}\Omega$的表面电阻或体积电阻，有助于防止和限制电子流动。耗散材料则可在绝缘材料和导电材料之间提供电阻。根据ESD协会的规定，这些耗散材料的表面电阻应大于或等于$1.0 \times 10^{4}\Omega$，小于$1.0 \times 10^{11}\Omega$，或者体积电阻大于或等于$1.0 \times 10^{4}\Omega$，小于$1.0 \times 10^{11}\Omega$。

除了绝缘材料和耗散材料之外，片上ESD保护结构也发挥着重要作用。保护结构提供安全的ESD放电路径（放电到接地母线/地轨），从而保护核心电路的输入、输出和电源引脚。在系统正常运行期间，这些保护结构通常处于不活动状态。发生ESD事件时，保护电路会将引脚箝位至低电压，并在释放过量电流后关断。

2.从ESD保护二极管到可控硅整流器

用于构建保护箝位的器件主要有以下三种：

•二极管：二极管结构简单，满足低压ESD应用的关键要求。正向偏置时，二极管具有低导通电压和低导通电阻，能够处理高ESD电流，被认为是最有效的保护元件之一。然而，在反向偏置条件下，二极管具有高导通电压、高导通电阻和低电流处理能力。

•栅极接地N沟道MOSFET：栅极接地N沟道MOSFET（GGNMOS）通常用于保护基于CMOS的设计。尽管GGNMOS在结构和操作上与常规MOS相似，但为了尽可能地提高ESD性能，布局技术会有所不同。GGNMOS器件可以在主动模式或急速返回（snapback）模式下运行，其中急速返回模式是最常见和最有效的模式。

•可控硅整流器：可控硅整流器（SCR）采用双极传导机制，常被评为最高效、最鲁棒的ESD保护器件。尽管SCR很容易“闩锁”，即在ESD事件结束后传导电流，但通过优化芯片设计可以有效弥补这一缺点。

3.验证芯片对瞬态ESD电涌的承受能力

半导体公司使用多种器件级标准来验证芯片对瞬态ESD电涌的承受能力，包括人体模型（HBM）和充电器件模型（CDM）。根据ESD协会的定义，HBM代表从站立人体的指尖传递到器件的放电情况。HBM通常以100pF电容为模型，由高压电源通过高欧姆电阻（通常为兆欧级）充电，随后通过开关元件和1.5kW（1,500Ω）串联电阻放电。标准HBM波形包括2-10ns的上升时间、0.67 A/kV的峰值电流以及宽度为200 ns的双指数衰减。

CDM事件则指带电器件接触接地物体时的放电情况。具体来说，器件是电荷源，通过接地体放电。CDM测试步骤包括：将器件放在场板上，使引线朝上，然后给器件充电再放电。所有引脚都被同等对待，并在正充电和负充电后放电。CDM事件是现代电路中ESD故障的主要原因。尽管放电持续时间通常不到1ns，但峰值电流可能达到数十安培，从而导致显著压降和介质击穿。

4.全面的全芯片ESD分析

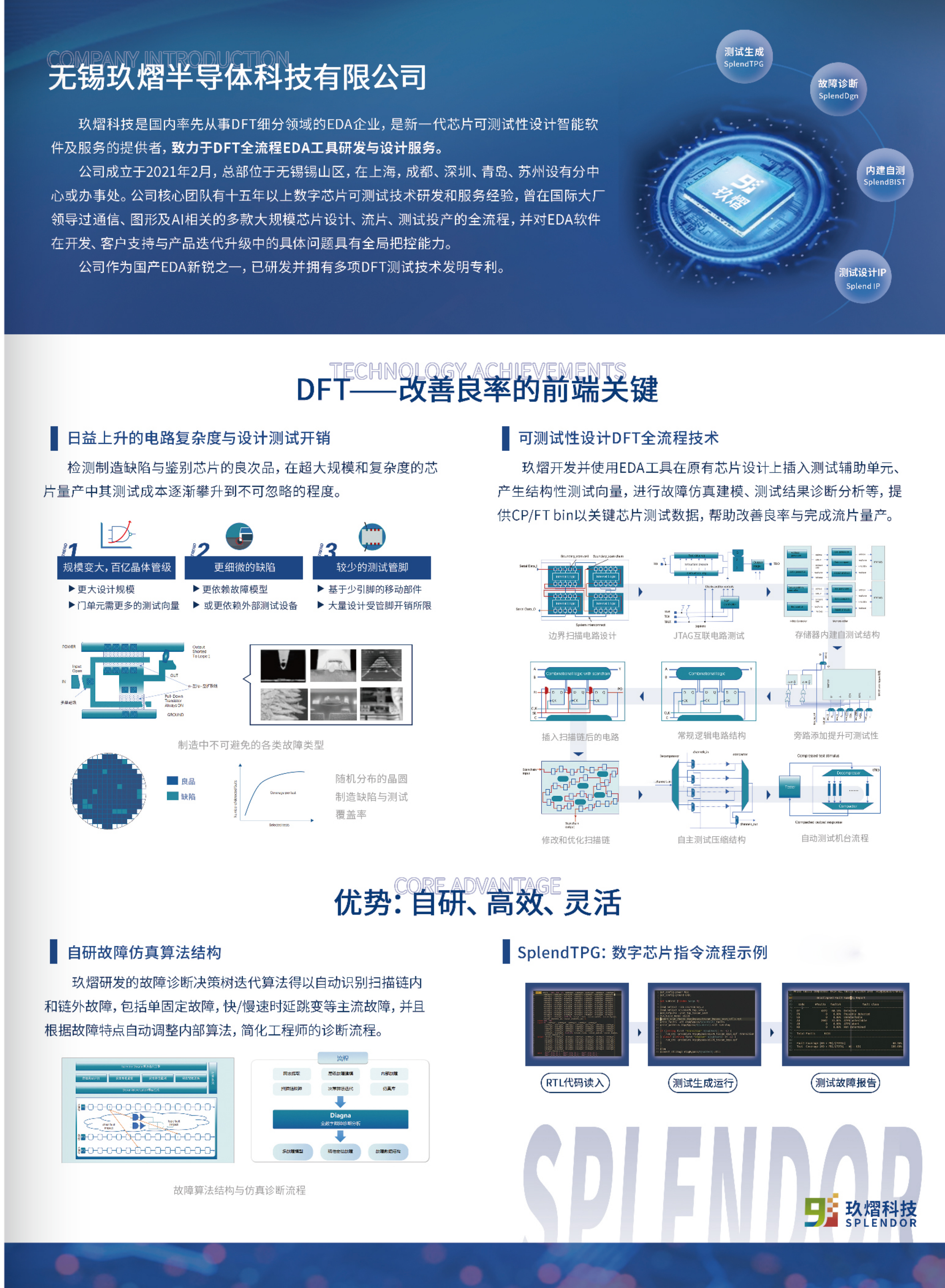
半导体公司发现，定期执行CDM测试并获得一致的结果变得越来越困难。由于CDM直接受环境影响，因此需要精确的芯片和封装基板数据，才能准确定义仿真变量。然而，获取这些数据并进行仿真比以往任何时候都更具挑战性，因为高密度的单片SoC通常包含数十亿个电路，而新的Multi-Die系统在单个封装中的多个芯片之间引入了复杂的热电相互作用。

事实上，ESD故障可能发生在金属互连、ESD器件本身以及ESD器件要保护的核心器件上。虽然金属互连是ESD放电路径的关键要素，但对它们的评估通常是手动进行的，或是使用非专用的工具来完成，这些工具无法独立地对大型复杂芯片或Multi-Die系统中的CDM电流进行仿真。因此，半导体公司现在利用全芯片ESD工具来验证互连、ESD器件和核心器件能否承受HBM和CDM事件。

全芯片ESD工具可以突出显示有风险的设计，精确定位易受影响的器件，并自动生成电流密度违规和高电阻路径的报告。此外，全芯片ESD工具可以对整个芯片和封装进行瞬态仿真，帮助分析所有的互连以及保护元器件，包括感应器、电感和电容。全芯片ESD工具还可以对电路布局验证（LVS）前后的干净布局进行分析，从而快速识别和纠正潜在问题。最后，层次化调试可以从宏观和微观角度审视芯片设计，给出关于ESD问题的精细洞察。

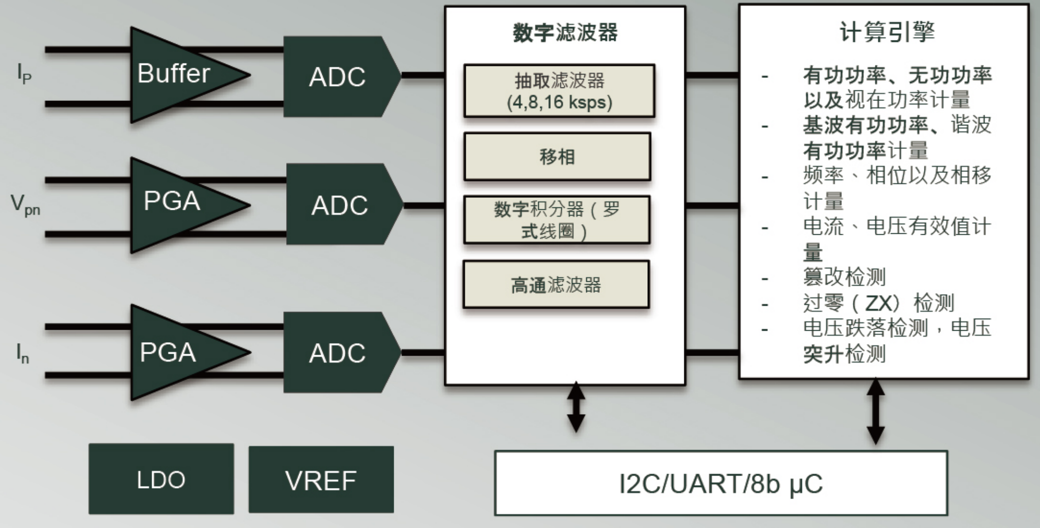
5.结语

ESD事件导致了超过三分之一的半导体故障，因而我们需要尽可能地降低ESD影响。为此，芯片开发者在芯片中集成了保护器件和电路，以形成低电阻率放电电流路径。虽然保护元件在实施得当时效果非常好，但随着高密度SoC中封装的电路数量达到数十亿，而Multi-Die系统又会引入新的ESD问题，因此在采用先进制程工艺的芯片中，ESD保护设计变得越来越具挑战性。为了准确验证互连、ESD器件和核心器件对HBM和CDM事件的承受能力，半导体公司需要专用的ESD工具来全面分析所有互连和元器件，同时对整个芯片和封装进行瞬态仿真。



电能计量 IP

可用于SMIC40和TSMC40工艺平台



第5代电能计量IP

- 新一代单相和三相电能计量IP

优于IEC 62053-22等级规定的0.2s要求
有功功率精度：在1/5000范围内误差<0.1%

- IP特色

支持罗式线圈
可编程输出数据速率： 4, 8, 16, 32ksps
搭配DOLPHIN的超低功耗 LDO, 32k OSC 和 RTC，可以实现RTC工作模式下 < 1μA 的超低功耗

- 很小的片上面积

在40nm工艺下，单相IP面积1.4mm^2
可用于TSMC40nm和SMIC40nm工艺平台，客户可以很方便的集成MCU/DSP以及RF通信模块

DOLPHIN DESIGN

Data-centric Computing

- PCIe5.0/4.0
- ONFi5.0/4.2
- USB3.2
- MIPI C/D PHY Rx/Tx
- High-Speed Standard Cell Libraries
- High-Speed SRAM Compiler

安全性

- BCK-USB2.0/1.1
- ULF-PLL
- Low VccMIN Memory Compiler

穿戴装置

- BCK-USB2.0/1.1
- PCIe2.1/1.1
- MIPI DPHY Rx/Tx
- Low Power Cell Libraries
- Low VccMIN Memory Compiler

车用

- MIPI D-PHY Tx/Rx
- MIPI CD-PHY Tx/Rx
- GPIO
- USB3.2
- PCIe 4.0/3.1
- MIPI M-PHY
- SRAM Compiler

行动装置

- 7T/9T/12T Library
- GPIO/
- eMMC/SDIO
- SRAM/ROM Compiler
- BCK-USB 3.2/2.0
- USB 3.2/2.0
- PCIe 4.0/3.1
- MIPI D-PHY Rx/Tx
- MIPI C/D-PHY Rx/Tx

边缘计算

- PCIe5.0/4.0
- USB3.2
- MIPI C/D PHY Rx/Tx
- Serdes PHY
- ONFi4.2
- High-Speed SRAM Compiler

5G

- PCIe5.0/4.0
- USB3.2 G2/G1
- SerDes PHY

人工智能

- GPIO
- SRAM Compiler
- Low Power, High-Performance Processor Hard Cores
- PCIe 5.0/4.0
- MIPI C/D PHY Rx/Tx
- USB 3.2
- DisplayPort Tx

客制化物联网

- ULF-PLL
- USB 3.2/2.0/1.1
- Low Power Cell Libraries
- Green Memory Compiler
- Low VccMIN Memory Compiler
- Ultra-Low Power Processor Hard Core

100% Silicon Proven

立即與M31專家團隊聯繫
sales@m31tech.com

Linkedin Wechat

后摩尔时代的Chiplet D2D解决方案

芯耀辉科技

本篇内容已被中国IC设计特刊收录,本刊非首发

摘要：

在后摩尔时代，集成电路设计理念正向Chiplet 架构转变。本文从 D2D 接口 IP 设计，D2D 封装和 D2D 测试三个方面介绍了Chiplet D2D 的解决方案，并给出了采用此解决方案的 XSR 112G D2D 的测试结果。

关键词：

Chiplet；并口 D2D；串口 D2D；D2D 封装；D2D 测试，XSR 112G D2D

1.后摩尔时代向Chiplet的战略转变

当前摩尔定律逐步趋向物理极限，半导体行业正在发生重大的战略转变。基于Chiplet 架构的芯片设计理念逐渐成为行业主流。这一战略转变的驱动因素主要有以下几种：

1）单芯片的尺寸变得太大，无法制造；

2）充分利用已有 KGD（Known Good Die）芯片实现复杂功能芯片，可以减少设计周期和成本，并提高良率。

在这些驱动因素下，整个 Chiplet 行业在 2031 年有望达到 471.9 亿美元［1］，如图 1 所示，Chiplet 市场在 2021~2031 十年期年复合增长率保持 36.4%；其中实现 Die to Die（D2D）互连的接口 IP 市场在 2026 达到 3.24 亿美元［2］，D2D IP 市场在 2021~2026 五年期年复合增长率高达 50%，如下图 2 所示。

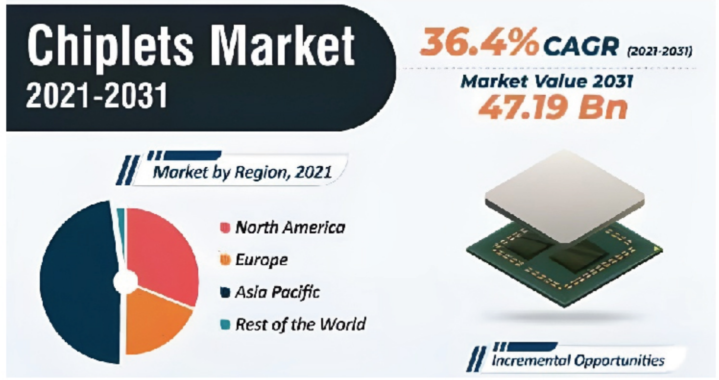


图 1 Chiplet 市场

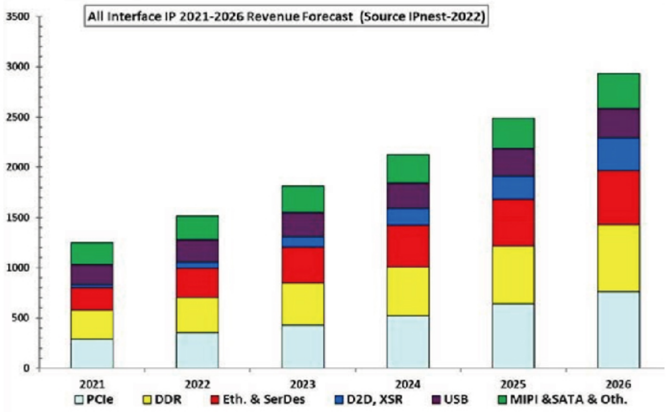


图 2 D2D IP 市场趋势

Chiplet 应用场景主要分两种，第一种是将同工艺大芯片分割成多个小芯片，然后通过接口 IP 互连在一起实现算力堆叠；

第二种是将不同工艺不同功能的芯片通过接口 IP 互连并封装在一起实现异构集成，如图 3 所示。算力堆叠主要应用于 CPU、TPU 和 AI 芯片等，对接口 IP 的要求是低延迟和低误码率，通常采用并行接口 IP。异构集成，主要应用于 CPU、FPGA 和通信芯片等，对接口 IP 的要求是标准化，兼容性，可移植性和生态系统等，通常采用串行接口 IP。

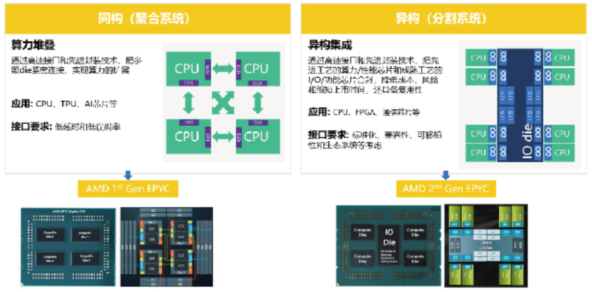
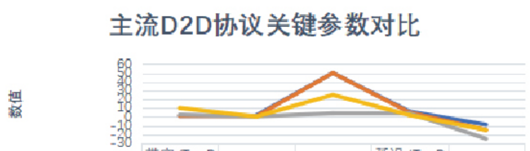


图 3 典型应用场景

为了便于组装不同供应商开发的芯粒，需要标准化的芯粒间互连标准，行业联盟已共同定义出多种芯粒互连标准，如 XSR，BoW，OpenHBI，UCIe 等。它们的主要性能指标如图 4 所示。其中，XSR 采用差分串行结构，目前最高速率达 112Gbps，可用于异构集成连接 IO die；后 3 种采用单端并行结构，目前最高速率是 UCIe 的 32Gbps，同时它还定义了完整的协议层，继承了 CXL 和 PCIe 的生态优势，可用于算力堆叠中计算 IP 间的互连。



	带宽 (Tx+Rx) Tbps/mm	能效(Tx+Rx) pJ/bit	走线间距 mm	延迟 (Tx+Rx) ns	BER 1e-
XSR	1.1	1.6	50	6	-9
BOW	1	0.5	50	5	-15
OpenHBI	2.3	0.4	4	4	-25
UCIe	10	0.25	25	2	-15

图 4 主流 D2D 的关键指标

完整的 D2D 解决方案包括：D2D 接口 IP 设计、D2D 封装设计和 D2D 测试，下面分别做详细介绍。

2.D2D接口IP设计解决方案

D2D 接口 IP 由物理层（PHY）和控制器组成，如下图 5 所示。物理层 PHY 是封装介质的电气接口。从分层结构上分为模拟 PHY 和数字 PHY，模拟 PHY 包括电气 AFE(发射器、接收器）以及边带信道，可实现两个晶粒之间的参数交换和协商。数字 PHY 包括链路初始化、训练和校准算法以及测试和修复功能。从接口类型上分并行接口和串行接口。

控制器由链路层（Link layer）和逻辑物理层（Physical Layer Logical）。链路层负责上层协议接口适配，协议仲裁和协商，以及基于 CRC，可选的 FEC（Forward Error Correction）和重传机制来确保链路可靠地传输数据；逻辑物理层负责链路训练和管理功能以及具体的 PHY 适配（比如加扰，解扰，块对齐，OS 插入和提取等）。在链路初始化时，逻辑物理层会等待 PHY 完成链路初始化，通过链路状态机进入工作模式。链路层会通过协商确定使用哪个协议（如果实施了多个协议）。控制器向上支持 CXS、AXI、FDI（Filt aware D2D interface）接口来支持 PCIe、CXL、UCIe 以及 SOC 和 RAW 协议层；向下兼容 RDI（Raw D2D interface）和 PIPE 接口来适配不同的物理电气层 [3][4][5]。

下面分别介绍一下并口和串口的 D2D PHY 架构。

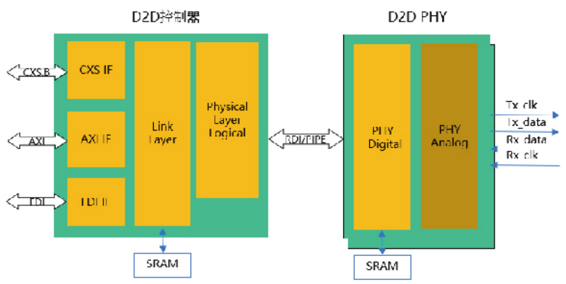


图 5 D2D 分层架构

2.1 并口D2D PHY架构

为了满足低延迟，高能效，低误码率要求，物理层接口采用单端并口传输，使用 2.5D 封装形式。并口 D2D 物理层结构如图 6 所示：

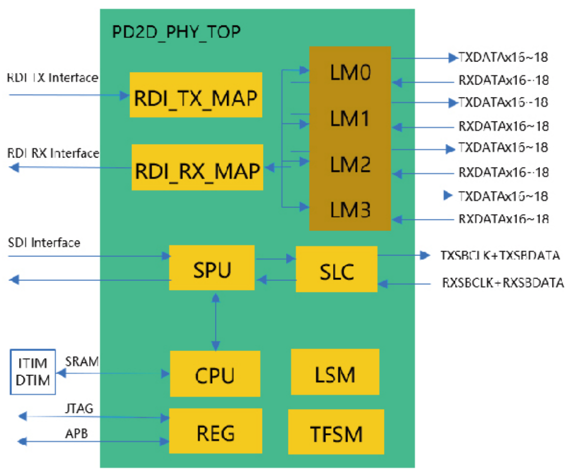


图 6 并口 D2D PHY 系统框架

并口物理层模拟部分包括 4 个 LM(Lane module)，每个 LM 数据位宽为单向 16bit，共 64bit。可以根据所需带宽灵活配置 LM 数目。每个 LM 还可以配置 1~2 个 Slicer 用于 Filt Header 或 CRC 校验。每 Lane 具备高精度和高解析度自校准延迟线，RX 线性连续时间均衡器（CTLE）和 DFE 均衡器以实现高速性能，并根据走线长度可关闭 DFE 均衡器，以降低功耗。

并口物理层数字部分包括的功能块有 RDI_TX/RX_MAP 实现 RDI 接口到 LM 的映射；SPU（Sideband Process Unit）/TFSM（Train FSM）/LSM（Link SM）实现 PHY 启动，Lane 修复 / 反转，TX/RX 训练，VREF 训练，眼图训练，自适应，链路状态管理，链路双方配置等功能。

芯耀辉实现的并口物理层采用 DDR 模式传输数据，数据率为 16Gbps，符合 UCIe 和 CCITA 发布的《小芯片接口总线技术要求》标准；使用 Forward clock 模式简化接收端设计，可以减小延迟，降低功耗；延迟时间从本端 FDI 到对端 FDI 小于 2ns，能效 0.5~1pJ/bit。

2.2 串口D2D PHY架构

为了满足高带宽，较长距传输，较低封装成本的要求，物理层接口采用差分串口传输，使用 2D substrate 封装形式。串口 D2D 物理层结构如下图 7 所示：

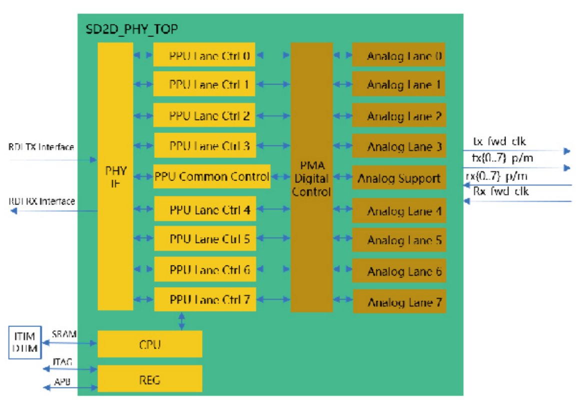


图 7 串口 D2D PHY 架构

串口物理层模拟部分包括 8 通道 Analog Lane，每通道由 TX 和 RX 组成，可实现双向 8 通道全双工差分信号传输，兼容 NRZ 和 PAM4 信令，数据率覆盖 2.5~112Gbps[6]。为适应较差的信道，TX 采用 3 Taps FFE 均衡器，RX 采用线性均衡器。为了优化延迟，时钟架构可采用 Forward clock 架构。为了优化功耗，每个通道可独立开关，独立运行。

串口物理层数字部分包括 PMA Digital Control 和 PHY 处理单元（PPU）。主要实现 PHY 上下电时序控制；上电时 TX/RX 校准、自适应算法及顺序控制；正常运行时，实时自适应校准；内建测试逻辑控制等功能。

芯耀辉实现的串口物理层兼容 CEI-112G-XSR 协议，最高速率达 112Gbps，可均衡通道损耗 -10dB，带宽线密度约 1Tbps/mm，能效 1.5pJ/bit，延迟时间小于 6ns，误码率小于 1e-15。

3.D2D封装方案

适合 D2D 的封装类型包括传统的 2D 有机基板（Substrate），先进 2.5D 封装（RDL Fanout 和 Silicon Interposer）及 3D 封装（Hybrid Bonding）。具体选用那种封装类型，需综合考虑 IO 数量，IO 密度，数据率，成本，复杂度和接口类型等因素，如图 8 所示 [7]。通常对于高速串行接口，数据率越高，IO 数量越少，IO 密度越低，复杂度和成本也越低，建议采用 2D 或者 RDL Fanout 2.5D 封装类型。对于高密度并行接口，数据率越低，IO 数量越多，IO 密度越高，复杂度和成本也越高，建议采用 2.5D 或者 3D 封装类型。

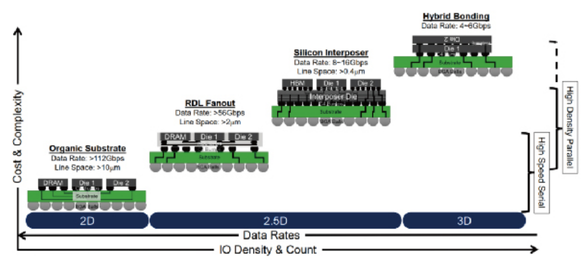


图 8 D2D 封装类型选择

考虑到出 Pin 密度，电源 Drop，信号完整性，减小基板层数，降低成本等因素。Bump map 和互连走线采用如图 9 所示结构 [2]。图中 TX 信号 bump 和 RX 信号 bump 分开单独放一起，可以方便对端 Die 的互连，减小走线间 Cross talk；两个 Die 之间 bump 采用相隔近的与相隔近的互连，相隔远的与相隔远的互连，可以减少基板叠层，减小信号走线间交叠，从而减少成本，提高信号完整性。但这样会造成线与线间延迟时间的轻微差别，可以通过 Die 内 Deskew 功能去除。从信号完整性角度来看，还需要考虑 Bump 阻抗不连续，Via 阻抗不连续，走线阻抗不连续和噪声耦合等问题。

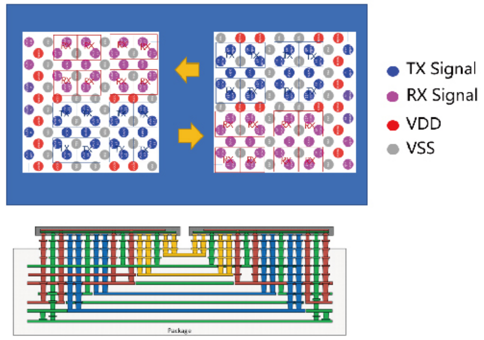


图 9 Bump map 方案

封装设计好后，需要抽取 S 参数，并利用 IBIS-AMI 模型验证信号质量。能建模 IBIS-AMI 并验证走线 S 参数的工具有很多，它们中大部分都提供了自动化 IBIS-AMI 建模流程，可以基于图形界面设计 [8]。如图 10 和图 11 所示，用户可以使用软件内建的常用算法模型，来快速对 TX 的 FFE 去加重预加重均衡和模拟输出（AnalogOut）以及 RX 的模拟输入(AnalogIn)，CTLE 连续时间线性均衡，AGC 自动增益放大，DFE 自适应判决反馈均衡和 CDR 时钟恢复等进行建模，既可设置为 NRZ 模式也可设置为 PAM4 模式，而且内建的 Channel 模型可以很方便调用 Touchstone 格式的通道 S 参数。

图 10 中，Channel 调用的通道 S 参数为 -10dB@28GHz；TX 设置为 NRZ 模式，数据率为 56Gbps，摆幅为 500mV，输入信号为 PRBS31，FFE 均衡不使能；RX 设置 CTLE gain-boost 从 0dB 到 -10dB，AGC 增益设置为 1，DFE 不使能，CDR 使能。仿真得到的眼高 175mV，眼宽 15.76ps，COM 为 15.7dB。图 11 中，将设置改为 PAM4 模式，数据率为 112Gbps，输入信号为 QPRBS13，其它不变的情况下。仿真得到的眼图的三个眼高基本一致为 40mV，眼的线性度 RLM 为 99.8%。

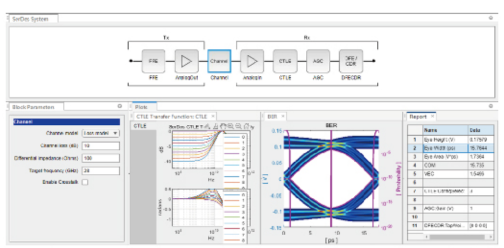


图 10 用 IBIS-AMI 模型进行 NRZ 信号通道分析

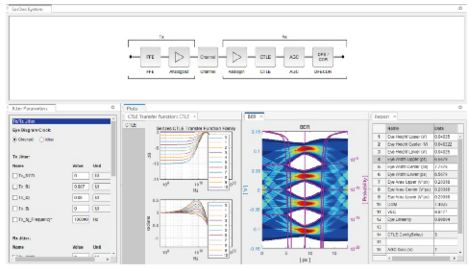


图 11 用 IBIS-AMI 模型进行 PAM4 信号通道分析

4.D2D测试方案

以串口 D2D 为例。为了全面测试和 debug 数据链路，D2D 接口 IP 在设计时，需考虑全面的环回测试路径，如图 12 所示。数据通路测试路径包括：数字侧近端环回路径 A：本端数字部分内环测试；模拟侧近端环回路径 B：本端模拟部分内环测试；模拟侧远端环回路径 C：对端模拟部分外环测试；数字侧远端环回路径 D：对端数字部分外环测试。时钟通路测试路径包括：时钟近端环回路径 E：本端发送时钟至接收时钟的环回测试；时钟远端环回路径 F：对端接收时钟至发送时钟的环回测试。

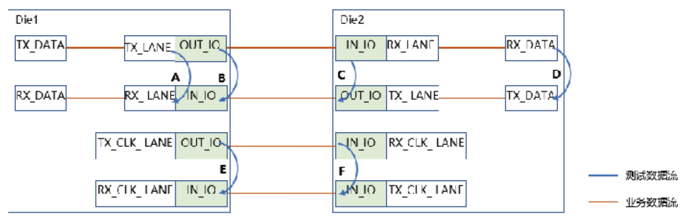


图 12 环回测试模式

由于 D2D 高速引脚一般封装在 Package 内，不引出。这样对 D2D IP 的测试造成了一定的不方便。因此，测试方案和 Package 设计都需要特殊考虑。如图 13 所示 [9][10]，测试需要 2 个 Die（Octal Macro）实现 TX 到 RX 的环回测试。为了验证 D2D IP 能过不同的通道损耗，通道损耗设计为 1dB~10dB@28GHz。为了真实测试出 D2D IP 的性能，需要对从 PCB 连接器处到封装基板的走线做去嵌处理。

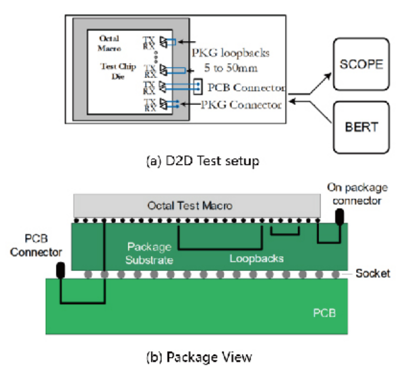


图 13 D2D test setup and package view

采用以上测试方案，通道损耗为 -10dB@28GHz 时，芯耀辉设计的 112G 串口 D2D 样片 TX 输出的测试结果如图 14 所示。图中 56G-NRZ 测试采用 PRBS31 码型，眼高为 363mV，Rj 为 345fs(rms)；56G-PAM4 测试采用 QPRBS13 码型，三个眼高从上到下分别为 224.6mV，235.6mV，229.0mV，RLM=97.7%；112G-PAM4 测试采用 QPRBS13 码型，三个眼高从上到下分别为为 99mV，109.2mV，97mV，RLM=95.3%。测试结果满足 CEI-112G-XSR 协议要求。

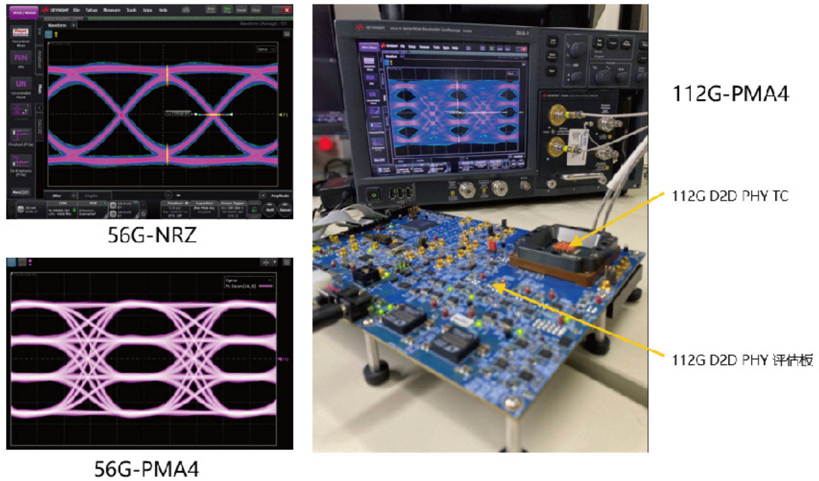


图 14 XSR D2D TX 测试结果

5.结束语

多晶粒 Chiplet 已成为芯片设计行业主流系统方案，D2D 接口规范为设计人员带来了极具竞争力的性能优势，包括高能效 (pJ/b)，高带宽线密度 (Tbps/mm) 和低延迟 (ns)，支持主流 IO 协议以及任何用户定义的协议，支持多种封装类型。本文从接口 IP 设计到封装设计再到测试方案，详细介绍了 Chiplet D2D 解决方案。参照此方案可轻松实现多晶粒系统互连。

2022 年 4 月，芯耀辉作为首批会员加入了 UCIe 组织，推出支持 UCIe 协议且兼容多样化 D2D 和 C2C 场景的“并口 D2D PHY IP”以及高能效比和高宽带利用率的“串口 112G D2D SerDes PHY IP”的完整 D2D 解决方案，如图 15 所示。同年 10 月，芯耀辉承接了国家科技部重点研发专项，作为国家队成员着力推动国内 Chiplet 标准 CCITA 的产业化落地。公司一直专注于高速接口 IP 领域，积累了丰富的经验和技术能力，已经为客户提供了 5G、数据中心、网络交换机等相关芯片 IP 产品，率先实现了市场客户的量产。随着产业进一步的发展，以及相关的下游的封装等一些技术的成熟，Chiplet 在国内的发展前景可期。

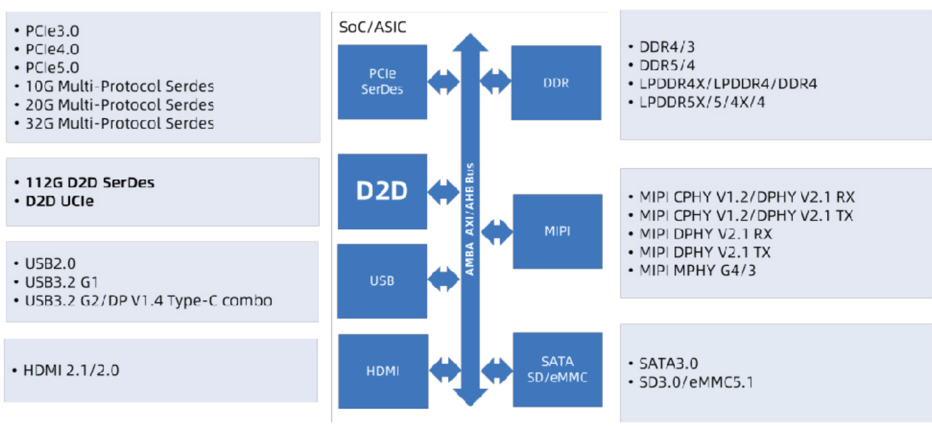


图 15 芯耀辉完整 IP 解决方案

参考文献

[1]https://www.transparencymarketresearch.com/chiplets-market.html

[2]https://semiwiki.com/semiconductor-services/ipnest/315113-interface-ip-in-2021-1-3b-22-growth-and-3b-in-2026

[3]Universal Chip-let Interconnect Express (UCIe) Specification Revision 1.0 February 24,2022

[4]PCI Express Base Specification Revision 6.0 December 16,2021

[5]Compute Express Link Specification Revision 3.0,Version 1.0 August 1,2022

[6]Implementation Agreement:OIF-CEI-05.0,May 5,2022

[7]Synopsys,DesignWare Die-to-Die 112G USR/XSR PHY & Die-to-Die Controller,September 2021

[8]https://ww2.mathworks.cn/discovery/ibis-ami.html

[9]A.Cevrero et al.,"6.1 A 100Gb/s 1.1pJ/b PAM-4 RX with Dual-Mode 1-Tap PAM-4/3-Tap NRZ Speculative DFE in 14nm CMOS FinFET," 2019 IEEE International Solid-State Circuits Conference-(ISSCC),San Francisco,CA,USA,2019,pp.112-114

[10]R. Yousry et al.,"11.1 A 1.7-pJ/b 112Gbps XSR Transceiver for Intra-package Communication in 7nm FinFET technology," 2021IEEE International Solid-State Circuits Conference-(ISSCC),San Francisco,CA,USA,2021,pp.180-181

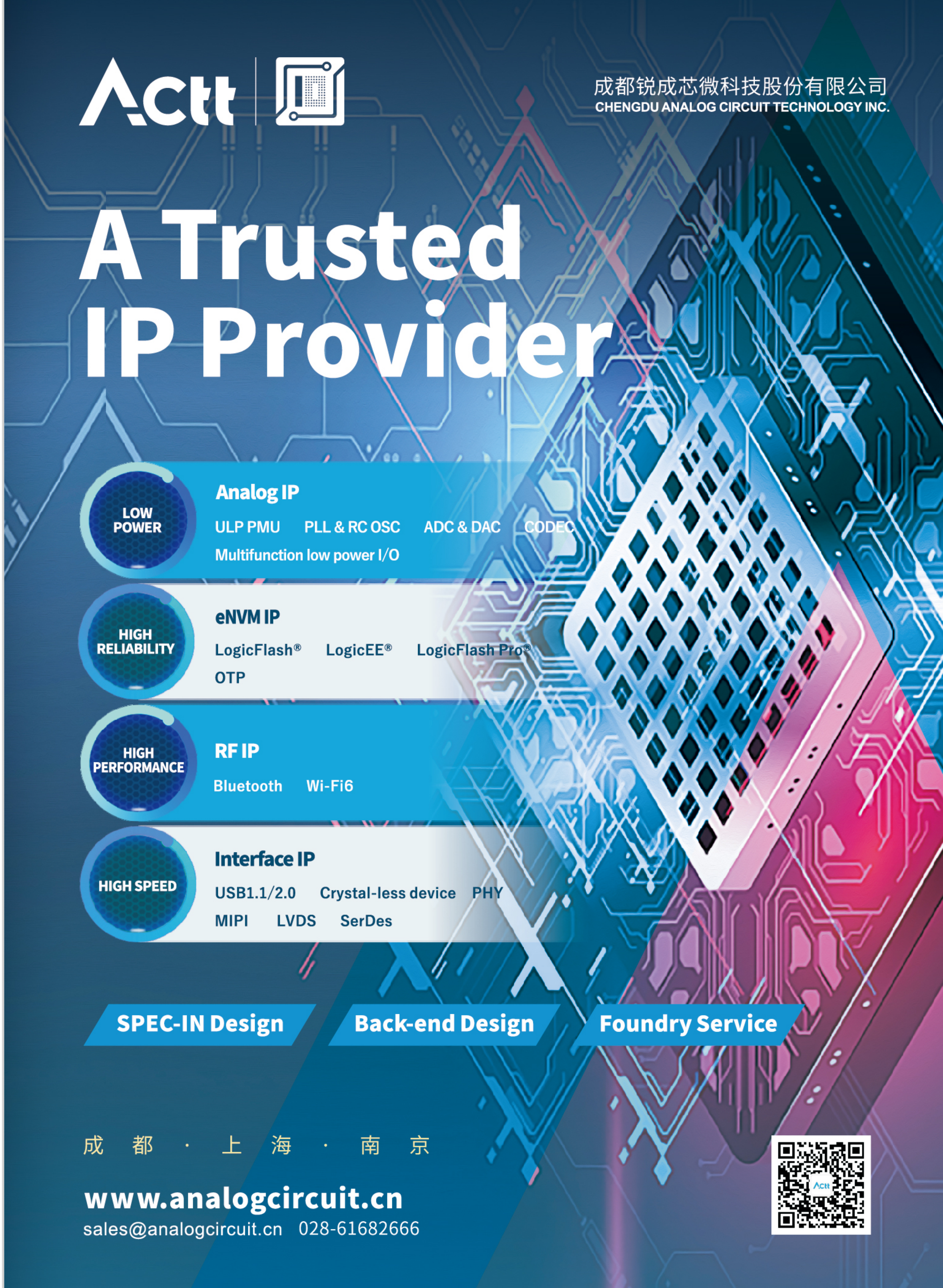
作者简介

方刘禄，硕士，高级工程师，主要研究方向：高速接口电路

章新栾，硕士，高级工程师，主要研究方向：高速接口电路数字设计

冯博，博士，工程师，主要研究方向：高速接口电路模拟设计

（三位作者目前都工作于芯耀辉科技有限公司）



如何缩减RISC-V代码大小

作者：RISC-V代码缩减工作组主席，Codasip首席IP架构师 Tariq Kurd

在Codasip，我们热衷于为客户减少RISC-V内核的代码大小。一般来说，当为内核增加指令时，理论上内核变得更大更复杂。简而言之，任何添加到处理器中的指令都会增加处理器的尺寸、复杂性和功耗，因此必须有充分的益处才能证明其合理性。而如何优化RISC-V代码大小正是Codasip所关注的方向之一。

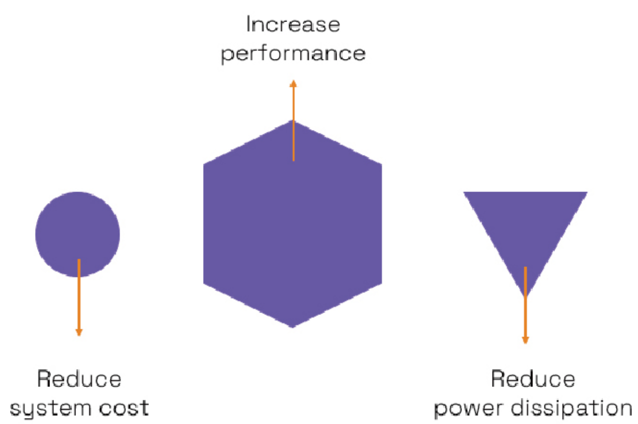
当问到为什么要考虑减少代码量时？我们首先需要关注下减少代码的好处都有哪些？

首先，可降低系统总成本

对于小型嵌入式内核来说，处理器的实际大小与SoC（包括Boot ROM）和外部闪存的大小相比并不那么重要。我们发现，在处理器尺寸上增加1-3%的额外功能，可使代码尺寸减少多达20%。这就意味着，在处理器尺寸和功耗适度增加的情况下，软件可以安装在更小的ROM和外部闪存中，从而使系统总成本大大降低。

其次，降低功耗，提高性能

减少给定程序的字节数可减少获取代码所需的内存获取次数。这就减少了所需的延迟，从而降低了功耗。此外这还能提高性能，因为在没有缓存的处理器中，等待缓存未命中服务或等待紧密耦合内存（TCM）被直接内存访问（DMA）引擎填满的时间更短。



现在已经很清楚最小化代码大小所带来的好处，那么我们如何做到这一点？

实现标准Zc扩展

由Codasip团队领导的RISC-V Zc扩展在2023年第二季度已经获得批准。大家通过Github查看已发布的规范：https://github.com/riscv/riscv-code-size-reduction/releases/tag/v1.0

什么是Zc扩展？

RISC-V代码缩减工作组由Codasip首席IP架构师Tariq Kurd担任主席并在他的主持下提出了Zc扩展。Zc扩展是RISC-V标准压缩指令集扩

展（名为“C”）的一部分，它通过为常用操作添加16位短指令编码来减少静态和动态代码大小。

工作流程简介

由于RISC-V　C扩展允许在指令存储器或高速缓存中容纳更多代码，因此对于减少代码量和提高性能非常有用。RISC-V内核，尤其是对成本敏感的小型设备（例如物联网设备），需要更多的片上存储器或片外闪存来存储代码，从而增加了系统成本。而更大的系统则采用DDR甚至HBM片外存储器。代码缩减工作组自2020年以来一直致力于通过定义Zc扩展来改善这一状况。这些扩展涵盖了从高端应用内核到微控制器的RISC-V实现范围。

项目范围

我们通过使用一系列基准来比较代码大小与C扩展，从而评估了建议的Zc扩展的有效性。测试用例来自于Opus[1]和LP3[2]音频编解码器、CoreMark[3]、Embench[4]、FPMark[5]和Debian基准等。为了消除编译器依赖性，项目组同时使用了GCC和LLVM。我们评估了每组Zc指令以及用于字典压缩的定制指令。完整的基准详情可在网上查阅[详见文末的备注6]。

RISC-V Zc扩展:Zcb

Zcb扩展适用于高性能实现，包含在RVA23应用配置文件中，以几乎零的实现成本平均节省近1%的代码量。一些Embench基准从该扩展中获益5-6%。对于大型代码库，节省0.5%-2%的代码量则更为典型。

目前所有编码都被保留，因此它与架构配置文件兼容，并包括12种编码。这些指令都是架构配置文件中现有指令的16位版本，因此只需在16位指令解码器（如果实现）中增加12行，或者在16/32位组合指令解码器中增加12行，并映射到现有解码器上。指令扩展到符号/零扩展、乘法、字节和半字的加载/存储，以及非功能性（与-1的XOR）。

压缩字典/指令表

压缩字典是一种古老的技术，在这种技术中，常用模式被替换为表或字典中的简短索引[7]。它被用于压缩算法中，至少从20世纪90年代起就被应用于计算机体系结构中以减少代码大小。

这种方法的理念是在内存中建立一个微代码表，并通过16位指令调用微代码中的一个条目。对于第一个版本，

→ Zcb instruction summary

Codasip

16-bit mnemonic	32-bit target encoding	16-bit mnemonic	32-bit target encoding	16-bit mnemonic	32-bit target encoding
c.lbu	lbu	c.zext.b	andi ..., 0xff	c.zext.w	add.uw ..., zero (Zbb)
c.lhu	lhu	c.sext.b	sext.b (Zbb)	c.sext.h	sext.h (Zbb)
c.lh	lh	c.zext.h	zext.h (Zbb)	c.not	xori ...., -1
c.sb	sb	c.sh	sh	c.mul	mul (M/Zmmul)

6

项目组提出了一个功能子集：每个微代码序列必须是一条32位指令。与Zcmt/表跳转非常相似--第一个版本允许16位编码扩展到任何32位指令（而不是扩展到任何32位函数地址）。为了避免与PC的复杂关系，表中任何与PC相关的32位指令在执行时都是非法的。例如，下面是Embench基准picojpeg中的一个函数。我们看到，lui　a5,0x0的32位编码使用了两次，在其他函数中也重复使用。因此，我们可以将编码(000007b7)分配到指令表中，从而用一条从指令表中获取编码的16位指令取代每次使用。这样可以从该函数中节省4个字节。

```
00000000 <getChar>:
   0:   1141        add     sp,sp,-16
   2:   c226        sw      s1,4(sp)
   4:   000004b7    lui     s1,0x0
   8:   0004c783    lbu     a5,0(s1) # 0 <getChar>
   c:   c422        sw      s0,8(sp)
   e:   c04a        sw      s2,0(sp)
  10:   00000437    lui     s0,0x0
  14:   c606        sw      ra,12(sp)
  16:   00000937    lui     s2,0x0
  1a:   00040413    mv      s0,s0
  1e:   e3b5        bnez    a5,82 <.L54>
  20:   4791        li      a5,4
  22:   00f90023    sb      a5,0(s2) # 0 <getChar>
  26:   00000737    lui     a4,0x0
  2a:   000007b7    lui     a5,0x0  -> replace with instruction table
  2e:   0007a783    lw      a5,0(a5) # 0 <getChar>
  32:   00072683    lw      a3,0(a4) # 0 <getChar>
  36:   00048613    mv      a2,s1
  3a:   0fc00593    li      a1,252
  3e:   00440513    add     a0,s0,4 # 4 <getChar+0x4>
  42:   00048023    sb      zero,0(s1)
  46:   9782        jalr    a5
  48:   c509        beqz    a0,52 <.L55>
  4a:   000007b7    lui     a5,0x0 -> replace with instruction table
  4e:   00a78023    sb      a0,0(a5) # 0 <getChar>
```

而最终整体在 CoreMark 上节省了 6% 的代码，在 FreeRTOS 上节省了 7% 的代码。

代码量减少的结果?

Zc在基准套件中平均节省了约12.5%的代码。压缩字典/指令表的定制指令实现了进一步的节省。结合这些改进，RISC-V与传统处理器架构的竞争更具优势和好处。

参考文献:

[1] Opus音频编解码器 ： https://opus-codec.org/

[2] LC3音频编解码器： https://github.com/google/liblc3

[3] CoreMark ： https://www.eembc.org/coremark/

[4] Embench： https://github.com/embench/embench-iot

[5] FPMark ： https://www.eembc.org/fpmark/

[6] 基准测试结果

[7] C. Lefurgy、P. Bird、I.-C. C. Lefurgy, P. Bird, I -C. Chen and T. Mudge, “Improving code density using compression techniques,” Proceedings of 30th Annual International Symposium on Microarchitecture, Research Triangle Park, NC, USA, 1997, pp.

软件仿真、硬件仿真、原型验证是如何工作的？

思尔芯

在整个芯片开发中，芯片设计的验证阶段就像一场前线战斗，可以说是整道防线上成败的关键。在芯片进入生产之前，需要保证其设计完全符合需求规格，解决所有潜在的风险，并修正所有的缺陷。这样可以避免在流片后发现无法修正的硬件bug，降低后期的问题风险。随着芯片规模和功能的复杂度增加，验证的难度也随之上升，而如何在降低验证复杂度的同时保证其正确性和效率，正是验证的核心问题。

核心角色是DUT（Design under Test），即待测试设计，也就是我们所设计的RTL（寄存器传输级）代码。验证流程从需求收集开始，将需求划分为子系统模块，进一步细化为功能模块，然后编写RTL级别的硬件描述语言文件。验证人员便基于这些设计文件构建测试平台（Testbench），用于模拟和控制DUT的输入和环境，包括生成功能模型、输入激励、或在线数据交互等，如图1所示。可以说，整个验证流程就是确认DUT的正确性，确保芯片产品符合规格要求。

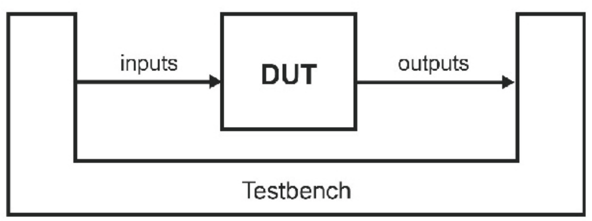


图 1 验证人员构建的测试平台

面对复杂的设计代码，我们如何确保其准确性？功能验证就是这场战斗的关键过程。工程师们通常使用的验证方法包括软件仿真、硬件仿真和原型验证等。这些不同的验证方法都有各自的优点，也有各自的不足。在不同设计阶段选择不同的验证工具，提高生产效率，加速验证的收敛显得尤为重要。而所有这些都围绕着DUT进行。接下来，我们将详细探讨软件仿真、硬件仿真和原型验证这三种方法是如何围绕DUT进行工作的。

1.软件仿真

软件仿真是基于硬件描述语言对数字电路设计进行功能和特性的仿真和验证。它会通过在计算机环境中模拟硬件行为，验证电路设计是否符合原意。仿真过程是正确实现设计的关键环节，它以硬件描述语言（如VHDL或Verilog）编写的模型为基础，检验设计中的功能是否正确无误。

一个简化的仿真验证系统如图2所示：在这个过程中，测试向量（TestVector）运行在测试平台（Test-bench）上，DUT 和Testbench一起通过仿真系统(基于软件)运行，最终运行出来的结果通常会和预期结果做比较。

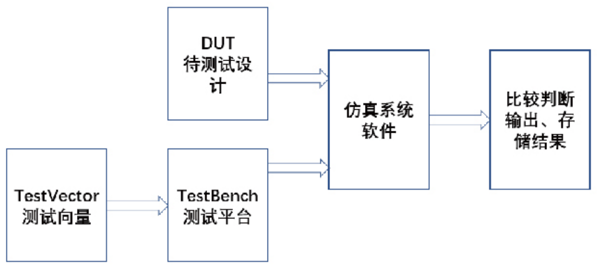


图 2 仿真验证系统

但是随着芯片设计规模的增大，传统使用Verilog/SystemVerilog编写的测试平台不足以高效覆盖测试场景需求。例如，测试平台中的基本组件之间的通信、以及这些组件之间的建立、管理和重用性问题。因此UVM（Universal Verification Methodology）应运而生。

在复杂的系统级芯片设计中，UVM提供了一个健壮的测试平台，能够处理大量的设计和验证任务。UVM的主要优势在于其重复使用性，可以使设计人员在多个项目中重复使用同一验证环境，大大提高了设计效率。此外，由于UVM是一个行业标准，因此使用UVM可以方便地与其他设计团队进行协作，并使用他们创建的UVM组件。图3是一个典型的UVM验证平台框图。

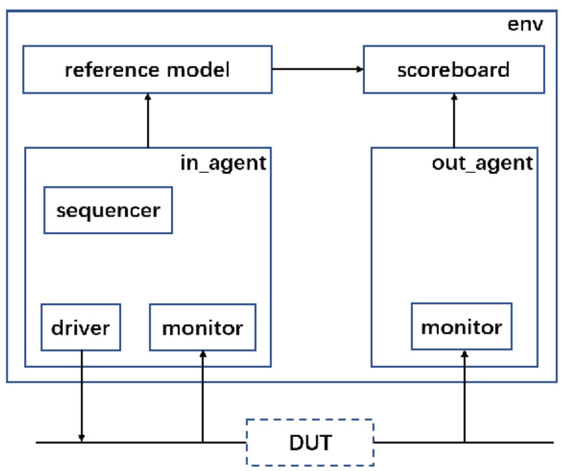


图 3 典型的 UVM 验证平台框图

一般来说，软件仿真分为功能仿真、综合后仿真和时序仿真，分别对应于RTL设计输入后、综合完成后、布局布线完成后等步骤。

功能仿真：即RTL仿真，这是仿真验证的第一步，也叫前仿真，目标是在理想的情况下，确认设计的功能是否符合预期。在这个阶段，我们通过模拟设计在特定输入下的输出来验证其行为。这就像对待测试设计（DUT）进行“预演”，在没有物理硬件的情况下就可以发现设计中的逻辑错误。

综合后仿真：在综合后的仿真阶段，目标是确认综合后的电路结构是否符合设计的意图。在这个阶段，我们使用综合工具将硬件描述语言（HDL）代码转化为逻辑网表。然后，我们使用这个逻辑网表进行仿真，以确认综合后的电路行为是否和设计的意图一致。

时序仿真：最后，在时序仿真或后仿真阶段，我们将考虑设计在实际硬件和工艺中可能遇到的时序问题。这包括元件的延时、布线延时、电源和热问题等。在这个阶段，我们会使用更复杂的仿真模型，比如考虑了延时信息的模型，以更准确地模拟硬件的行为。

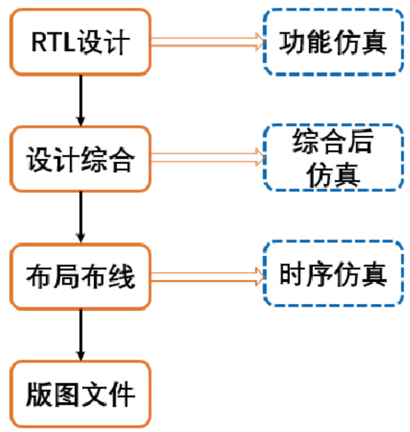


图 4 软件仿真的应用

在每个阶段，我们都通过建立测试平台（Testbench）提供对DUT的输入和环境的控制，并将DUT的输出与预期进行比较。而这三种仿真应用的共同目标，都是要确保我们的芯片设计在各个阶段都能满足预期的功能和性能。

以思尔芯的PegaSim芯神驰软件仿真工具为例，其为一款高性能、多语言混合的商用数字软件仿真工具，采用了创新的架构算法，实现了高性能的仿真和约束求解器引擎，对System Verilog语言、Verilog语言、VHDL语言和UVM方法学等提供了广泛的支持，同时支持时序反标和门级后仿真，并可提供功能覆盖率、代码覆盖率分析等功能。同时创新的软件架构允许仿真器支持不同

的处理器架构——x86-64、RISC-V、ARM等。

虽然软件仿真技术对工程师来说非常有必要，但就现有的商业模式来说，软件仿真的仿真能力和算力都与软件许可证（software license）挂钩。供应商提供的商用软件仿真服务会以license的形式收费。但在实际使用时，工程师们难以依赖经验进行有效算力与工具需求计算的匹配。如图5所示。

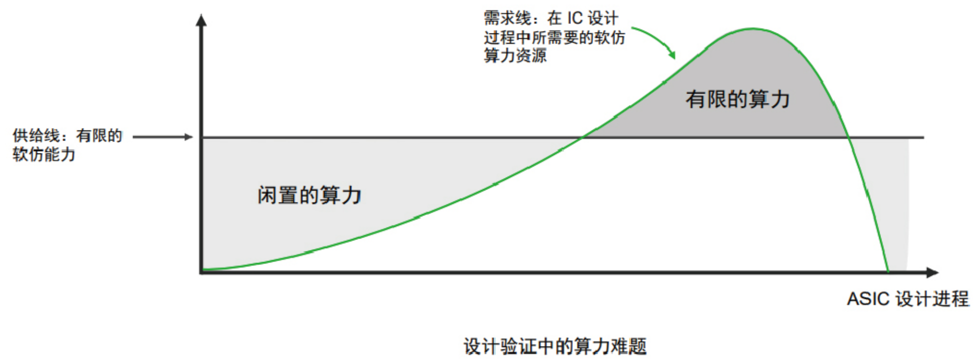


图 5 设计验证中的算力难题

思尔芯的PegaSim芯神驰软件仿真工具除了传统license合作模式外，还采用了创新的商业模式，提供了一个即算即用的在线仿真云平台。在对DUT进行回归测试和覆盖范围随即驱动时，可实现如图6所示。可以很好地满足企业多样化的需求，帮助企业解决license使用紧张、算力不足、license被设计工程师长期占用等问题。为工程师提供按需和无限的仿真能力，提高验证团队的工作效率。

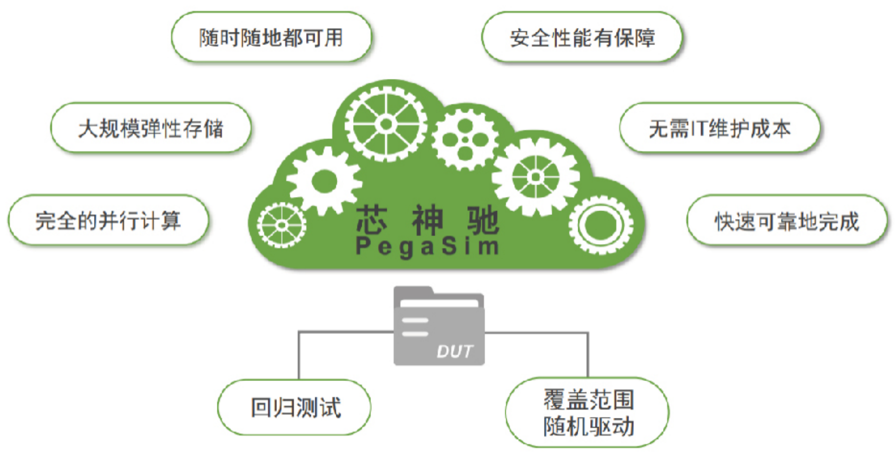


图 6 芯神驰提供的在线仿真云平台

2.硬件仿真

虽然软件仿真易于使用，成本效益高，并且具有复杂的调试能力，但一旦碰到大规模数字电路设计，结构越是复杂，仿真所需要的时间就越长，软件仿真的效益得到了限制。所以通过专门的设备在硬件上调试芯片设计，如硬件仿真和原型验证，是其重要的解决方案之一。

硬件仿真的运行速度和调试效率比软件仿真可要高很多，因为它可以对完整的芯片设计进行自动化的加速仿真并调试，多应用于大规模SoC设计前期的RTL功能验证。

硬件仿真首先将硬件设计（通常以HDL，例如Verilog或VHDL编写）编译，然后加载编译后的设计。在一些系统

中，设计可能被加载到专门的硬件中（例如FPGA）。一旦设计被加载，硬件仿真就可以运行设计，并观察其行为。硬件仿真通常会提供观察和调试设计内部状态的工具。最后，工程师可以根据结果分析设计的正确性，查找并解决问题，以优化设计。

硬件仿真可以提供比软件仿真更快的仿真速度，同时还能模拟出硬件在实际运行中的实际行为。这使得它们在硬件设计和验证过程中，尤其是在处理复杂和大规模硬件系统时，非常有用。硬件仿真系统主要由硬件和软件两部分构成。以思尔芯的OmniArk芯神鼎企业级硬件仿真系统为例，其中硬件部分是由众多的FPGA搭成，最多可扩展至上百颗FPGA。软件部分由编译（Compile）、运行（Runtime）、调试（Debug）组成，如图7所示。

图 7 芯神鼎硬件仿真系统的软件部分

编译：编译阶段通过完全自动化软件将待测设计（DUT）映射到硬件仿真系统上，便可以进行高速仿真。编译的流程如图8所示。

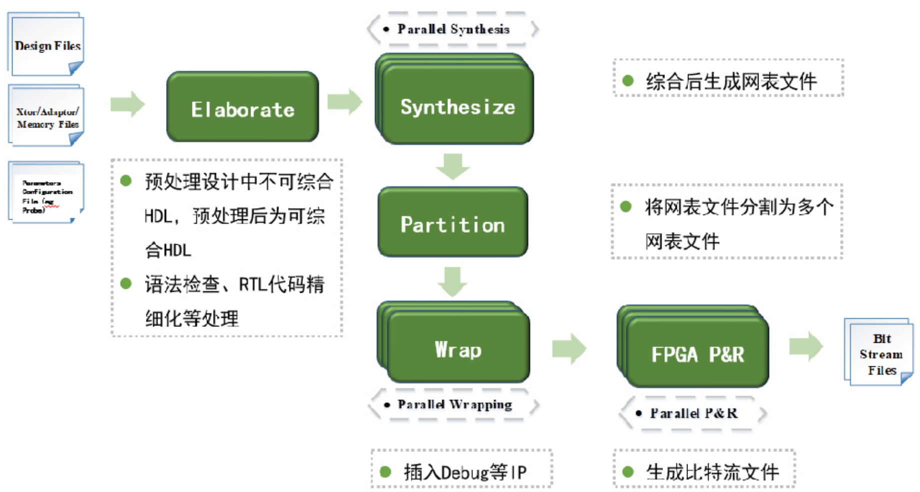


图 8 芯神鼎硬件仿真系统的编译流程

技术应用与产业观点

运行：运行时Runtime软件控制整个硬件仿真的运行过程，它可以控制硬件仿真以支持不同的用户模式，它的核心组成部分是运行数据库、运行库、软硬件接口以及用户交互接口，例如ICE（In-circuit Emulation）、TBA（Transaction-based Acceleration）以及QEMU模式等。还可支持多用户同时进行使用设备。

调试：硬件仿真有着接近软件仿真的调试能力。可以通过静态探针（static probe），动态探针（dynamic probe）及内置逻辑分析仪（ILA）可以观测信号的数据，以及实现信号全可视（Full Visibility）。同时，通过ReadBack/WriteBack功能可以实现对信号进行赋值或恢复。

此外，硬件仿真还会配备专门的验证核（VIP），为硬件仿真系统提供了所需的验证接口。例如芯神鼎可以支持APB、AHB、AXI4、AXI4-Stream、AXI4-Lite、UART、SPI、I2C、DDR、Ethernet、USB、PCIe、SPI Flash、NAND Flash等。基本覆盖了常用的接口协议，可以满足绝大部分验证应用需求。后续思尔芯也可以根据客户需求进行开发。

芯神鼎在提供硬件加速平台的同时也提供各种功能的创新配套软件：用户设计语法自动纠错、Smart P&R技术，ABS（Auto-Block Select）技术，多样化信号采集手段等等，让用户实现MHz级仿真加速、全自动智能编译流程、强大调试能力，以及多种仿真验证模式。更拥有丰富的VIP库，适合超大规模高端通用芯片设计的系统级验证，可以满足不同验证场景需求。

总之，硬件仿真通常集成了专门的电路和逻辑，以加速仿真过程。其速度通常可以达到几百kHz甚至MHz级别，软件仿真中的功能仿真通常运行速度通常在几十至几百Hz，相比之下，硬件仿真比软件仿真快几千倍至几十万倍。因此，硬件仿真在验证复杂设计时非常有用。它们能够以更高的速度执行仿真，更快地提供反馈和结果，这对于设计的验证和调试至关重要。

3.原型验证

在复杂的集成电路设计中，原型验证是另一项关键的“验证”技术方法。其目的是在早期阶段就通过与最终芯片接近的原型硬件来测试和验证电路设计，通过接近最终芯片的运行速度确保设计出正确的芯片。原型验证将设计映射到FPGA阵列，通过模拟芯片的功能和应用环境，来验证芯片整体功能，并提供片上软件开发环境。因为相比硬件仿真，原型验证的运行速度更接近于真实芯片，可以配合软件工程师来进行底层软件的开发。这一流片前的软硬件协同开发，是其最不可替代的地方。

以下是DUT在原型验证流程中的关键步骤，包括设计分割、分割后的系统级时序分析、编程和下载、功能验证调试等步骤。

设计分割：在开始阶段，我们需要将复杂的设计即DUT分割以适应FPGA的资源限制。通常，由于单个FPGA无法容纳超大规模的设计，我们需要利用特定工具将设计逻辑分割成更小的部分。每一部分被映射到一个或多个FPGA中，这需要在保持整体设计完整性的同时，尽量减少跨FPGA信号数量以减少系统间的路径延时，从而提高系统性能。一种典型的RTL级分割流程如图9所示。

其中的逻辑综合是将DUT转化为FPGA可以理解的网表。对分割后的设计插入TDM也是影响分割后系统性能的关键步骤。通常分割后设计的FPGA之间存在远远超过物理连接数量的互联信号，插入TDM是通过时分复用的方式来将这些互联信号通过有限的物理资源来传输。映射和布局布线是将综合后的设计映射到FPGA的特定资源上，包括查找表、触发器、DSP模块等，然后进行布局布线。

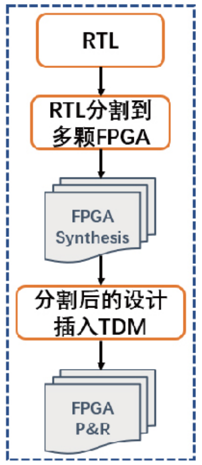


图 9 芯神瞳 RTL 级设计分割流程

时序分析：时序分析确保设计在FPGA上运行时满足所有的时序要求，这包括各个FPGA的时序要求以及整个系统的时序要求。由于对用户原始设计进行了分割，在做时序分析时需要考虑被分割的时序路径延时。这部分时序延时主要来源于TDM的延时和跨FPGA

连线的延迟，这两种延时通常能达到几十ns。当存在不满足时序要求的路径，可能导致设计无法正常工作。这种情况下，可以通过优化时序约束、设计优化、流水线设计、分割边界调整、布局布线优化等方式改善时序性能，使得设计满足预期的时钟频率，减少路径的延迟。

由于原型验证系统能够运行的频率是衡量系统性能的一个关键因素，所以如何提高系统运行频率也是经常需要考虑的一个问题。通常的做法有调整分割边界、分割结果TDM优化、使用布局布线约束、使用时序驱动的分割算法等，达到降低关键路径的延迟、提高系统性能的目的。

编程和下载：将映射和布局布线后的设计编译为FPGA的比特文件；搭建各个FPGA之间的互联组网结构，然后将比特文件下载到对应的各个FPGA上。下载完成后根据需要对全局时钟、全局复位以及其他外围IP进行配置。这确保了DUT可以在原型上正确地运行。

功能验证调试：这个阶段主要是测试DUT在FPGA上运行时的功能的正确性。我们可以通过实际的硬件接口或虚拟IO接口对DUT进行测试，以验证其是否符合预期。

以思尔芯的Prodigy芯神瞳原型验证解决方案为例，芯神瞳就提供了基于时序驱动的RTL级分割算法，能够实现全自动的分割编译流程。其内置的增量编译算法功能可以帮助用户完成快速迭代的版本迭代，大大提高用户开发验证效率。

如何对分割后的设计进行调试也是原型验证中需要重点考虑的问题。通常，除了用户设计中自带的应用级调试监控工具，设计人员还需要抓取设计运行时的信号波形进行分析。对于该应用场景，思尔芯提供的MDM Pro调试解决方案，支持多颗FPGA协同调试，支持最大125MHz的高速采样频率，最大波形存储容量可达64GB，能有效解决原型验证中多颗FPGA的协同调试问题。

总之，因为原型验证内部处理和真实芯片一样都是可以做并行运算，其高效性能可以透过硬件子卡对接真实数据来发现更多隐蔽的bug。相较之下，软件仿真使用的激励源模型和真实数据是有一定差别，因此并不能将Corner Case全覆盖，此时就需要原型验证。通过原型验证，在流片前我们就可以在SoC的基本功能验证通过后，立刻开始驱动开发。甚至可以在流片前就给有需求的客户进行芯片演示，进行预售。这就大大缩短了整个验证周期，加速了产品上市时间。

总结：

软件仿真、硬件仿真、原型验证这三种方法通过各自的优点和功能，共同为芯片设计提供了一种全面而高效的验证手段，有助于加速整个芯片开发周期，同时确保设计的正确性。

在先进工艺的推动下，异构计算架构已逐渐成为设计芯片的主流方式。由于不同的运算单元具有各自独特的架构设计和信息处理方式，因此需要采用符合其特性的验证方法。为了缩短芯片的上市周期，各大芯片设计公司已达成共识，即在不同设计阶段选择不同的仿真验证工具，以提升验证效率，这一策略已被广泛应用于各大芯片领域。

思尔芯的异构验证方法就是在这个背景下产生。它使用多种不同的验证手段，如软件仿真（芯神驰）、硬件仿真（芯神鼎）和原型验证（芯神瞳），整合多种验证方法，不断创新验证工具和验证流程，围绕着待测试设计（DUT）进行协同仿真和交叉验证，以确保设计出正确的芯片。思尔芯一系列EDA工具对DUT进行详尽全面的检查，检查其在各个层次、各个方面的功能和性能。这一系列的工作能够有效地识别和修复设计中的问题，从而大大缩短芯片的开发周期。

关于思尔芯S2C

思尔芯（S2C）自2004年设立上海总部以来始终专注于集成电路EDA领域。作为业内知名的EDA解决方案专家，公司业务聚焦于数字芯片的前端验证，已覆盖验证云服务、架构设计、软件仿真、硬件仿真、原型验证等工具。已与超过600家国内外企业建立了良好的合作关系，服务于人工智能、高性能计算、图像处理、数据存储、信号处理等数字电路设计功能的实现，广泛应用于物联网、云计算、5G通信、智慧医疗、汽车电子等终端领域。

公司总部位于上海，并建立了全球化的技术研发与市场服务网络，在北京、深圳、西安、香港、东京、首尔及圣何塞等地均设有分支机构或办事处。

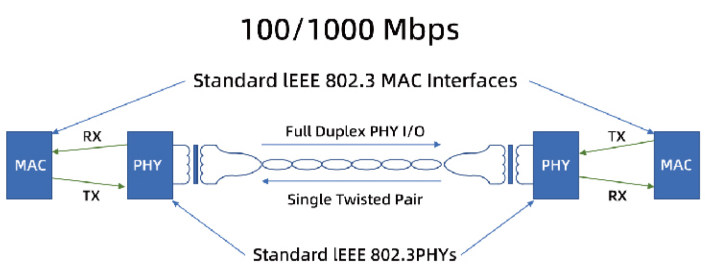
思尔芯在EDA领域的技术实力受到了业界的广泛认可，通过多年耕耘，已在原型验证领域构筑了技术与市场的双优势地位。并参与了我国EDA团体标准的制定，承担了多项国家及地方重大科研项目。

千兆以太网FPGA原型验证解决方案

——基于亚科鸿禹VeriTiger®系列原型验证平台

亚科鸿禹

以太网协议是现代通信技术中常见的通信协议，计算机与互联网实现信息交流共享必备通信接口之一，以太网通信协议由IEEE和ISO于1985年共同推出，也被称为IEEE 802.3标准，标准规定包括物理层的连线、电子信号和介质访问层协议等。以太网数据通信具有价格低廉、稳定可靠、传输速度快、传输距离远等特点，利用以太网设备可以通过TCP/IP协议进行数据的传输，无需转换传输协议。作为当今最为通用的通信协议标准之一，适用于各种网络通信场景下的应用连接。人工智能、车载通信、多媒体等SoC芯片大多都会将以太网接口作为数据通信必不可少的通信方式。



随着应用需求的增加和科技的发展，以太网也由最开始的2.94Mbit/s逐渐发展至如今的标准以太网（10Mbit/s）、快速以太网（100Mbit/s）、千兆以太网（1000Mbit/s）、甚至速率更高的以太网（10Gbit/s）。其中，千兆以太网凭借其低成本，强抗干扰性，高通信速率、高性能等特点脱颖而出，逐渐发展成为主流网络技术。

千兆以太网技术是建立在基础以太网标准之上的技术，兼容标准以太网与快速以太网，并利用了原以太网标准所规定的全部技术规范，包括相同的帧格式、帧结构、网络协议、全/半双工工作方式、流控模式以及布线系统，不改变传统以太网的桌面应用、操作系统。

亚科鸿禹VeriTiger®系列原型验证平台千兆以太网解决方案

VeriTiger®系列原型验证平台千兆以太网解决方案的硬件环境由VeriTiger®原型验证母板（如图1所示）、配套以太网相关功能子卡（如图2所示）、数据传输连接线组成，通过子卡提供真实的外设来构建设计原型，进行功能验证并提供深度调试。

为满足不同芯片设计的数据通信场景，缩短原型验证平台的搭建时间，实现快速数据传输，提升验证效率，千兆以太网解决方案利用Xilinx提供的AXI_1G/2.5G Ethernet SubSystem IP核来实现MAC功能，替代MAC接口，大大简化硬件电路设计，是适合用于进行验证数据通信功能的解决方案。亚科鸿禹VeriTiger®原型验证系统为各类SoC设计的数据通信提供高性能千兆以太网解决方案。

图 1 VeriTiger® 原型验证母板

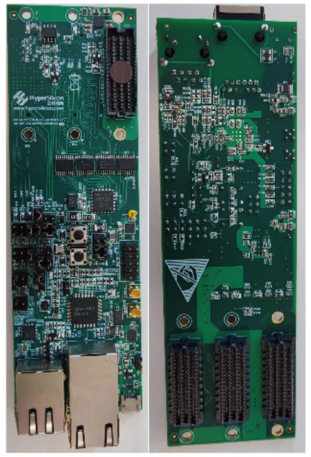


图 2 以太网子卡

“千兆以太网” 解决方案：

通过亚科鸿禹自研的HSPI2-UTEH、HYDX-DDR3子卡完成原型验证环境创建，启动工程验证。HSPI2-UTEH为以太网子卡，外置KSZ8091RNB,DP83867IR两款PHY芯片，可支持MII、GMII、RGMII、RMII模式下的以太网通信。子卡的GMII网口为千兆MII接口，采用8位数据接口，工作时钟为125MHz，传输速率可达到1000Mbps，同时兼容MII所规定的10/100Mbps工作方式。HYDX-DDR3为内存子卡，支持64BIT、32BIT。该方案通过调用Xilinx提供的AXI_1G/2.5G Ethernet SubSystem IP，包含IEEE802.3标准中描述的功能。硬件连接时，需插入HSPI2-UTEH子卡至原型验证系统的插座处，并用网线连接以太网子卡的长网口和PC端网口，设置J29为Close状态，短接J31的1、2管脚，3、4管脚，即可实现GMII模式下的数据通信，如图3所示。

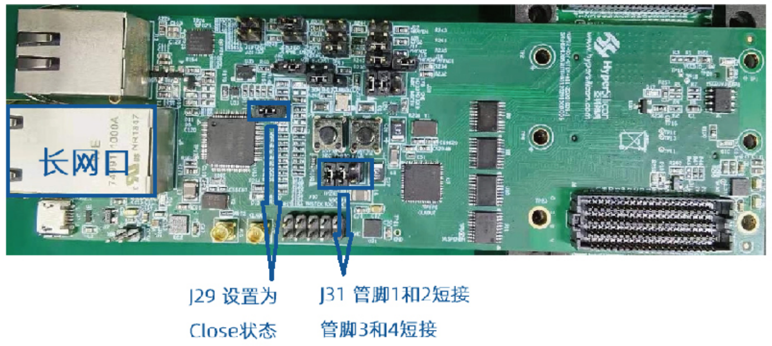


图 3 GMII 模式的子卡连接图

工程整体结构如图4所示：

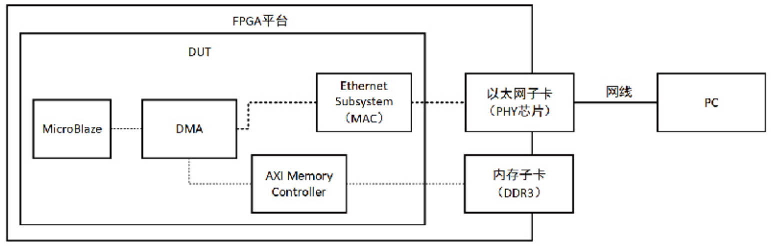


图 4 工程整体结构图

GMII模式下，PHY芯片侧的接口信号如图5所示：

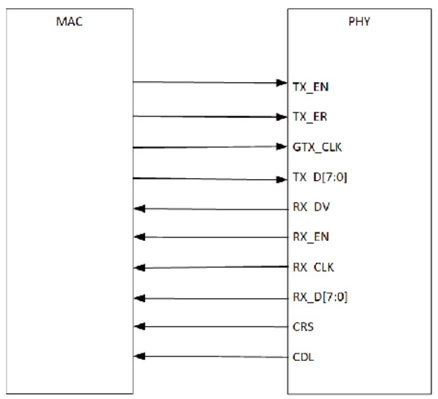


图 5 GMII 模式下接口信号图

- •TX_EN：发送数据使能信号，高电平有效；
- •TX_ER：发送错误信号，高电平有效；
- •GTX_CLK：发送时钟信号，频率为 125MHz；
- •TX_D：发送数据8Bit，FPGA通过该数据线将需要发送的数据发送给PHY芯片；
- •RX_DV：接收使能信号，高电平有效；
- •RX_CLK：接收时钟信号，125MHz；
- •RX_ER：接收错误信号，高电平有效；
- •RX_D：接收数据8Bit，8位带宽，FPGA通过该数据线从PHY芯片接收数据；

发送或接收数据时，采用8位数据接口，工作时钟为125MHz，传输速率可达到1000Mbps。解决方案中，PC端发送数据时，数据先传输至PHY芯片，此时，Ethernet Subsystem接收此信息，向MicroBlaze发送中断，随后，MicroBlaze控制DMA将数据搬运至DDR中。PC端接收数据时，也由MicroBlaze控制DMA搬运数据至PC端。

方案适用于验证：数据高传输速率的SoC设计。

图 6 VeriTiger® 原型验证千兆以太网解决方案硬件环境

亚科鸿禹除千兆以太网解决方案外，也支持标准以太网和快速以太网解决方案，可实现RGMII模式、MII模式以及GMII模式下的数据通信。

RGMII模式下，设置J29插座为OPEN状态，其余硬件连接与GMII模式保持一致。RGMII模式下，发送或接收数据时，采用4位数据带宽，比较大的区别是，将RX_DV和RX_ER信号集成到了RX_CTL上，时钟上升沿采集信号RX_DV，下降沿采集信号RX_DV^RX_ER（异或）；将TX_EN和TX_ER信号集成到TX_CTL上，时钟上升沿采集信号TX_EN，下降沿采集TX_EN^TX_ER（异或），如图7所示。由于下降沿采集的是异或结果，所以一般情况下，RX_CTL信号为高电平有效，为保证正确采集数据，PHY芯片需要将接收到的GTX_CLK信号延迟约1/4个时钟周期。

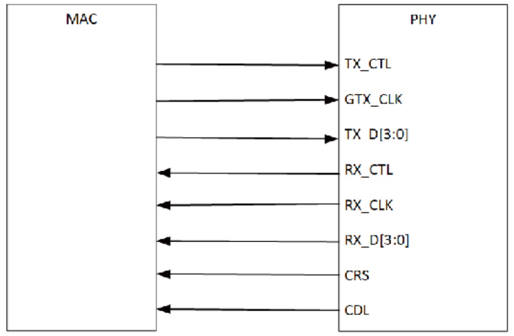


图 7 RGMII 模式下接口信号图

MII模式下，硬件连接与GMII模式无区别，但发送或接收数据时，PHY芯片接口处RX_D与TX_D采用4位数据接口。工作时钟为25MHz，传输速率可达100Mbps，工作时钟为2.5MHz，传输速率可达10Mbs。并且，GTX_CLK不由MAC侧产生，而是由PHY芯片侧产生，如图8所示。

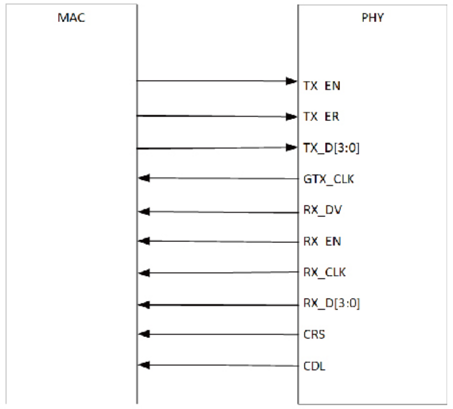


图 8 MII 模式下接口信号图

RMII模式下，硬件连接与GMII模式区别较大，需将网线端插至短网口，并插上跳线帽，如图9所示。

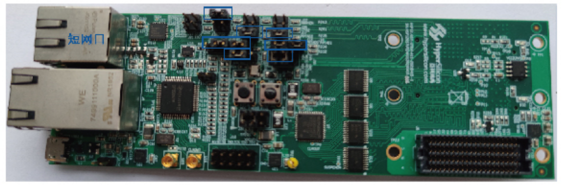


图 9 RMII 模式下的子卡连接图

发送或接收数据时，采用2位数据带宽，参考时钟通常由外部晶振提供给MAC侧或者PHY芯片，CRS和RX_DV复用一个端口，如图10所示。

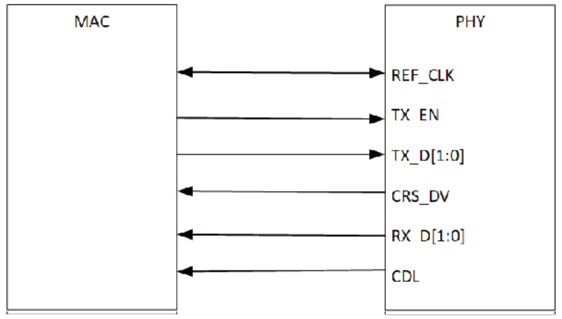


图 10 RMII 模式下接口信号图

随着需求的多样化，千兆以太网的应用随之多样化，使用以太网解决方案，有助于用户快速搭建环境，进行管脚约束，完成芯片设计验证。

亚科鸿禹VeriTiger®原型验证系统可实现众多协议验证的解决方案，配合自研软件ProtoWizard®可以对FPGA系统进行时钟电压的配置，bit文件的烧录以及统一的子卡管理，从而提升FPGA原型验证工作效率。

欢迎联系我司销售部门获取产品资料、对接项目需求：hypersilicon@hypersilicon.com

亚科鸿禹

中国领先的数字前端 EDA 工具供应商

无锡亚科鸿禹电子有限公司，成熟的一站式SoC/ASIC仿真验证产品及解决方案供应商，国内最早从事FPGA原型验证和硬件仿真加速器工具的研发与应用团队之一。率先推出国内首款桌面级硬件仿真加速器产品，实现该领域技术破冰。在华大九天的全面支持下，着力部署 “FPGA 原型验证矩阵”、“企业级硬件仿真加速器”、“ESL高阶设计语言编译和仿真工具”、“逻辑综合器”等多款数字前端核心 EDA 工具的研发与市场推广，致力于成为“中国领先的数字前端 EDA 工具供应商”，助力国产数字 EDA 全流程自主可控。

总部位于江苏无锡，在北京，深圳，合肥设有3个研发中心，上海，西安，成都设有办事处。拥有近200人的人才团队，由具有20余年国际仿真验证从业背景的领域专家领衔，核心成员平均超过15年国内外知名EDA企业从业经验。公司与清华大学、合肥工业大学、江南大学等知名高校在EDA技术研发和人才培养方面保持长期产学研合作，共同推动国产EDA产业进程，助力中国半导体产业发展。公司的VeriTiger®系列原型验证产品和HyperSemu®硬件仿真加速器广泛服务于国内外知名集成电路设计企业、知名院校和研究所，应用于5G、人工智能、自动驾驶、AIoT、存储等前沿领域，全球累计客户超500家。

Deco 德氪微电子(深圳)有限公司

高速 数字处理和接口IP方案

ISP
- 全功能解决方案及设计平台
- 业界最小die size
- 多种工艺已验证和量产
- 模块化功能，支持开源设计和AI自定义设计
- 提供完成技术培训和支持

MIPI
- 拥有MIPI全系列数字IP并为广泛客户采用
- MIPI Tx DSI Controller
- MIPI Rx CSI-2 Controller
- MIPI Rx CSI-3 Controller
- 低功耗，小size
- 支持各种速率，多种主流工艺验证和量产

HDMI
- HDMI2.1 Tx Controller已MPW验证，可向下兼容HDMI2.0及HDMI1.4b
- HDMI2.0 Tx Controller向下兼容HDMI1.4b
- HDMI2.0 Rx Controller向下兼容HDMI1.4b
- 业界最佳兼容设计，多家客户产品出货验证
- 已为主流STB, Media Box SoC和DTV SoC厂家采用

Display Port
- DisplayPort 1.4 Tx Controller
- DisplayPort 1.3 Tx Controller
- Support HDCP2.2
- 可搭配USB Type-C协议使用
- 支持多种分辨率智能搭配使用
- 兼容性好，已为客户验证采用

地　址：深圳市宝安区留仙二路中粮商务公园1栋903B
联系人：李先生
邮　箱：sales@decosemi.com

Deco

MOVELLUS

Maestro Platform
智能时钟网路

Product Overview

30X Lower Peak Current & Noise	30% Dynamic Power Reduction	5X Faster Timing Closure	15-30% Performance Improvement	Process Node Independent	Leverages Existing Tools

Movellus Maestro平台是一种智能时钟网络架构解决方案，在SoC设计中提供下一个节点的性能。

Maestro使系统架构师能够从他们的soc中获得更多的性能、功率和面积效率，而不需要迁移到下一个流程节点。它将芯片级性能提高了15-30%，减少了时间关闭工作，降低了成本和风险。

Maestro使为数据中心、网络、边缘AI、航空航天、汽车和工业物联网市场创建soc的组织能够将功耗降低5-15倍，并延长其产品的生命周期价值。

它提供了一种架构解决方案，可以在相同的工艺技术内产生预定的功率/面积和性能改进。

应用领域:

- AI (Edge and Datacenter)
- Automotive (26262 Ready)
- Low Orbit Satellite Control (Rad Ready)
- High Performance MPU
- Heavy Throughput GPU
- Mobile APU
- High Reliability design
- Medical Devices
- Military / Aerospace
- IOT (Energy harvesting)

性能提升:

- 5-30x peak power reduction
- 35% Dynamic Power Reduction
- 15-30% Performance improvement
- 4-5x reduction in timing signoff
- Lower packaging cost and complexity
- No external components (Lower BOM)
- Reduced metal layers
- Fully digital flow, fully synthesizable
- Optimized for each SOC design
- Enables post-silicon optimization

上海珞微信息技术有限公司
电话：021-54331952
邮件：info@lomicro.com

专业EDA和IP供应商

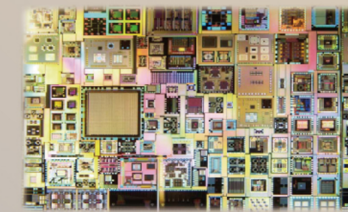
surecore
超低功耗内存解决方案
更智能的产品需要更智能的内存
添加所需功能而不会影响功耗预算
减少 50% 以上的内存功耗
广泛的硅就绪 IP 设计
SURECORE，当低功耗至关重要时
www.sure-core.com

无锡国家"芯火"双创基地（平台）
WUXI NATIONAL XINHUO INNOVATION BASE(PLATFORM)

IP Reuse SoC Design
IP与SoC设计

MPW流片服务

芯火平台为集成电路设计企业提供多方位的境内外晶圆流片技术服务。



IP开发及代理

无锡芯火平台目前提供的服务有：技术文章的刊登、IP Vendor广告宣传服务、杂志服务——免费邮寄纸质或者推送电子杂志（给有需要的工程师提供有质量的技术内容）、IP咨询服务——为IC设计工程师提供丰富的IP资源库，提供咨询服务，帮助IC设计企业实现IP复用

无锡芯火平台目前可以提供接口与总线、存储与逻辑库、处理器、多媒体、模拟混合、安全加密、图形处理、输入输出、设计服务相关领域的IP咨询

扫码关注

IP与SoC设计公众号　IP与SoC设计网站

EDA设计服务

EDA软件共享租赁
IC设计平台软硬件选型与部署
版本控制
负载均衡与计算资源调度
远程VPN链接与公司网络优化
私有云建设与虚拟化
机房建设与不间断电源（UPS）
IC设计自动化脚本设计
模拟IC、数字IC及数模混合集成电路设计等环境定制服务

ESD及CP测试

通用测试仪器仪表，涵盖数字、射频、模拟测试
ESD测试-TLP测试，HBM，CDM，Latch-up测试及技术咨询
故障分析，EMMI/InGaAs,Thermal EMMI (InSb)
拍照分析，X-ray，IC Decap (去除封胶)，IC Delayer，工艺分析
FIB电路修补，FIB 电路修补，FIB截面分析

人才培训

线上线下公开课（版图设计、电路设计）
"芯火"沙龙（整机应用、供应商对接、客户宣传）
课程培训（EDA、IP、仪器仪表设备使用）
院校合作联合技术攻关/集成电路专业学科建设

http://www.wxxh.org.cn
联系我们：无锡市新吴区菱湖大道111号国家软件园天鹅座C座19楼　13512529756　房龙涛

Advertiser	广告商名称	网址	页码
奎芯科技		www.m2ipm2.com	IFC
CAST		www.cast-inc.com	01
北京华大九天科技股份有限公司		www.empyrean.com.cn	03
苏州腾芯微电子		www.ipsoar-tech.com	04
牛芯半导体		www.kniulink.com	05
Codasip		www.codasip.com	07
无锡玖熠半导体科技有限公司		www.splendor.top	09
Dolphin Design		www.dolphin-design.fr	10
M31 Technology Corporation		www.m31tech.com	11
Vidatronic		www.vidatronic.com	12
思尔芯		www.s2ceda.com	13
芯启源（上海）半导体科技有限公司		www.corigine.com.cn	14
成都旋极星源信息技术有限公司		www.star-source.cn	15
芯和半导体		www.xpeedic.com	17
成都纳能微电子有限公司		www.nanengmicro.com	19
英诺达（成都）电子科技有限公司		www.ennocad.com	21
无锡亚科鸿禹电子有限公司		www.hypersilicon.com	23
Comira		www.comira-inc.com	25
成都锐成芯微科技股份有限公司		www.analogcircuit.cn	27
Wasiela		www.wasiela.com	29
Mixel		www.mixel.com	31
Faraday Dynamics		www.faradynamics.com	33
XKsilicon		www.xksilicon.com	34
芯思原微电子		www.verisyno.com	35
Brite		www.britesemi.com	37
智原科技		www.faraday-tech.com	39
Syntacore		www.syntacore.com	41
Cadence		www.cadence.com	43
芯动科技（珠海）有限公司		www.innosilicon.cn	45
Ezchip		www.ezchip.tech	47
Agile Analog		www.agileanalog.com	48
上海申首半导体科技有限公司		www.s1semi.com	49
Imagination		www.imagination.com	51
Sofics		www.sofics.com	53
T2M		www.t-2-m.com	55
杭州广立微电子股份有限公司		www.semitronix.com	57
德氪微电子（深圳）有限公司		www.decosemi.com	58
Movellus		www.movellus.com	59
ASICS.ws		www.asics.ws	60
Surecore		www.sure-core.com	61
Sondrel		www.sondrel.com	62
无锡国家“芯火”双创基地（平台）		www.wxxh.org.cn	63
芯火ESD测试实验室		www.wxxh.org.cn	65

投稿指南

《IP与SoC设计》杂志和网站www.ip-soc.com欢迎您提供技术性文章、新闻和新产品介绍等等。

为丰富杂志内容、增加在集成电路设计界的知名度，扩大其涵盖范围并更好地服务于本地厂商，《IP与SoC设计》杂志面向广大IP/Design Service/EDA/Foundry厂商征集优秀文章、最新产品和及时性信息。

如果您有什么好的见解需要和我们分享，请联系编辑。

中文稿件（有英文原稿的请附上）优先采用，本刊有权自主修改、编辑文章内容。

技术文章

1.一篇技术文章的字数应该在2000至6000字之间；
2.请分别提交文字和插图（文字当中没有内嵌的图片或图形）；
3.文章应该包含适当的设计信息或基本原理、照片、图形、仿真和实测数据；
4.请注明作者姓名、职务及所在公司或机构的名称；
5.论文将经过《IP与SoC设计》编辑审查委员会的审查程序；

新品发布

1.请尽量提供简体中文稿件（可附上英文原文），中文稿件会被优先采用。
2.请清晰地写明新产品的名称、型号、性能、独特之处和用途等。
3.产品介绍应少于300字（英文少于150字）。
4.来稿请附产品照片，其分辨率不低于300dpi。
5.留下能提供进一步信息的人的姓名、电话、E-mail。

产品特写

1.产品特写集中报道一个具体产品（或产品系列），字数应该在1000字左右，最多不超过2000字；
2.请提供一个描述产品的图片，它将出现在产品特写开始的标题区域（无需说明文字）；
3.重要——请分别提供文字和插图（文本中无嵌入的图片）。文本应该是一个Word文件，每幅图像必须是上述文件格式之一的一个单独文件。为了说明插图在文字中的位置和说明文字，可以提供另一份文字和插图在一起的文件（可选）。
4.产品特写不包括作者署名。
5.请提供联系信息，包括公司名称、联系方式、公司网址。

详情请联系：杨泽凡　　电邮：yang@ip-soc.com　　电话：17306130639

MIXED-SIGNAL
Interface
Memory
PROCESSOR
Serdes
Performance
GPU
SoC
SATA
Peripheral
USB
SERDES
ANALOG
Security
MCU
Cryptography
AUTOMOTIVE
GRAPHIC
RISC-V
Wireless
ESD
HBM
PCI-Express
DSP
Regulator
HASH
Decoder
Root of trust
V-by-one
H.264
FOUNDRY
Compilers
Temperature
Microcontroller
NFC
AES
PHY
PLL
TRNG
SDRAM
Anti-fuse
Multi-protocol
Verification
Oscillator