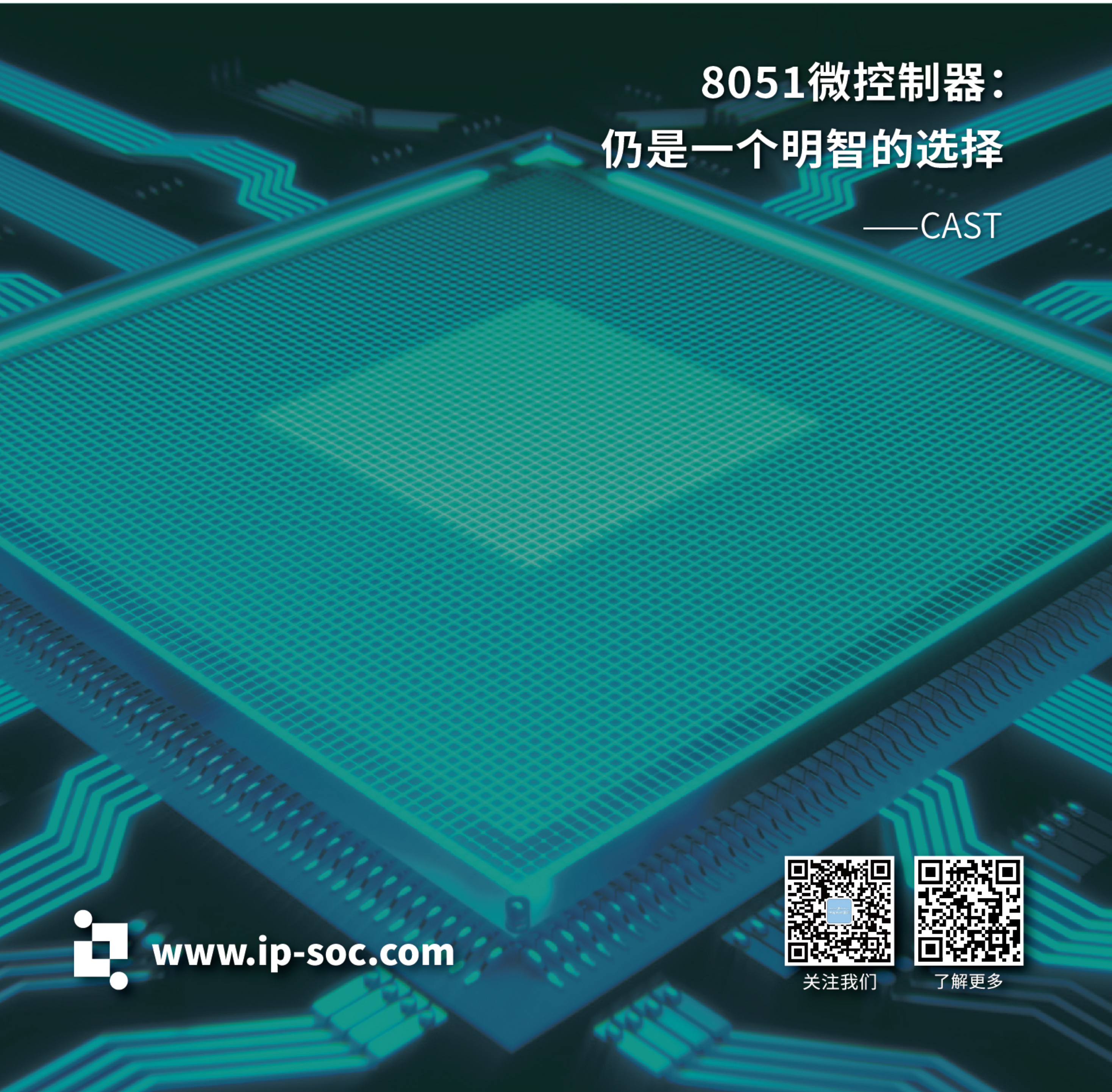
5/6月刊 | 总第16期

IP Reuse SoC Design

IP与SoC设计



8051微控制器：仍是一个明智的选择

——CAST

www.ip-soc.com

关注我们 了解更多

关于《IP与SoC设计》

《IP与SoC设计》专注于IP和SoC设计技术，基于当前集成电路产业发展的趋势，依托无锡“芯火”平台，全面报道全球IP与SoC设计技术的发展和国内外应用经验，整合全球IP与SoC资源和技术资讯，扩展中国读者的全球视野，搭建一个IP与SoC的资讯交流、产业促进的平台，为中国IC设计行业和企业提供IP与SoC专业知识，以及相关信息支持和服务。

出　　版：无锡国家“芯火”双创基地（平台）
出 版 人：曹华锋
技术主编：房龙涛
执行编辑：杨泽凡
发 行 部：17306130639
杂志网站：www.ip-soc.com
联系邮箱：yang@ip-soc.com
地　　址：无锡新吴区菱湖大道111号无锡软件园天鹅座C座

DIRECTORY
目录

写在前面 WRITING IN THE FRONT

封面专题 COVER FEATURE

技术应用与产业观点 TECHNOLOGY APPLICATION AND INDUSTRY PERSPECTIVE

产品特写 PRODUCT FEATURES

广告索引 ADVERTISEMENT INDEX

为什么芯片大厂都将接口IP作为打造安全SoC着力点？

作者:姬云青 | 来源:TechSugar

当前，我们正处于一个数据大爆炸的时代。IDC 数据显示，全球数据量自 2022 至 2026 五年时间里将增长一倍以上，仅中国的数据量就将达到 56.16ZB，年复合增长率为 24.9%。

高速增长的数据量让我们从“计算驱动”走向“数据驱动”，数据正成为社会经济发展重要的生产要素，也引发出三个关键性问题——开放流通、价值挖掘和安全保护。

我们都知道芯片是数据流转的核心载体，数据的计算、传输和存储都离不开芯片。近几年，“芯片后门”事件时有发生，造成的经济损失也越来越大，因此安全已经成为芯片设计架构中不可或缺的一环。

安全是芯片架构的一部分

大数据时代，芯片的地位就像电气时代的电能一样。如果将终端产品的外包装去除，芯片便随处可见，从人们生活中使用的手机、PC，到出行时乘坐的汽车、高铁，再到生产制造中的工控、机器人等皆是如此。之所以会这样，就是因为芯片是各行各业实现数字化和能化的物理载体。因此，每一个行业都在强调芯片安全。

我们看两个具有代表性的行业。首先是数据中心领域，这个领域的安全强度往往取决于下层硬件系统的强度，因为底层漏洞能够从内部瓦解软件的防御体系，让黑客和不法分子获得整个系统的访问特权。因此，我们看到芯片的可信根是数据中心安全架构师开始构建安全防护体系的源头。

另一个具有代表性的领域是汽车，由于汽车功能的特殊性，可以说汽车对于芯片安全体系的构建是当前各行业的表率。就以 EVITA HSM 规范来说，它是 SHE（Secure Hardware Extension，安全硬件扩展）规范的扩展，用数字密钥的方式构建整个汽车芯片硬件安全体系。如下图所示，这是英飞凌公司展示的一种典型 HSM 逻辑架构，该架构的左侧是密码协处理器 HSM，通过安全模块与执行内核 TriCore 和芯片外部通信；还提供一个 HSM 域，作为一个内部的可信执行环境。

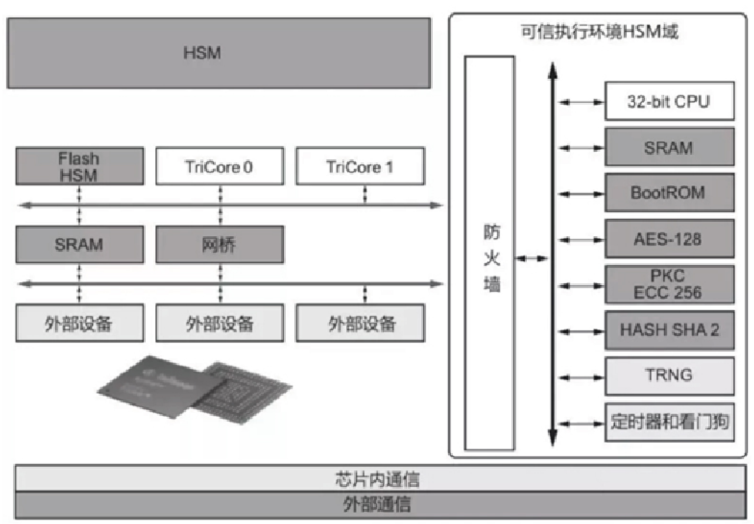


图 1：典型 HSM 逻辑架构（图源：英飞凌）

很明显，安全已经成为芯片架构的一部分。除了数据中心和智能汽车，智能手机和 PC 等领域的芯片基本都拥有一套完整的芯片安全体系。这是芯片产业发展的一个重大改变。在过去很长一段时间里，安全体系和芯片架构是脱节的，安全问题需要通过补丁解决，解决不了的则在下一代设计中添加。

随着数据价值提升，这种安全和架构分离的方式显然不能够适应这个时代，芯片需要从设计之初就确保足够安全。

如何让芯片更安全

从行业发展的情况来看，推动芯片安全的要素有两个：黑客攻击和法律法规。数据价值量的提升让黑客的攻击不再局限于软件层面，使用更安全的芯片就意味着拥有更完整的安全防御体系；法律法规层面，像欧洲《通用数据保护条例》（GDPR）这样的法案已经非常多，不胜枚举。

安全和防御是一个动态的博弈，因此实际上不存在绝对安全的芯片，不过通过更好的芯片架构设计，我们便能够在芯片安全防护战中占得先机。那么，该如何去部署更安全的芯片架构呢？

相信很多人从英飞凌典型 HSM 逻辑架构中已经看出端倪——接口 IP 对打造安全芯片至关重要。为了加强这一概念，我们再举一个实例，下图是苹果公司的 Secure Enclave 方案框图，能够看到该方案增强芯片安全的节点都是在传输环节，包括处理器和 DRAM 内存的连接，处理器和 NAND 闪存的连接，以及芯片上的 I2C 接口等。

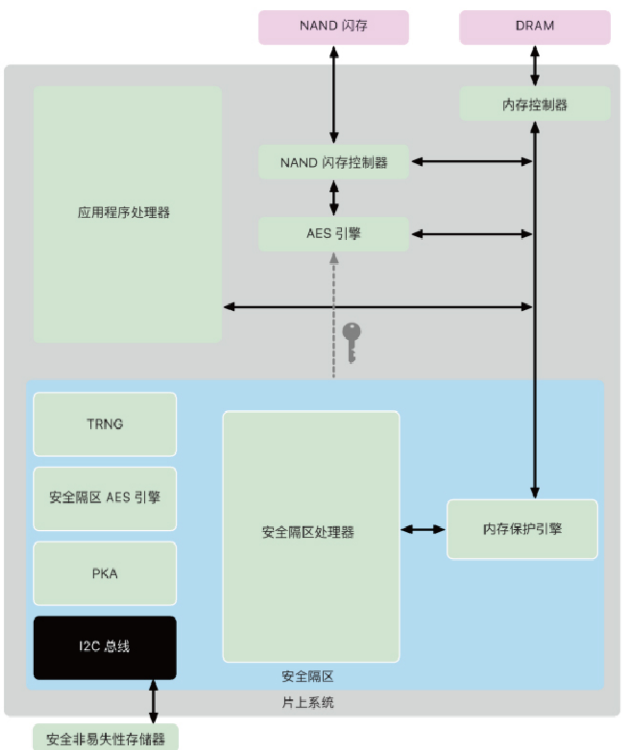


图 2：苹果 Secure Enclave 安全方案（图源：苹果公司）

从主流芯片厂商的方案中能够看出，对于芯片设计而言，往往接口安全了，芯片也就安全了。这便是我们要传达给大家的理念。

为什么要这样讲呢？事实上，芯片的安全主要有两个维度：第一个是基于芯片的安全服务，也可以理解为芯片能够向外提供的安全服务，包括密码算法、密钥管理、PUF 等；第二个是芯片自身需要的安全防护能力，要能够抵抗外来的物理攻击，检测和防御故障注入攻击等。

不难发现，芯片安全这两大维度都是围绕着芯片接口展开的，向外提供安全服务需要通过接口，外界对芯片的攻击实际上也是通过芯片接口。

意识到这一点之后，芯片领域的接口标准很快就做出了积极的回应。我们还是以数据中心这个领域为例，为了提升数据传输的安全保障，PCI-SIG 和 CXL 标准组织在 2020 年末将完整性和数据加密等安全要求添加到 PCIe 5.0 和 CXL 2.0 规范中，增加了下图中“1”点标注的认证和密钥管理，和“2”点标注的完整性和数据加密（IDE）。

“认证和密钥管理”包括认证、鉴权、测量、识别和密钥交换等功能，它让所有功能都在可信的执行环境安全模块中运行；“完整性和数据加密”是为 PCIe 的事务层数据包（TLP）和 CXL 的流量控制单元（FLIT）提供保密性、完整性和重放保护，它确保线路上的数据不会被观察、篡改、删除、插入和重放。

根据规范详情，PCIe6.0 中继续保留了工程变更通知（ECN）与完整性和数据加密这些安全功能，满足 TEE 设备接

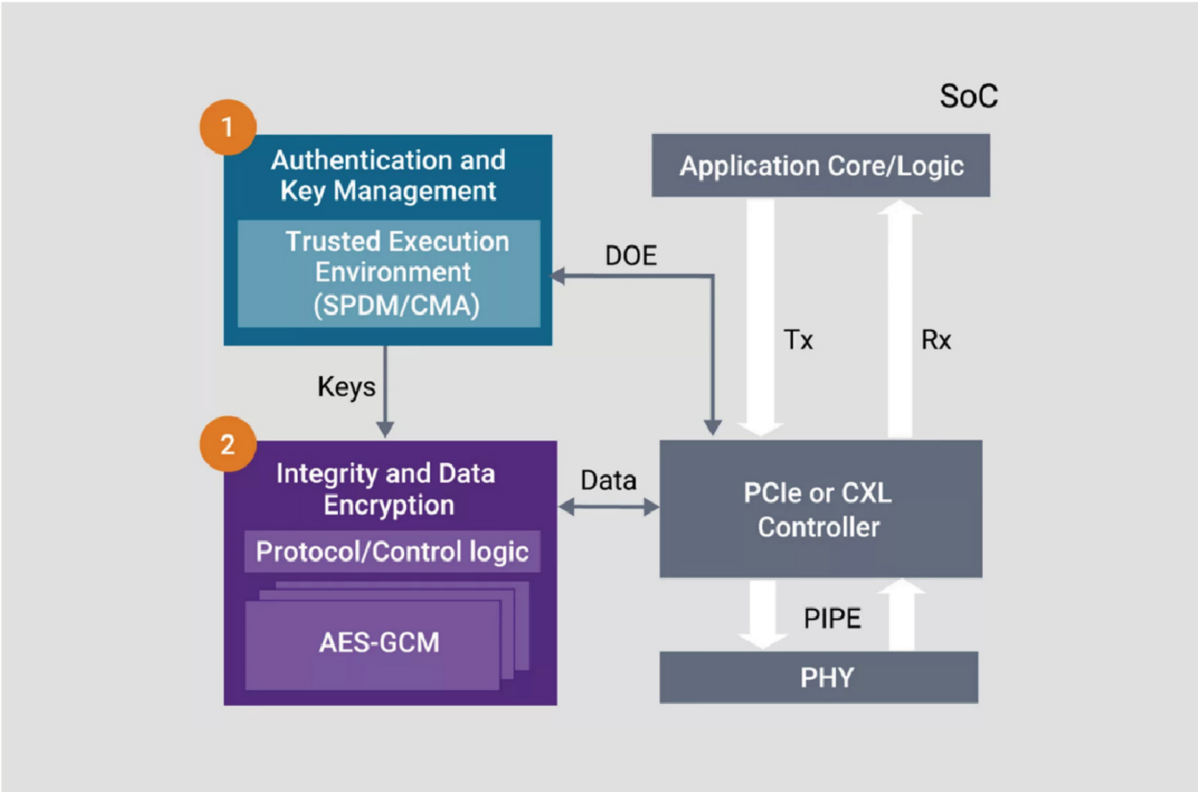


图 3：PCIe 5.0 和 CXL 2.0 规范中的安全措施

口安全协议（TDISP），保护虚拟主机和设备的互联。

不过，虽然知道接口 IP 在芯片安全中的重要性，但是在实际芯片设计过程中依然会面临其他方面的挑战。

首先，如果是自研接口 IP，除了接口 IP 研发本身就具有很高的技术壁垒之外，如何保证接口 IP 安全也是一个很大的挑战。综合而言，目前产业界大概有数十种保障接口 IP 安全的方案，包括加密传输、API Key 验证、请求限制、防止 SQL 注入、完整性和数据加密等，采用哪些安全方案进行融合，如何实现这些安全方案都是让研发工程师“头疼”的事情。

其次，如果是采用第三方的接口 IP。Riscure 的高级安全分析师 Nicole Fern 曾表示，如果接口 IP 供应商没有技术实力和优势，那么其产品的透明度会很差，你可能需要先阅读“500 页”的产品说明书才能够知晓这款接口 IP 的使用限制范围，一旦有所疏忽，所谓的安全将会是形同虚设。

另外，如下图所示，随着芯片集成度的提高，接口 IP 的复杂度也在提升，包括 DDR、PCIe、CXL、以太网、MIPI、USB、UFS、eMMC、HDMI 和 DisplayPort 等，研发人员不仅需要确认每一个接口 IP 的标准、规范和安全性，还需要确保整个系统是受到保护的。优秀接口 IP 供应商此时的优势便凸显出来了——既安全，又透明，且易用。

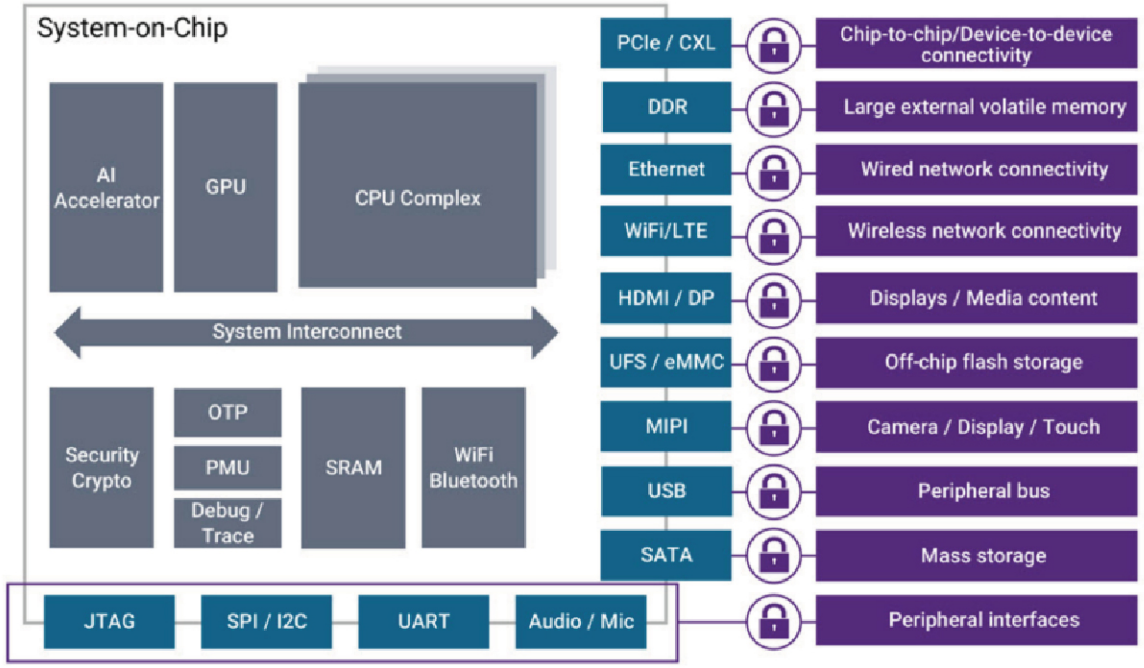


图 4：SoC 上需要确保安全性的接口非常多

结语

数据大爆炸的时代，信息的价值也随之飞升，因此带来的数据安全挑战是极大的。芯片作为大数据的物理载体，其安全的重要性已经不言而喻，关系到国计民生的方方面面。

在打造安全芯片的过程中，把好接口 IP 的安全关，芯片也就安全了。新思科技作为全球顶尖的 IP 方案商，在接口 IP 方面，拥有深厚的技术积累和领先的行业理解，能够提供安全、透明、易用的接口 IP 产品，携手 IC 设计公司共同打造更安全的 SoC 产品。

本文有删减，详见公众号：Techsugar

8051微控制器：仍是一个明智的选择

CAST

如今，嵌入式处理器被用于复杂的 SoC 或不太复杂的 ASIC 中，用于各种各样的任务。这种类型的嵌入式处理器通常体积小、功耗低，因为在许多情况下，它们是在功能更强、更耗电的处理元件闲置或进入睡眠状态以保持功率时运行的。

十多年来，ARM-Cortex M 处理器一直非常受欢迎，这是因为它们具有低功耗的特点（即小的硅足迹和高代码密度），以及扩展的可用软件和硬件模块的生态系统。最近，ARM 的统治地位受到了 RISC-V 嵌入式处理器浪潮的挑战。这些处理器具有类似的优点，并且在许可方面更具成本效益。

尽管这些 ARM 和 RISC-V 处理器得到了大量的宣传，但还有第三种处理器——比它们更历史悠久，功耗更低——已经被开发者广泛使用，但却显得有些默默无闻。它就是强大的 8051，实现了近半个世纪前首次推出的 8 位 CISC ISA……

在本文中，我们将首先快速回顾 8051 的历史，然后解释为什么 8051 仍然是一些应用的智能处理器选择。

过去的8051

英特尔在 1980 年推出了 MCS-51 单片机。它在一个紧凑的封装中集成了许多关键功能：核心 CPU、接口、内存、中断和定时器。

在 20 世纪 80 年代和 90 年代，第三方供应商继续提供许多 MCS-51 兼容的变体。这些产品往往比原始芯片运行得更快或包含更多的功能，它们是各种成功产品的大脑。

如今，你仍然可以购买 8051 作为分立部件，但大多数设计者将它们作为 IP 核进行授权和使用。这些核心以软性高级语言源代码或 FPGA 网表格式提供，通常被集成在大型嵌入式系统中。

但为什么设计师们仍然选择 8051 进行现代 ASIC 或 SoC 设计？

如今的8051

8051 相对容易使用，有成熟的可靠性记录，有蓬勃发展的生态系统支持，价格相当低廉，而且通常免收版税。

此外，现代 8051 内核的速度更快，而且有比你想象中更多的好处。（下面的例子中的详细信息基于 CAST 提供的 8051 IP 系列）。

高速性能。

架构设计的改进显著提高了 8051 的性能，同时保留了与原始 MCS®51 指令集的兼容性[8051 指令集手册，2011 年 1 月，由 ARM 在 Keil 支持文件区托管]。

最初的 Intel 8051 以每个机器周期 12 个时钟周期运行，大多数指令在一个到两个机器周期内执行。典型的最大时钟频率为 12MHz，这意味着这些老式 8051 每秒可以执行一百万条单周期指令，或 500000 条双周期指令。

相比之下，今天的 8051 IP 核以每个机器周期一个时钟周期的速度运行，在现代技术中时钟频率接近或超过 1GHz。这意味着 8051 现在可以每秒执行接近 10 亿条指令。

新的、灵活的 8051 核是非常强大的。32 位处理器更适合许多系统元素——你当然不会把主系统总线、内存连接和其他高速接口限制在只有 8 位宽的数据路径上。但在先进的 SoC 中，有许多命令和控制功能，8 位通道是绰绰有余的。

对原始 8051 的许多内置功能的补充也提高了控制器的能力，一个良好的可配置 8051 内核可以很轻松地包含你对特定用途的确切需要。参考图 A，了解 8051 IP 核可用的许多功能和选项的一个示例。

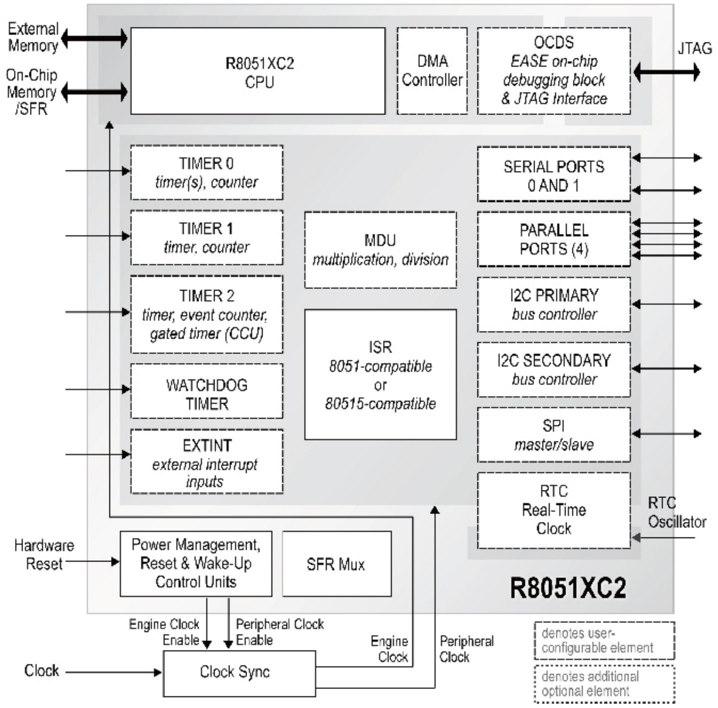


Figure A. Functional blocks available in a fuly-configurable 8051IP Core.
(Courtesy of CAST)

显著的尺寸和功耗优势。

即使是针对嵌入式控制器市场的精简的32位处理器——如CAST 的BA20系列或ARM® Cortex™-M，当你检查它们的资源消耗时也不如 8051。

考虑一下面积。图A所示的R8051XC2核心的CPU不到4000个门，而整个微控制器连同其外设大约是 12000 个门。相比之下，小型的 32 位内核开始于 15,000 个门！ 8051 较小的尺寸意味着较小的泄漏功率，这在考虑具有长闲置时间的设备时有着极其重要的意义。

活动时的功耗在很大程度上取决于代码密度。从存储代码的存储单元（片外或片上闪存，或片上 SRAM）获取指令所需的能量通常比CPU执行该指令所需的能量要多。另外，一般来说，传输和存储较少数量的代码需要较少的能量。此外，8051 是一个 CISC（复杂指令集计算机）引擎，在不涉及大量数据处理的应用时，内存到内存的复杂操作与任何 RISC 竞争对手相比有真正的代码大小优势。

非常有竞争力的成本。

经过硅验证的优秀的8051 IP核的授权只需数万美元，而且没有任何专利费。没有任何32位处理器的授权能接近这种低成本或有吸引力的商业模式。此外，8051可以在非常小的FPGA设备中运行，或只占用片上系统ASIC的一小部分，而32位处理器需要更多的硅资源。

简单的开发。

使用8051的最大好处之一是已建立的庞大的生态系统和编程遗产，这使得8051的开发比任何其他MCU都更容易。例如，ARM的Keil、IAR的8051嵌入式工作台，或开源的SDCC和Eclipse IDE，都是软件开发人员对编译器和IDE的一些选择。补充这些工具的是一些IP供应商提供的完整软件包和内置调试功能。例如，CAST 8051内核包括一个单线或JTAG调试接口，可与第三方IDE无缝操作。

总的来说，一系列的集成外设选项、独特的片上调试模块以及通过数百位先前成功的 8051 客户打磨出来的文档和支持服务，使得这样的 8051 封装成为一个安全的选择。现如今，8051 被用于几乎所有可能应用的领域的各种产品（见下图），包括汽车、消费电子、机器人、工业控制、医疗设备以及军事和航空航天设备。

有充分的证据表明 8051 一直很受欢迎，只要看看入门的 EE 大学课程，最近在视频网站上发布的教程和解释，以及仍在出版的新书。偶尔也会有些案例研究文章和客户推荐的新闻稿，如“SDIC Licenses 8051 Microcontroller IP Cores from CAST”。

8051的未来 —— 结论

8051 微控制器不再是人们关注的焦点，但它们仍然被广泛用于各式各样的产品中。只要它们能完成手头的任务，它们就会被继续使用，因为它们结合了一系列难以被忽视的独特优势：体积小、代码密度高、功耗低、高度可靠和经过验证的 IP 核、丰富的生态系统和有竞争力的成本。

基本的 32 位处理器，如 ARM 的 Cortex-M0 或其 RISC-V 等价物是一种选择，但值得考虑的是，你的系统是否可能更小、功率更低，并且与当今任何优秀的 8051 IP 核解决方案配合使用都很好。

TYPICAL 8051 APPLICATIONS
Automotive
airbag systems, engine controllers,
anti-locking brake systems,
transmission controllers
Consumer Electronics
washing machines, garage door
openers, home theaters, security
cameras, video games
Medical Devices
defibrillators, glucose meters,
heart monitors,
Industrial
process control, measuring
instruments, energy management
Military & Aerospace
avionics, weaponry,
guidance systems

SoC高度集成、移动第一、异构计算，PC处理器正迎来新变革

作者：Kristof Beets

今天，对于市场上新推出的笔记本电脑，其芯片架构的设计可能与几年前有很大的不同。笔记本电脑的芯片集成度变得更高，SoC设计思路越来越多地向手机等移动设备靠拢。特别是，随着远程办公变得普及，大家对高性能、低功耗、长续航笔记本电脑的需求提升，也推动着厂商对笔记本电脑芯片进行革新。

这为具有移动端芯片研发能力的公司打开了新的市场机会。这些公司发挥其优势，在保证笔记本电脑的高性能同时降低功耗，并将图形技术、神经网络加速、安全和I/O等集成到具有统一内存架构的单个SoC中。现代计算机正在丢弃原来的形式——一个包含 CPU、内存和插入式图形卡的盒子。是以，许多可能拥有台式电脑的人们，现在会更多地考虑选择一台具有单一、高度集成芯片的笔记本电脑，PCI Express 接口变得更少。除了更低的功耗和更少的带宽消耗之外，这种芯片架构更容易实现，成本也更低。

基于这种高度集成，今天的高端计算机，无论是迷你台式机还是便携式笔记本电脑，很快就会非常像智能手机，这为PC处理器的变革奠定了基础。在Imagination，几十年来我们一直在帮助客户设计这样的产品。

"移动第一"的GPU设计理念

考虑到这一点，原本为台式机 PC 提供 GPU 的公司需要重新考虑其图形架构，以跟上不断变化的需求。他们不能再只专注于设计性能最高的芯片，而不考虑功率或带宽，因为今天的笔记本电脑可能在断开电源的情况下还要持续工作很长时间。

有的公司最近发布的 GPU 旨在提供更好的功耗，不过25 瓦依旧是不小的功耗。同时，笔记本电脑还要加上大电池和风扇，大部分时间还要连接电源。

与之相比的是"移动第一"的GPU设计理念，该理念从一开始便让高效的硬件实现高性能。在移动 GPU 设计中，1瓦功耗也能有出色的性能表现，因为这是手机所允许的热预算。与试图将"蛮力"解决方案塞进高效的电源外壳相比，在针对移动设备进行高度优化的设计中进行扩展要容易得多。与其使用为高端PC设计的GPU并将其缩小，更明智的是从一开始便选择为移动设备设计的GPU，然后将其扩展。

可扩展的重要性

在Imagination，我们知道如何在高效硬件中提供高性能。迄今为止，我们通过PowerVR图形为100多亿台移动设备提供了 3D 图形技术。几十年来，我们开发了许多新工艺和新技术，以提供业界高度优化的移动GPU。这包括分块延迟渲染（TBDR）技术。

Apple M1 芯片是一个很好的例子，它说明了移动优先法则如何带来红利，以及完全集成的 SoC 如何通过

TBDR提高性能，从而提高效率。事实上，作为一种移动解决方案，M 系列芯片的开发始于2010 年 iPhone 4 中的 A4 芯片。经过 10 多年的发展，A14 芯片代表了苹果芯片项目的最新一代。A14 增加了两个 CPU 核（在现有的两个高性能和四个能效核基础上）以及四个额外的 GPU 核，从而形成了功能强大的新 M1 架构。这种可扩展性只有通过移动优先的方法来实现，该方法将所有高级功能完全集成到具有统一内存视图的单个 SoC 中。

Imagination 在结合性能和效率方面专业性的最新示例是高度可扩展的CXT GPU 架构，这是业界首个针对移动设备优化的光线追踪架构。在移动电源限制下，CXT 提供了以前为高端桌面图形保留的真实照明、反射和阴影效果。

传统 PC 芯片供应商即便是最新的 GPU也要消耗25W 功率，CXT 的效率和可扩展性就显而易见了。但如果您使用基于 CXT IP 的 GPU，您可以在相同的功率预算内获得更高的性能，实际上是 2.5 倍。这使您不仅可以提供更高的性能，还可以提供光线追踪等功能，并且所有这些功能都在相同的功耗范围内。

基于这种考量的芯片设计，可使芯片供应商和 OEM 厂商打造具有差异化的产品。

另一种创造差异化的可能性是通过在芯片上集成高效的人工智能处理器。虽然 M1 提供了这种功能，但它还达不到 PC标准。这种人工智能能力通常需要强大的计算能力，Imagination 的神经网络加速器(NNA) IP 核能够将高效、高可靠和经过芯片验证的AI推理能力集成到SoC中。

CPU+GPU+NNA异构计算是未来

随着工作负载的日益多样化，芯片供应商需要考虑对芯片进行优化，以提供最佳性能，同时满足功耗和效率要求。这意味着不仅要选择高度优化的 GPU 和 NNA，还要将这些处理器与高效的 CPU 和其他计算元素集成到灵活的异构阵列中。

Imagination 的Catapult RISC-V CPU设计用于高度可扩展计算的环境中工作。这使得它不仅适用于 PC，而且适用于广泛的应用场景，例如 5G 调制解调器、存储器、ADAS/自动驾驶汽车、数据中心和高性能计算。此外，我们的以太网数据包处理器 (EPP) IP 核支持处理器和网络之间的数据流，以避免 CPU 瓶颈。

赢在新PC处理器时代

大型科技公司越来越多地从使用现成芯片转向开发定制解决方案，以获得对其设计的更大控制权，从而在市场上取得优势。没有设计自己芯片的 OEM 面临着越来越大的挑战，因为很少有极具竞争力的现成芯片解决方案可用。

这为 SoC 制造商提供了开发高度优化解决方案的机会，这些解决方案可为 OEM 带来优势。所有方案都是为了在相同的功耗范围内提供更多的性能和功能——提供更好的用户体验，同时延长电池寿命。

在Imagination，我们根据移动设计原则设计了所有 IP 核，因为我们知道这是我们的客户创建前瞻性设计所需要的。借助专为异构架构设计的高效且可扩展的处理器，SoC 制造商可以为其应用选择正确的计算元素组合，并为其客户提供成功的解决方案。

为什么嵌入式FPGA（eFPGA）IP是ADAS应用的理想选择？

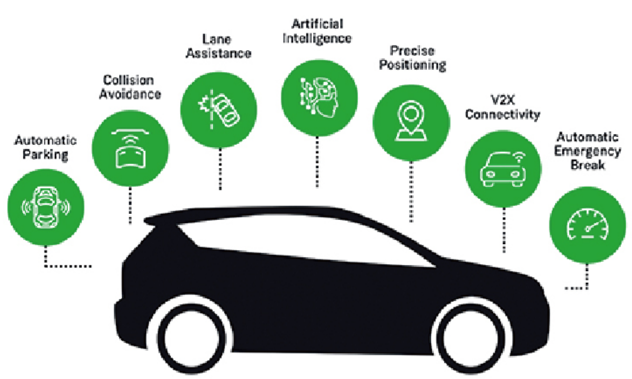
作者：Pascal Ravillion，Achronix产品营销高级经理

了解eFPGA IP的基础知识，它的优点，以及为什么它将成为未来先进驾驶辅助系统（ADAS）技术的关键要素。

提高汽车电气化和自动驾驶的一个主要方面是先进驾驶辅助系统（ADAS）的普及。如今，这些系统正迅速应用于市场上几乎所有的车辆，而且随着技术的成熟，这一趋势只会持续下去。然而，随着技术的发展，ADAS设计人员面临的硬件挑战变得越来越复杂。在本文中，我们将介绍ADAS的硬件需求，FPGA如何填补这些空白，以及为什么eFPGA IP将成为下一个ADAS硬件趋势。

ADAS的硬件要求

ADAS在现代汽车中的发展给底层硬件带来了一些严峻的挑战。在像ADAS这样的关键任务应用中，最重要的目标是确保车辆乘员的安全。这个目标要求系统准确、可靠和实时地工作（即低延迟）。同时，这些系统需要在尽可能低的功耗下运行，以保持电池寿命并延长电动汽车（Electric Vehicle）的续航里程。



图：ADAS给计算硬件造成了巨大压力

平衡这些需求对ADAS来说是一个巨大的挑战，因为系统往往依赖于大量的数据和计算密集型的任务，如机器学习算法。因此，ADAS硬件必须获取数据，通过传感器融合汇集数据，运行机器学习算法，然后采取行动——所有的都需要实时运行，并以最低的功耗预算——这显然不是一件容易的事。

汽车设计人员需要一个灵活且可扩展的硬件平台来满足快速发展的规格变化，这进一步加剧了这一挑战。

硬件加速和FPGA

为了解决ADAS硬件面临的严峻挑战，设计人员正在采用专用硬件加速器来提高性能，而不是传统的基于CPU的架构。从比较常规的计算资源（如CPU或GPU）转移，通过专用硬件加速器为特定应用程序提供了更好的性能和能效。基于在此范围内，选择通常介于FPGA和ASIC之间，FPGA提供最大的灵活性，ASIC提供最高的性能。

FPGA的一个关键特性是FPGA能够提供高级别的并行性，同时仍然可以针对特定的工作负载进行编程。结果表明，FPGA在

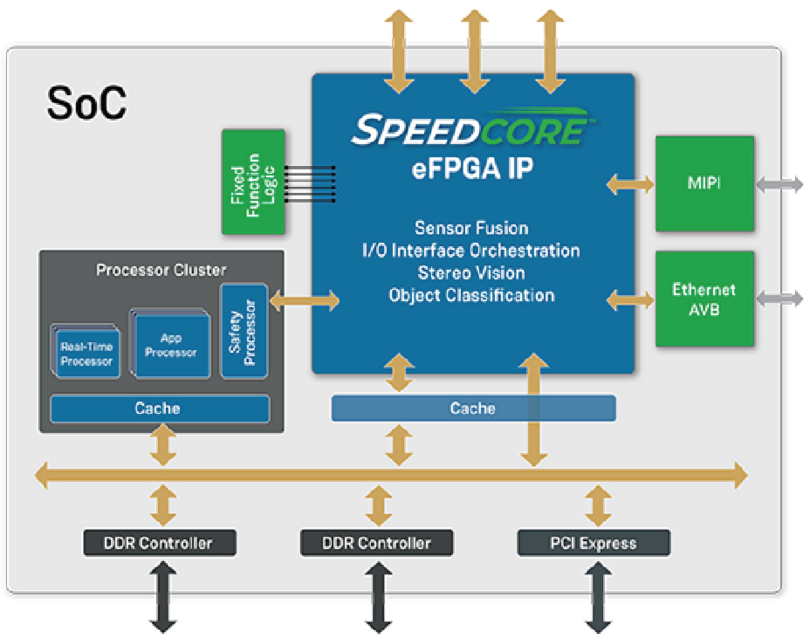
工作负载加速方面提供了显著的价值，特别是在性能和延迟作为关键的情况下。此外，与比较常规的CPU和基于GPU的系统相比，FPGA可以给需要加速的工作负载提供每瓦最佳的性能，从而帮助系统平衡性能和功率效率之间的权衡。

同样重要的是，由于FPGA可编程特性，其在可扩展性方面比ASIC更具优势。这种适应性在如ADAS等底层算法瞬息万变的机器学习系统中尤为重要。此外，ASIC的规格必须提前几年定义，而FPGA可以在一分钟内更新和重新编程。此功能使基于FPGA 的ADAS系统能够提供ASIC根本无法实现的可扩展性和多功能性。

由于这些原因以及更多的原因，目前汽车中已经搭载了超过2.5亿颗FPGA，其中超过7500万颗用于ADAS应用。

行业趋势:用于ADAS的eFPGA

尽管硬件加速功能强大，但像FPGA和ASIC等器件通常仍无法完全独自运行。今天的ADAS解决方案需要将硬件加速器与CPU集成在一起，其目的是在系统级别处理许多通用型和组织型任务。正是由于这个原因，异构计算平台（如异构SoC）已经成为加速和ADAS平台中最常见的平台之一。



图：Achronix 的 Speedcore IP 这样的 eFPGA 技术可以与 CPU 资源紧密耦合

因此，我们相信ADAS计算的下一个主要趋势将是嵌入式FPGA（即eFPGA）IP在定制ASIC中的兴起。借助eFPGA IP，设计人员能够利用FPGA技术的优势，同时将其硬件加速与其他ASIC子系统（如CPU和I/O接口）紧密耦合。通过将FPGA与CPU一起嵌入到定制SoC中，与分立式FPGA解决方案相比，eFPGA IP可显著节省成本、功耗和空间。

具体来说，我们的评估表明，与基于FPGA的独立系统相比，eFPGA IP集成可以帮助设计人员节省90%的成本、降低75%的功耗、延迟改善100倍、接口带宽增加10倍。因此，ADAS将在不久的将来逐步采用基于eFPGA技术的异构解决方案。

Achronix的行业角色

如今Achronix是唯一一家同时大批量生产独立FPGA芯片和eFPGA IP解决方案的公司。得益于我们的Speedcore eFPGA IP等旗舰产品，迄今为止，我们已经在多个行业领域授权了超过1500万个基于eFPGA的产品。随着对ADAS计算需求的不断增长和演进，我们认为有能力支持这些变化并赋能下一代计算平台。

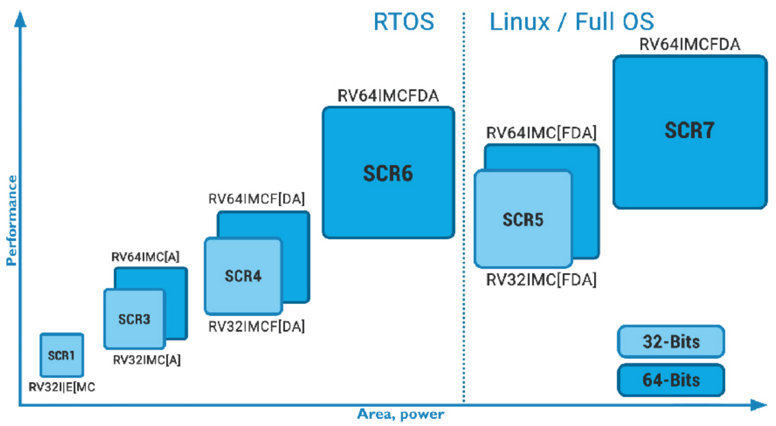
Syntacore, RISC-V cores enabling Chinese innovation

SCR: high quality RISC-V compliant processor IP from the ecosystem leader

State-of-the-art, silicon-proven microprocessor core IP with RISC-V ISA and competitive features: from the minimalistic open-source MCU core for deeply-embedded applications to 2GHz+ multicore clusters with coherency, SMP and Linux support.

Stable, competitive, available for evaluation

The SCR family includes nine off-the-shelf cores, targeted at different embedded applications: SCR1, 2xSCR3, 2xSCR4, 2xSCR5, SCR6 and SCR7 with more designs in the company roadmap.



- **SCR1** Open Source Compact MCU core for deeply embedded applications and accelerator control
- **SCR3** Mid-range MCU core with privilege modes and MPU (32 or 64 bit)
- **SCR4** MCU core with high-performance FPU (32 or 64 bit)
- **SCR6** High-performance multicore embedded MCU with rich memory features
- **SCR5** Entry-level APU/embedded core with Linux and SMP support (32 or 64 bit)
- **SCR7** Efficient high-performance 64bit APU core with up to 8-16 cores SMP

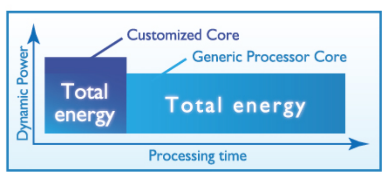
The SCR cores have competitive features and deliver impressive performance at low power already in the baseline configurations. On the top, Syntacore provides a one-stop workload-specific processor customization service to enable customer designs differentiation via significant performance and efficiency boost. Industry-standard interfacing options support (AHB, AXI, ACE, CHI) enables seamless integration with existing designs.

Stable, fully featured open source SW development suite

Syntacore provides fully-featured set of open source development tools based on Eclipse and GCC for Linux and Windows with technical support and consulting. All IP comes with full set of technical documentation.

The RISC-V SW ecosystem is diverse and rapidly growing, with stable Linux, FreeBSD, QEMU, GCC, binutils, number of RTOS ports and other SW packages available, including many commercial vendors.

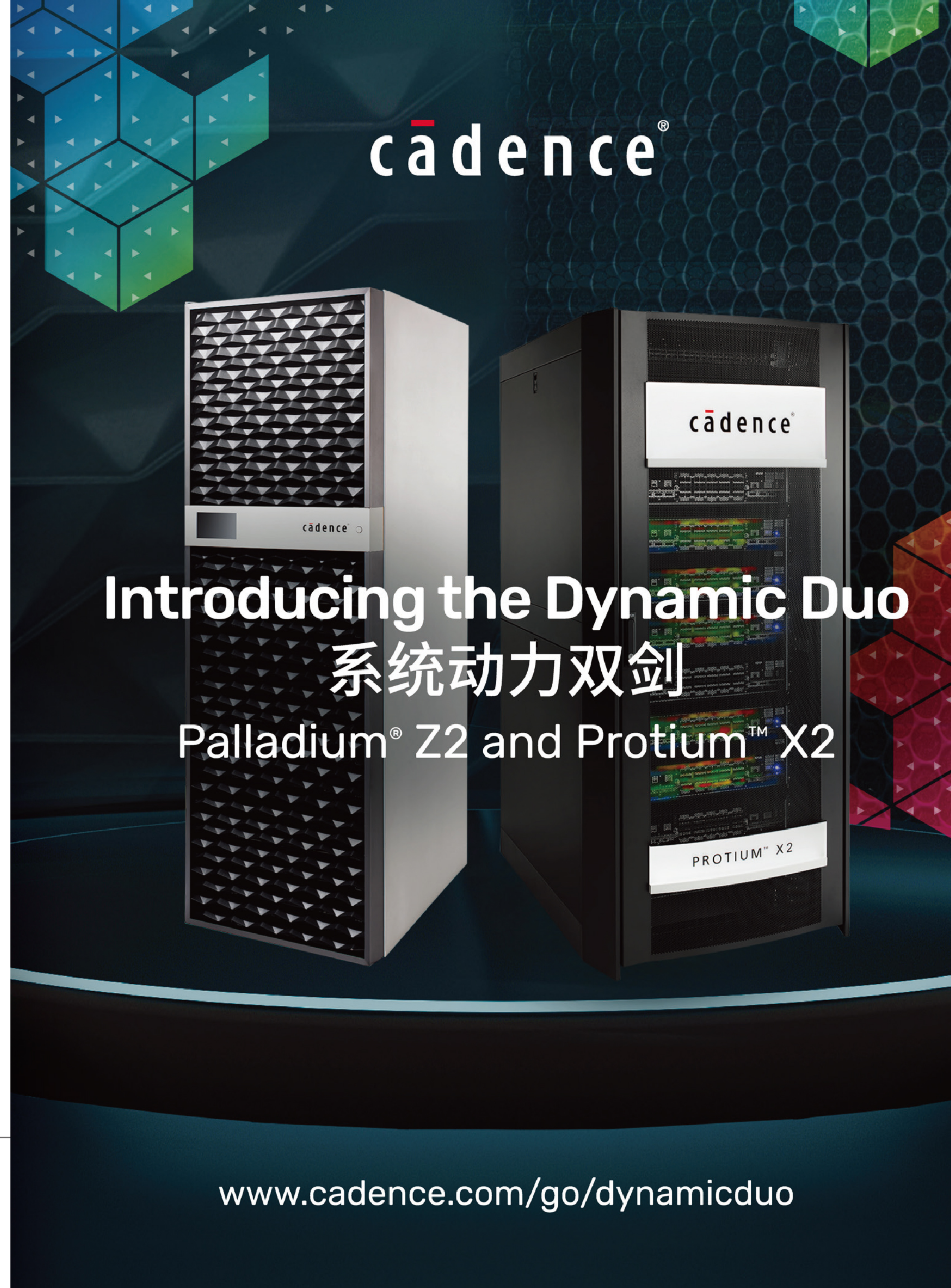
Turnkey RISC-V IP customization to differentiate your design



Syntacore offers turnkey workload-specific customization services for the SCR cores family that can yield substantial (10x and more) improvements in the performance and/or power-efficiency. Target applications range from the computationally intensive algorithms (i.e., in the communication and recognition domains) and high-throughput/real-time data processing to the low-power battery-operated designs with a scarce power budget.

Syntacore™
Custom cores and tools

RISC-V



Flexible Analog IP for Reliable SoCs

Agile Analog's innovative design methodology is programmatic, systematic, and repeatable leading to analog IP that is more verifiable, more robust, and more reliable. The availability of high quality analog IP enables quick and easy integration of more analog functionality on chip so that internal design teams can focus on differentiating products or on the product design. Agile Analog's IP solution includes a complete set of deliverables for ease of integration allowing for quick, reliable, and effortless production for reduced BOM and faster time to market.

Power Management

Regulators, references, and biasing for all SoCs

agilePOR GP
Power-On-Reset

agileLDO GPD
Low Drop-Out Voltage Regulator
LDO

agileBGGEN GP
Voltage and Current Reference

Sensors and Data Converters

IMeasure and process real-world signals

agileTSENSE GP
Temperature Sensor

agileADC GP
Analog-to-Digital Converter

agileDAC GP
Digital-to-Analog Converter

agileCMP GP
Programmable-Threshold Comparator

Security

Accurate clock generation for reliable chips

agileVGlitch
Side Channel Attack Voltage Glitch Detector Core

Other

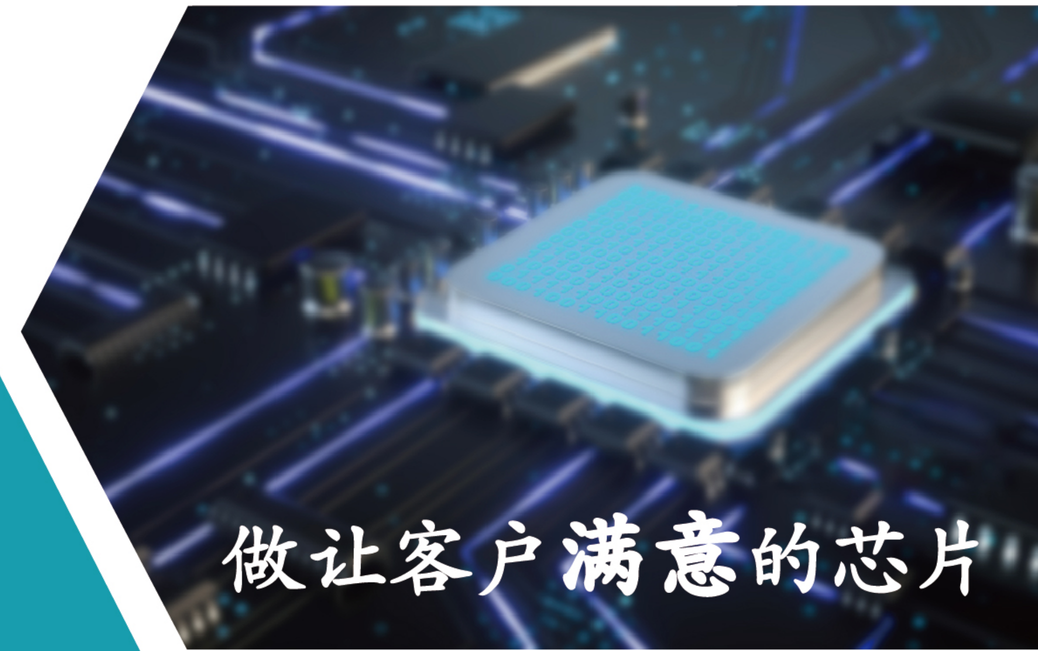
agileDSCL
Digital Standard Cell Library

agileanalog.com @AgileAnalog agile-analog

agile analog

S1emi
www.s1semi.com

上海申首半导体科技有限公司



ASIC设计
IP采购定制
流片封装测试

公司2016年成立
累计流片 >40颗

芯片设计制造封测
一站式
服务提供商

联系我们

上海
Address: 上海市浦东新区盛夏路560号605B室
Tel： 13916106613
Mail： rimbo@s1semi.com
P.C.： 201203

桂林
Address: 桂林市七里店路70号创意产业园12栋2层
Tel： 13795215412
Mail： ypjiang@s1semi.com
P.C.： 541001

青岛
Address: 青岛市莱西市经济开发区北京路84号401室
Tel： 13671684959
Mail： leili@s1semi.com
P.C.： 266600

基于形式验证的高效 RISC-V 处理器验证方法

作者：Laurent Arditi, Paul Sargent, Thomas Aird
职务：Codasip高级验证/形式验证工程师

RISC-V的开放性允许定制和扩展基于 RISC-V 内核的架构和微架构，以满足特定需求。这种对设计自由的渴望也正在将验证部分的职责转移到不断壮大的开发人员社群。然而，随着越来越多的企业和开发人员转型RISC-V，大家才发现处理器验证绝非易事。新标准由于其新颖和灵活性而带来的新功能会在无意中产生规范和设计漏洞，因此处理器验证是处理器开发过程中一项非常重要的环节。

在复杂性一般的RISC-V 处理器内核的开发过程中，会发现数百甚至数千个漏洞。当引入更多高级特性的时候，也会引入复杂程度各不相同的新漏洞。而某些类型的漏洞过于复杂，导致在仿真环节都无法找到它们。因此必须通过添加形式验证来赋能 RTL 验证方法。从极端漏洞到隐匿式漏洞，形式验证能够让您在合理的处理时间内详尽地探索所有状态。

在本文中，我们将介绍一个基于形式验证的、易于调动的 RISC-V 处理器验证程序。与 RISC-V ISA 黄金模型和RISC-V合规性自动生成的检查一起，展示了如何有效地定位那些无法进行仿真的漏洞。通过为每条指令提供一组专用的断言模板来实现高度自动化，不再需要手动设计，从而提高了形式验证团队的工作效率。

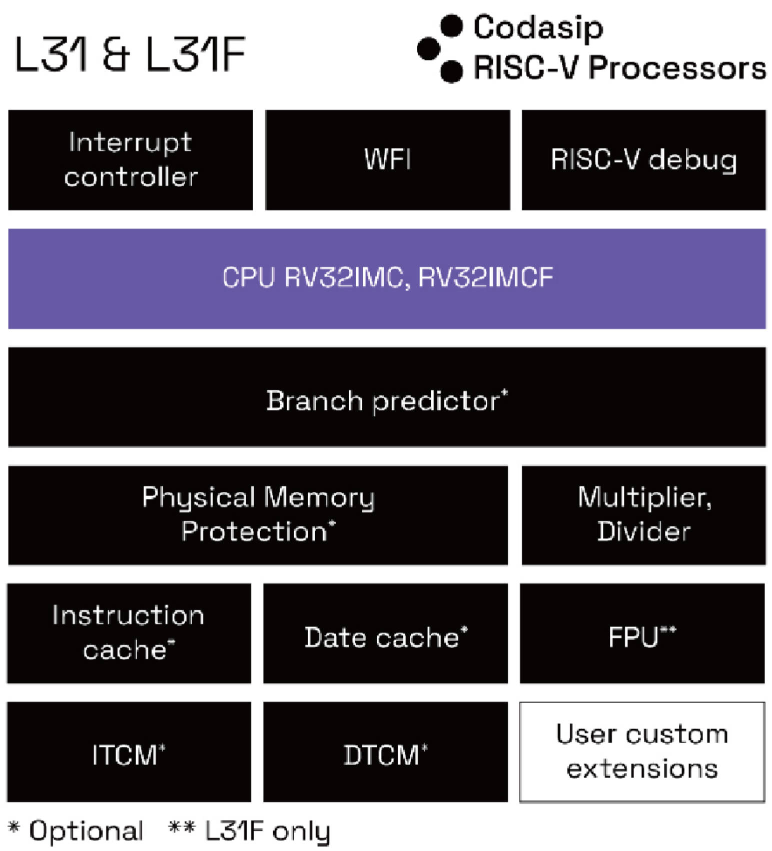


图 1 Codasip L31 处理器内核架构图解（来源：Codasip）

1、基于先进内核的处理器开发

嵌入式系统的应用越来越广泛，同时对处理器的性能、功耗和面积（PPA）要求越来越高，因此我们将这样的产业和技术背景下用实际案例来分析处理器的验证。Codasip L31 是一款用于微控制器应用的 32 位中端嵌入式 RISC-V 处理器内核。作为一款多功能、低功耗、通用型的 CPU，它实现了性能和功耗的理想平衡。从物联网设备到工业和汽车控制，或作为大型系统中的深度嵌入式内核，L31可在一个非常小巧紧凑的硅片面积中实现本地处理能力。L31是通过 Codasip Studio 使用 CodAL 语言设计而成，该内核完全可定制，包括经典的扩展和特性，以及实现这些扩展和特性所需的高效和彻底的验证。

表 1 Codasip L31内核展示了RISC-V处理器的优异特性

特性	描述
指令集架构(ISA)	RV32 I/M/C/F/B
流水线	3级顺序流水线
分支预测器	可选，优化过的单线程性能
并行乘法器	并行实现，单周期乘法
序列除法器	顺序执行
内存保护	· 具有 2/4/8/16 个区域的可选MPU · 具有 2/4/8/16 个区域的物理内存属性 机器和用户权限模式
紧耦合存储器 (TCM)	· 指令和数据TCM · 可定制大小高达2MB AHB-Lite TCM 辅助端口
接口	用于获取和数据的 32 位 AHB-Lite 接口（带缓存的 AXI-Lite）
浮点单元 (FPU)	可选，单精度
调试	· 标准 RISC-V 调试 · 2/4 JTAG · 2-8 个断点和观察点 · 系统总线接入
中断	· 中断控制器 · 标准 RISC-V CLINT 执行
	· 多达 128 个中断 · WFI(等待中断) · NMI(不可屏蔽中断)

2、创建最优的RISC-V处理器验证方法

处理器验证需要制定合适的策略、勤勉的工作流程和完整性，而方兴未艾的、更加灵活的RISC-V处理器开发则需要针对自己处理器功能设置做详尽的验证规划；也需要参考一些内核供应商的内外部因素，比如该供应商自己的开发工具体现和外部开发工具伙伴，以及同系、同款或者同厂内核的出货量等。

验证处理器意味着需要考虑诸多不确定性。最终产品将运行什么软件？用例是什么？可能发生哪些异步事件？这些未知数意味着较大的验证范围。然而，覆盖整个处理器状态空间是无法实现的，这也不是Codasip这样的领先

内核供应商的目标。

在确保处理器品质的同时，充分利用时间和资源才是处理器验证的正解。明智的处理器验证意味着在产品开发过程中尽早并高效地发现相关漏洞。在顶层方面，Codasip提供了多种创新的验证路径，其验证方法基于以下内容：

·验证是在处理器开发期间与设计团队合作完成的。

·验证是所有行业标准技术的组合。使用多种技术可以让您最大限度地发挥每一种技术的潜力，并有效地覆盖尽可能多的极端情况。

·验证需持续进行。有效的办法是运用随着处理器复杂程度而不断发展的技术组合。

在验证L31内核时，我们的想法是让仿真和形式验证相辅相成。

2.1 仿真的优势和目的

仿真实际上不可或缺，它允许我们在两个级别上进行验证设计：

·顶层仿真（Top-level），主要是为了确保设计在最常见的情况下符合其规范（CPU 的 ISA）。

·块级仿真（Block-level），以确保微架构按照预期设计。然而，很难将这些检查与顶层架构规范联系起来，因为这通常依赖于定向随机测试生成，因此能够应付棘手和不寻常的情况。

顶层仿真通常不像块级仿真那样特意强调设计。因此，它可以实现针对 ISA 的设计的整体验证。

2.2 形式验证的优势和目的

形式验证使用数学技术对以断言形式编写的问题提供有关设计的明确答案。

形式验证工具对断言和设计的组合进行详尽的分析。不需要指定任何刺激，除了指定一些非正常情况以避免假漏洞。该验证工具可以提供详尽的“已证实”答案或“失败”答案，同时生成显示刺激的波形，证明断言是错误的。在大型和复杂的设计中，工具有时只能提供有限的证明，这意味着从重置到特定数量的周期都不存在漏洞场景。同时也存在不同的技术方法来增加该周期循环次数，或获得“已证明”或“失败”的答案。

形式验证用于以下情况：

·为完整的验证一个模块，潜在地消除了任何仿真的需要。由于形式验证的计算复杂性，形式化验收（sign-off）仅限于小模块。

·除了仿真之外，还要验证一个模块，即使是个大模块，因为形式验证能够在极端情况下找到漏洞，而随机仿真只能“靠运气”找到，而且概率非常低。

·处理一些仿真不充分的验证任务，例如时钟门控、X态传播（X-propagation）、数据增量处理（CDC）、等价性检查等。

·帮助调查缺少调试信息的已知漏洞，并确定潜在的设计修复。

·对漏洞进行分类和识别，以便通过形式验证来学习和改进测试平台/仿真。

·为了潜在地帮助仿真，填充覆盖范围中的漏洞。

3、解决方案：一种基于形式验证的高效的 RISC-V 处理器验证方法

为了获得一种高效的RISC-V处理器验证方法，我们决定以采用西门子EDA 处理器验证APP来高效验证Codasip L31 RISC-V 内核为例，来进行详尽的说明。该工具的目标是确保 RTL 级别的处理器设计正确且详尽地实现指令集架构（ISA）规范，而本文希望介绍的是一种端到端的解决方案

1. 该工具从一个顶层并有效的“黄金模型”中生成以下：

·在 Verilog 语言中，ISA 的单周期执行模型。

·一组断言，用于检查待测试模块 （DUT）和模型（M）在架构级别的功能是否相同。

注意：这并没有进行任何正式等价性检查。

2. 当在DUT中获取新指令（I）时，会捕获架构状态（DUT-init）。

3. 该指令在流水线中运行。

4. 捕获另一个架构状态（DUT-final）。

5. M 被输入 DUT-init 和 I，并计算出一个新的 M-final 状态。

6. 断言检查 M-final 和 DUT-final 中的资源是否具有相同的值。

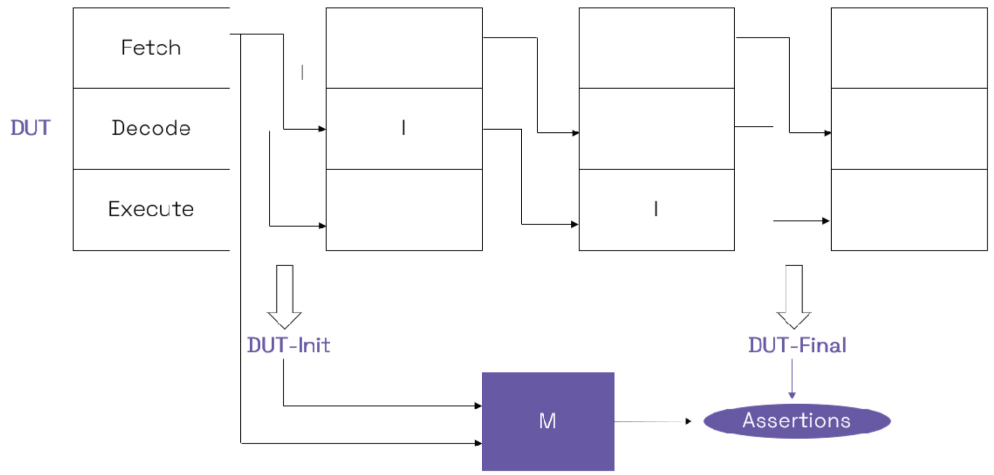


图 2 3 级 L31 内核的端到端验证流程
（当验证指令 I 既没有停止也没有清除缓存数据时）

这种端到端的验证方法可以在比整个CPU更小、更简单的模块（例如数据缓存）上合理实现。可以在缓存上写入端到端断言，以验证写入特定地址的数据是否从同一地址正确读取。这使用了众所周知的形式验证技术，例如记分牌算法。

然而，对于CPU来说，手动编写这样的断言是不可行的。它需要指定每条指令的语义，并与所有执行模式交叉。这通常根本不可能实现。CPU的形式验证被分成更小的部分，但是仍然无法验证所有部分是否正确执行了ISA。

使用建议的方法意味着能够立即验证完整的L31内核，而无需编写任何复杂的断言。如上所述，黄金模型和检查断言是自动生成的。

这种方法同时具有高度可配置性和自动化性，特别是对于 RISC-V CPU，例如 L31：

·用户可以指定设计执行的顶层 RISC-V 参数和扩展。

·该工具能够自动从设计中提取数据，例如将架构寄存器与实际每秒浮点运算次数相关联。

·该工具允许添加自定义，例如用来验证的新指令（具有为用户“扩展”黄金模型的能力）。

最后，黄金模型不是由Codasip开发的（除了一些自定义部分），这一事实提供了额外的保证，这从验证独立性的角度来看很重要。

本文摘录于《基于形式的高效 RISC-V 处理器验证方法 – 形式化验证》白皮书，出品人为总部位于欧洲的全球领先RISC-V供应商和处理器解决方案领导者，该公司的处理器IP目前已部署在数十亿颗芯片中。Codasip通过开放的RISC-V ISA、Codasip Studio处理器设计自动化工具与高品质的处理器IP相结合，为客户提供定制计算。这种创新方法能够轻松实现定制和差异化设计，从而开发出高性能的、改变游戏规则的产品，实现真正意义上的转型。如希望得到该白皮书的完整版本，可浏览Codasip中文网站或者关注该公司微信公众号。

AI如何颠覆传统芯片验证方式？

新思科技

从2017年Google提出Transformer模型，再到去年ChatGPT的横空出世，人们对深度学习能力边界的认知一次次被打破，人工智能（AI）似乎正在加速融入我们每个人的工作和生活。人们不再问AI能做什么，而是它不能做什么。从当下热门的ChatGPT等聊天机器人到自动驾驶汽车，AI已经应用到我们日常生活的方方面面。即便是芯片设计这种过去视为可能不适用于AI的行业，现在也受益于越来越智能的AI技术。

如果AI可以在芯片开发最耗时和耗力的环节助我们一臂之力，让芯片设计更快地一次成功，那将是如何的景象？试想一下，假如我们将AI整合到芯片验证和调试阶段，尤其是在芯片只会越来越精密和复杂的当下，又会带来怎样的变化。

当然，应用AI的最终目标是找出更多错误，加速实现验证覆盖率目标。数字设计存在巨大的设计状态空间，要对所有这些空间进行人工分析，并获得足够的可行见解用以改进设计，几乎是不可能完成的任务。

但如果AI能在这方面有效发挥作用，验证开发者就可以专注于发现和修复错误。想想这对芯片设计会有多大帮助。

1、长达数日的回归运行会成为历史？

芯片设计的复杂性与日俱增，半导体行业正面临着一系列重大挑战。从发展埃米级设计到Multi-Die集成再到快速节点迁移，开发者从未如此迫切地希望提高开发效率，寻找创新的解决方案。然而，受限于逻辑和功能问题，大多数片上系统（SoC）都难以避免代价高昂的重新流片。正因如此，开发者需要尽可能全面地进行SoC验证。但是，由于成本和上市时间方面的压力，开发者不可能一直反复运行验证和调试循环。

芯片的RTL代码设计完成以及设计状态空间配置就绪后，便可启动验证流程。芯片验证开发者需要逐一检查这些空间，确保最终的SoC设计能够正常运行。覆盖率收敛的目的是确保整个设计能按预期的功能正常运行。

覆盖率收敛流程存在三大挑战：

·**覆盖率规划。**开发者很难确定测试平台的覆盖率定义中要写哪些内容（需要什么类型的coverage group，哪里有差距，还需要写些什么等等）。确保实现100%覆盖就表示所有的错误都已找到，这非常重要。

·**覆盖率收敛。**开发者很难确定什么测试用例对覆盖最有用。开发者可能要运行同一个测试用例1000次，才能达到50%的覆盖。随着覆盖率越来越接近100%，开发者会发现，覆盖剩下的几个百分点可能需要几周时间才能完成。直接用例是一种有效的覆盖手段，但要投入大量的人力去开发。

·**激励开发和根本原因分析。**开发者可能会遇到激励本不应该执行某个特定配置或错误的情况。或许激励的编写方式导致其根本

无法达到覆盖目标。

在传统芯片验证周期中，验证开发者会设定一个目标并运行其回归环境。在此过程中，开发者会设置测试平台来生成随机激励，从而观察设计的响应情况。一个设计运行10000到15000条用例十分常见，而且验证团队往往对每条测试用例的ROI没什么概念。回归的运行可能长达数日，并占用宝贵的计算资源。

在SoC验证周期中，有两个迭代循环占用了大部分的时间，其一是在运行回归后进行故障调试与错误修复，其二是覆盖率收敛（图1）。这两项迭代工作都非常耗时，内容包括覆盖率分析、发现覆盖漏洞后作出调整，以及一次又一次的重新再来。发现故障后，验证团队需要对故障进行分析，在RTL或测试平台中进行修改，并重新运行回归，确保这些错误确实得到了修复。同样，这部分工作也需要迭代循环。

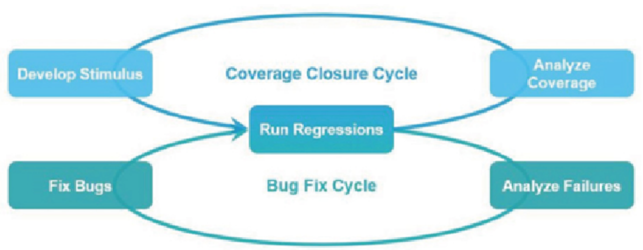


图1：典型验证周期中的迭代循环。

此外，覆盖率收敛流程最后的收尾工作通常最为棘手。对整个流程生成大量数据进行全面的人工分析是不太可行的，因此团队一般都需要对芯片设计缺陷的根本原因有更多了解。

2、机器学习助力更快验证覆盖率收敛

迭代循环有一个好处是可以从中学习，因此AI，尤其是机器学习（ML），正好派上用场。如果ML引擎能够从某些模式中学习，便能够完成相应工作，比如从测试平台的一行代码中识别出可能的错误。学到相应知识后，它就能将这种洞察应用于未来的回归，从而加快覆盖收敛速度，尤其是随着系统不断得到训练，也许还能提高覆盖水平。

AI在半导体行业的应用已经取得了显著进展。新思科技屡获殊荣的DSO.ai™芯片设计AI应用最近率先实现了首个100次生产流片。DSO.ai可以自动搜索芯片设计大型解决方案空间中的优化目标，有助于提高开发效率并改善芯片的功耗、性能和面积（PPA）。

在验证方面，为了缩短调试和修复的周期，新思科技推出了采用回归调试自动化（RDA）技术的Verdi®自动调试系统等解决方案，为开发者带来AI驱动的芯片验证工具。通过这一功能，开发者可以利用预测性分析，让容易出错的人工流程实现自动化，更轻松地找到被测设计和测试平台故障的根本原因。更多助力实现调试自动化的创新方案即将推出，最终将把调试和修复循环变成一个无需人工干预的全自动化流程。

这些应用仅仅是一个开始，未来必将会有更多应用。在越来越多的EDA流程中，愈发智能的AI技术有助于开发者提高工作效率，取得更好的成效。例如，AI帮助开发者更好地了解还需要其它哪些覆盖、越来越智能的AI技术有助于最大限度地减少回归运行的时间和精力，以及AI有助于加快根本原因分析，等等。或许，原本需要长达数日的任务，在AI技术的帮助下只要几个小时便可完成，节省下来的资源就可以用来开发其它项目，或者完成更多的增值任务。

3、加速向市场推出适用芯片

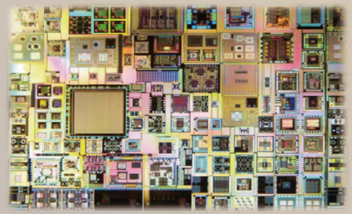
我们的世界充斥着各种复杂问题，解决这些问题需要更加复杂的计算系统来处理。自动化和智能化可以完善开发者的工作，有助于开发者提高工作效率，让设计和验证开发者专注于打造差异化的芯片，推动这样的计算系统问世。如果AI驱动的EDA流程可以承担重复性任务，开发者就有更多精力来处理错误修复并进一步推进他们的设计。从设计空间探索到覆盖率和调试周期等，AI必将对诸多领域产生深远的影响。

无锡国家“芯火”双创基地（平台）
WUXI NATIONAL XINHUO INNOVATION BASE(PLATFORM)

IP Reuse SoC Design
IP与SoC设计

MPW流片服务

芯火平台为集成电路设计企业提供多方位的境内外晶圆流片技术服务。



IP开发及代理

无锡芯火平台目前提供的服务有：技术文章的刊登、IP Vendor广告宣传服务、杂志服务——免费邮寄纸质或者推送电子杂志（给有需要的工程师提供有质量的技术内容）、IP咨询服务——为IC设计工程师提供丰富的IP资源库，提供咨询服务，帮助IC设计企业实现IP复用

无锡芯火平台目前可以提供接口与总线、存储与逻辑库、处理器、多媒体、模拟混合、安全加密、图形处理、输入输出、设计服务相关领域的IP咨询

扫码关注

IP与SoC设计公众号　IP与SoC设计网站

EDA设计服务

EDA软件共享租赁
IC设计平台软硬件选型与部署
版本控制
负载均衡与计算资源调度
远程VPN链接与公司网络优化
私有云建设与虚拟化
机房建设与不间断电源（UPS）
IC设计自动化脚本设计
模拟IC、数字IC及数模混合集成电路设计等环境定制服务

ESD及CP测试

通用测试仪器仪表，涵盖数字、射频、模拟测试
ESD测试–TLP测试，HBM，CDM，Latch–up测试及技术咨询
故障分析，EMMI/InGaAs,Thermal EMMI (InSb)
拍照分析，X–ray，IC Decap (去除封胶)，IC Delayer，工艺分析
FIB电路修补，FIB 电路修补，FIB截面分析

人才培训

线上线下公开课（版图设计、电路设计）
“芯火”沙龙（整机应用、供应商对接、客户宣传）
课程培训（EDA、IP、仪器仪表设备使用）
院校合作联合技术攻关/集成电路专业学科建设

http://www.wxxh.org.cn
联系我们：无锡市新吴区菱湖大道111号国家软件园天鹅座C座19楼　13512529756　房龙涛

投稿指南

《IP与SoC设计》杂志和网站www.ip-soc.com欢迎您提供技术性文章、新闻和新产品介绍等等。

为丰富杂志内容、增加在集成电路设计界的知名度，扩大其涵盖范围并更好地服务于本地厂商，《IP与SoC设计》杂志面向广大IP/DesignService/EDA/Foundry厂商征集优秀文章、最新产品和及时性信息。

如果您有什么好的见解需要和我们分享，请联系编辑。

中文稿件（有英文原稿的请附上）优先采用，本刊有权自主修改、编辑文章内容。

技术文章

1.一篇技术文章的字数应该在2000至6000字之间；
2.请分别提交文字和插图（文字当中没有内嵌的图片或图形）；
3.文章应该包含适当的设计信息或基本原理、照片、图形、仿真和实测数据；
4.请注明作者姓名、职务及所在公司或机构的名称；
5.论文将经过《IP与SoC设计》编辑审查委员会的审查程序；

新品发布

1.请尽量提供简体中文稿件（可附上英文原文），中文稿件会被优先采用。
2.请清晰地写明新产品的名称、型号、性能、独特之处和用途等。
3.产品介绍应少于300字（英文少于150字）。
4.来稿请附产品照片，其分辨率不低于300dpi。
5.留下能提供进一步信息的人的姓名、电话、E-mail。

产品特写

1.产品特写集中报道一个具体产品（或产品系列），字数应该在1000字左右，最多不超过2000字；
2.请提供一个描述产品的图片，它将出现在产品特写开始的标题区域（无需说明文字）；
3.重要——请分别提供文字和插图（文本中无嵌入的图片）。文本应该是一个Word文件，每幅图像必须是上述文件格式之一的一个单独文件。为了说明插图在文字中的位置和说明文字，可以提供另一份文字和插图在一起的文件（可选）。
4.产品特写不包括作者署名。
5.请提供联系信息，包括公司名称、联系方式、公司网址。

详情请联系：杨泽凡　电邮：yang@ip-soc.com　电话：17306130639

无锡国家“芯火”双创基地（平台）
WUXI NATIONAL XINHUO INNOVATION BASE(PLATFORM)

地址：无锡市新吴区菱湖大道111号无锡国家软件园天鹅座C座