

IP Reuse →  SoC Design

IP与SoC设计

ASIC和SoC设计中
的模拟和电源管理趋势

——Vidatronic



www.ip-soc.com



关注我们



了解更多

一站式EDA及相关服务提供商

EDA

- 模拟/数模混合IC设计全流程
- 数字SoC IC设计与优化
- 晶圆制造专用EDA工具
- 平板显示设计全流程

- 晶圆制造工程服务
- 设计支持服务

相关
服务



华大九天

北京·南京·深圳·上海·成都

■ info@empyrean.com.cn

● www.empyrean.com.cn



基于SRAM的不可克隆的设备身份标识

“用兵之法,无恃其不来,恃吾有以待也;
无恃其不攻,恃吾有所不可攻也。”

-----孙子



为保护物联网安全
而与如下攻击作斗争

- 逆向工程
- 伪造
- 克隆

主要对标市场

- 各类安全芯片
- 通用MCU芯片
- 连接类芯片
- 蜂窝网络物联网
- 传感器芯片
- 工业物联网



目录 1

DIRECTORY

编辑手记

EDITOR'S NOTE

- 06 国产EDA——挑战中面临着机遇

封面专题

COVER FEATURE

- 08 ASIC和SoC设计中的模拟和电源管理趋势——Vidatronic

技术应用

TECHNICAL APPLICATION

- 14 用于先进视频处理解决方案的现场可编程逻辑门阵列 (FPGA)
产品与技术——Achronix
- 22 基于Innovus的复杂时钟结构分析及实现——深圳市中兴微电子技术有限公司
- 26 SerDes如何成为半导体系统的关键IP? ——Alphawave
- 30 了解SoC漏洞和模拟威胁的演变趋势——Agile Analog
- 38 为真正的无线立体声(TWS)应用的下一代音频编解码器铺平道路
——dolphin-design
- 40 Colibri, 为专业的AV over IP提供高清内容并快速分发的
编解码器——Silex Insight
- 44 用于自动驾驶的高层次综合技术——Mentor
- 48 数据中心的演进: DDR5 DIMM整体提高服务器性能——Rambus
- 52 SoC集成 – 可预测、可重复、可扩展——Arteris IP

关于《IP与SoC设计》

《IP与SoC设计》专注于IP和SoC设计技术，基于当前集成电路产业发展的趋势，依托无锡“芯火”平台，全面报道全球IP与SoC设计技术的发展和国内外应用经验，整合全球IP与SoC资源和技术资讯，扩展中国读者的全球视野，搭建一个IP与SoC的资讯交流、产业促进的平台，为中国IC设计行业和企业提供IP与SoC专业知识，以及相关信息支持和服务。

公司网址: www.ip-soc.com

● High Speed Interface IP

- USB
- PCIe
- SATA
- MIPI
- SerDes

● Analog IP

- ADC
- PLL
- LDO
- PVT Sensor

● IP Integration Service

- Processor Core Hardening
- Interface IP Integration
- SoC Integration and Implementation



● Foundation IP

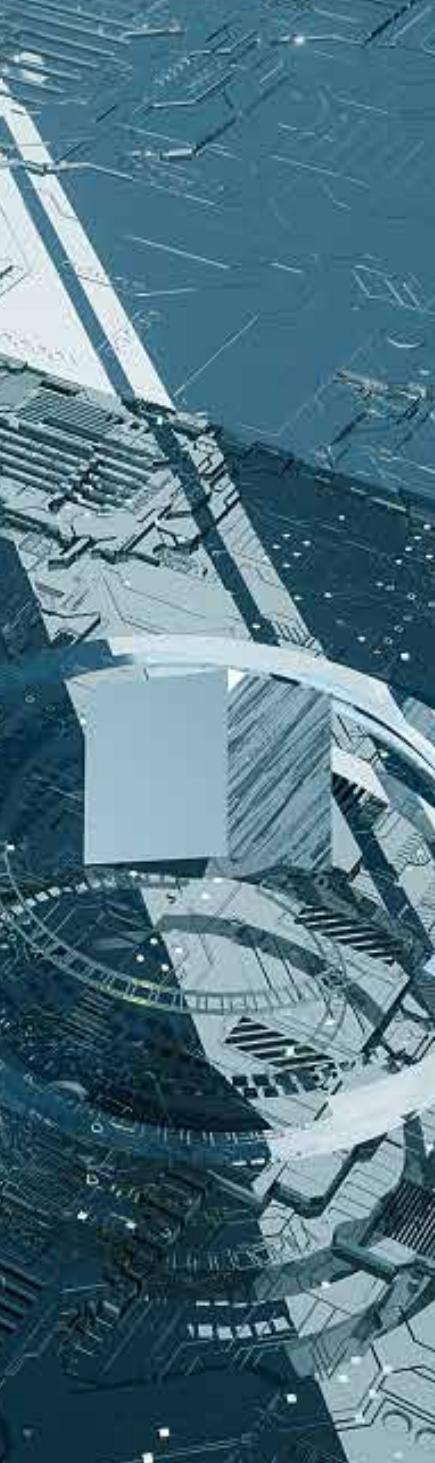
- Memory Compiler
- Standard Cell
- GPIO, Specialty IO
- OPPA* Libraries

*OPPA Libraries: a set of optimized PPA memories and standard cells

● Processor Hard Core IP

- CPU
- NPU
- DSP
- GPU

M31, YOUR IP PARTNER, YOUR VIRTUAL TEAM



目录 2

DIRECTORY

产业观点

INDUSTRY VIEW

54 IP技术与市场同步变革——电子报

需求与解决方案

DEMAND & SOLUTION

58 汽车芯片紧缺，如何提升车规级芯片的设计速度——电子发烧友

62 在边缘实现人工智能视觉——OpenFive

66 灵活、面向未来、高性能推理的简化操作集计算——Imagination

新品发布

PRODUCT FEATURES

70 量身定制的PCIe 6.0 IP控制器将带宽提高到128gb s ——PLDA

72 台积电22nm的全面产品组合——Arasan

广告索引 ADVERTISEMENT INDEX

《IP与SoC设计》索阅卡

《IP与SoC设计》

—IP Reuse and SoC Design —

出 版：无锡国家“芯火”双创基地（平台）

出 版 人：樊晓华

技术主编：曹华锋、房龙涛

执行编辑：朱 慧

发 行 部：(0510)85386687-8035

杂志网站：www.ip-soc.com

联系邮箱：zhuh@jsic-tech.com

地 址：无锡新吴区菱湖大道111号无锡
软件园天鹅座C座

高速数字处理和接口IP方案

... ISP ...

- 全功能解决方案及设计平台
- 业界最小die size
- 超低功耗
- 多种工艺已验证和量产
- 模块化功能，可开源设计

... HDMI ...

- HDMI 2.0&2.1 Tx Controller向下兼容HDMI 1.4B
- HDMI 2.0&2.1 Rx Controller向下兼容HDMI 1.4B
- 业界最佳兼容性设计
- 多种主流工艺验证和量产
- 已为主要STB, Media Box SoC和TV SoC厂家采用

... MIPI ...

- MIPI Rx CSI-2 Controller
- MIPI Rx CSI-3 Controller
- 低功耗小size
- 多种主流工艺验证
- 已搭配自有ISP大量量产

... SerDes ...

- TSMC40G工艺验证
- 速率最高可达16Gbp/s
- 支持协议：
 - *40GbE
 - *16G Fiber Channel
 - *Infiniband FDR
 - *SAS 3.0
 - *Others

地址：深圳市宝安区留仙二路中粮商务公园1栋903B
联系人：李先生
邮箱：sales@decosemi.com



国产EDA——挑战中面临着机遇

近日，为进一步限制中国半导体的发展，美国拜登政府出台了一系列的禁售清单。美国国会议员甚至更进一步致函，要求美国政府将电子设计自动化软件（EDA）也列入禁售中国的产品清单，以限缩中国进行先进芯片的设计生产。

EDA 是芯片之母，是芯片产业皇冠上的明珠。但 EDA 产业高度集中，全球 70% 的市场份额集中在三巨头 Synopsys、Cadence 和西门子旗下的 Mentor Graphics 手中。在中国市场，EDA 的市场份额中三巨头更是占到了 95% 以上。这不仅极大的挤压了我国 EDA 产业的发展空间，同时也严重影响了我国 EDA 软件国产化的研发节奏。

面对发展了二三十年的 EDA 三巨头的技术和商业壁垒，想要进一步提升国产化率面临极大挑战。

首先，在技术上，除了华大九天有面向模拟芯片的整套工具外，国内其他公司提供不了全套的 EDA 工具链。而国际 EDA 公司提供给芯片企业的一般都是全套工具。其次，国内 EDA 产业还没有形成一个完整的、互相促进的产业链。EDA 是芯片设计公司、晶圆厂、EDA 软件商长期协作的成果，需要大量的人才投入、数学优化和经验积累，并非一朝一夕可一蹴而就。另外，在 EDA 软件研发人才方面，国内设立 EDA 专业的高校不太多，而且互联网和金融行业吸引了大量的软件开发人才，导致 EDA 软件研发人才严重不足。

国微集团副董事长兼总裁帅红宇认为国产 EDA 发展需要解决两个问题 1、必须打通内循环，通过政、企、学、研把循环打通，整个产业链相互促进，协同发展，形成完整的生态系统，才能不再受约束。2、EDA 发展必要条件是行业必须抱团发展，采用市场化运作的手段，多头并进，才能建立国内 EDA 产业平台。

芯华章科技创始人、董事长兼 CEO 王礼宾认为，EDA 与当今的软件算法、硬件结构以及机器学习、云计算等新一代技术的融合，会帮助 EDA 公司大大提高研发

质量，融合新一代技术推出的 EDA 产品更可以大大缩短芯片研发周期，推动产品快速上市；同时延揽国际尖端人才，并透过产学研深入合作共同培育属于自己的的人才梯队；再有团队的国际视野和对市场前沿需求的丰富经验能够加速催化产品的成熟度。

在当前的国际形势下，一些芯片设计公司逐渐意识到 EDA 可控的重要性。同时，国产 EDA 也迎来政策和资本的双重利好。

2020 年 8 月，国务院印发的《新时期促进集成电路产业和软件产业高质量发展的若干政策》中提到：聚焦材料、EDA、设备等探索关键核心技术攻关新型举国体制，同时，探索建立软件正版化工作长效机制。

在资本市场，据不完全统计，2020 年，有 9 家 EDA 企业共完成了 15 次融资，而 2021 年的前三个月，就有 6 家 EDA 企业进行了 7 次融资。其中，芯华章在一年时间内就完成了 5 次融资。除芯华章外，很多国产 EDA 公司都已筹集到了资金。2020 年 4 月，概伦电子宣布已完成数亿元人民币的 A 轮融资；2020 年 9 月，国微思尔芯宣布完成数亿元融资；2021 年 1 月 13 日，芯和半导体科技正式宣布其已完成超亿元人民币的 B 轮融资；华为哈勃相继投资三家 EDA 企业，——无锡飞谱电子、立芯软件、九同方微电子。其意义可谓深远。

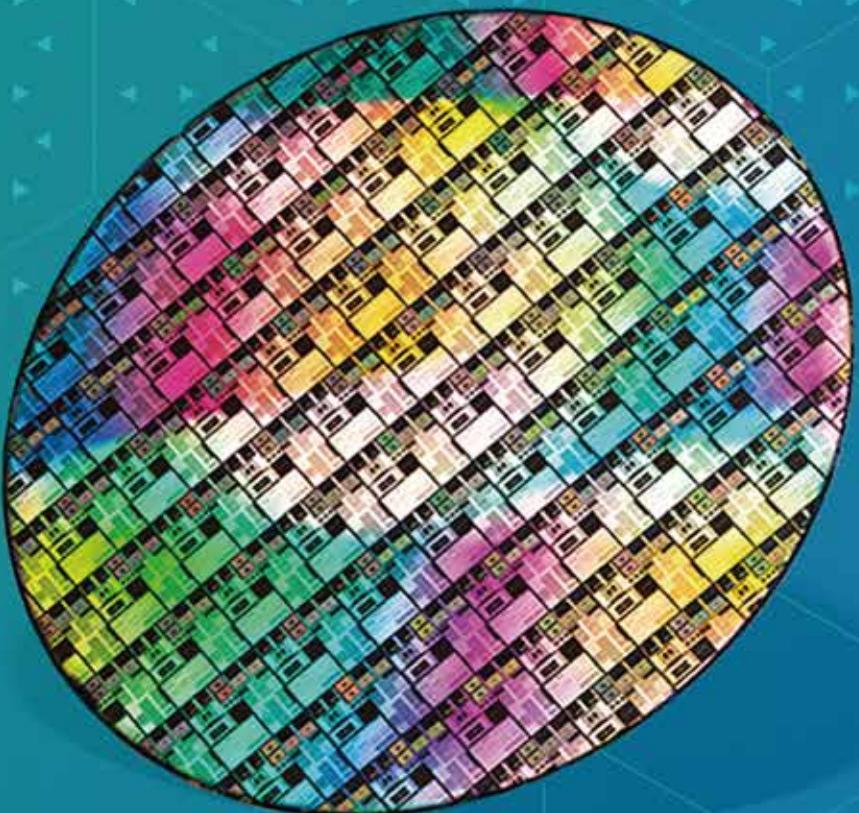
随着美国对大陆半导体企业的打压走向新维度，力求供应链的全方位遏制。中国集成电路产业已成为国家战略性产业，自主可控和国产替代成为新的时代命题，政策、资金、人才等支持力度在不断层层加码。

中国 EDA 在面临巨大挑战的同时也迎来巨大的机遇，多家国产 EDA 公司已整装待发，期待能以厚积薄发的技术实力快速完善中国集成电路产业链，支持 5G、人工智能、云计算等多项未来科技的发展。未来本土 EDA 的发展之路，还需靠脚踏实地、一步一个脚印地走出来，最终实现真正的本土化。

cādence®

Advanced-Node Solutions

Complete, integrated, and silicon-proven
design flows at 7nm and below for custom/analog,
digital, and mixed-signal SoCs



www.cadence.com

ASIC和SoC设计中的模拟和电源管理趋势

Luis Tellez and Stephen M. Nolan

摘要

现代应用专用集成电路（ASIC）和芯片上系统（SoC）的设计可以通过片上集成模拟功能（如电源管理）来区分。Vidatronic 提供了这份白皮书，描述了这一趋势的一些历史背景，并专门深入电源管理的集成。讨论了Vidatronic IP解决方案及其给ASIC和SoC设计人员带来的好处。

介绍&背景

专用集成电路（ASIC）是为特定应用设计的系统，可以针对特定

任务进行完全定制和优化。与计算机中的通用集成电路（如微处理器或 RAM）相反，ASIC 用于实现特定的应用，例如汽车、移动、医疗、家庭自动化、工业、物联网等。一个 ASIC 的复杂版本，包括多种功能，如微处理器、外设功能和接口，如此就形成片上系统（SoC）。

开发定制 ASIC 系统最重要的一个方面是使您的产品与市场上的其他竞争对手区别开来。图 1 是一个框图，显示了作为 SoC 设计的 ASIC 中可以包含的许多典型功能。从图中可以看出，在典型的 ASIC/SoC 中

使用的许多功能块要么是标准化的，要么是高度商品化的。利用商用 IP 块实现这些功能带来了一些好处，但与竞争对手的产品没有区别。事实上，对于完全由标准驱动的模块（例如 USB 接口），几乎不可能有任何区别。

虽然 ASIC 或 SoC 中的许多模块在本质上主要是数字的，但提供市场差异化的一种方法是集成各种模拟模块。这也是近 20 多年来的趋势。

模拟集成的历史

用于设计和开发 ASIC 和 SoC 的晶圆制造工艺和 CAD 工具倾向于针对逻辑进行优化，因为典型系统上的大多数功能都是逻辑的。然而，大多数系统需要几个模拟功能来支持。历史上，这些模拟功能大多由独立的、分立的 IC 提供。这种方法的缺点包括：

- 较大的封装和引脚数
- 增大印刷电路板（PCB）面积
- 系统总成本较高
- 模拟功能缺乏优化或差异化
- 额外的设计复杂性

大多数 ASIC/SoC 设计都是在小尺寸工艺（40 纳米及以下）中实现的，用来节省功耗和芯片面积。然而，由于晶体管失配和漏电，在小工艺线宽中进行模拟电路设计存在

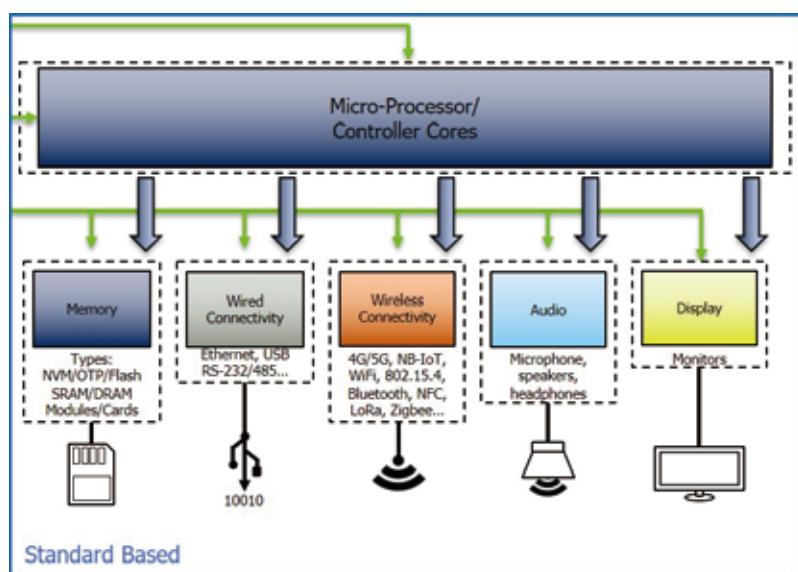


图1:SoC框图示例



1990's, SERDES analog blocks were completely separate from the ASIC/SoC.

Today, SERDES analog blocks are fully integrated into the ASIC/SoC.



Figure 2: SERDES Integration Trend

Previously, power management IC (PMIC) analog blocks were separate from the ASIC/SoC.

Current trends are to fully integrate the PMU into the ASIC/SoC.



图3：电源管理集成趋势

集成到芯片上已成为常态。

图 3 显示了这一趋势如何在其他模拟功能方面继续发展，最新的 是片上电源管理。Vidatronic 在克服先进工艺（低至 5 纳米）设计的 困难方面有着丰富的经验，与尝试 自己设计这些电路相比，使用我们 的 IP 可以帮助您以更低的风险和 更低的成本更快地进入市场。

On-Die 电源管理

由于其复杂的设计，SoC 需要 多个不同的电源轨，提供不同的 电压和电流，这些电压和电流可以 在仔细控制下分别上电和下电。

电源管理中使用的典型功能包 括低压差 (LDO) 线性稳压器、DC-DC 转换器、电压基准和安全功能。这 些功能通常被组合成一个专用的 电源管理单元 (PMU)，为所有的子模 块提供电源。下图 4 左侧部分的电 源管理模块，是专门针对应用的 模拟和混合信号电路。这些模块中的 每一个都可以针对给定的应用进 行优化，从而显著提高功率和价格。 对框图中电源管理部分所代表的 各种块进行了描述，说明您如何选 择 Vidatronic 的 IP 技术，从而为 您的 ASIC/SoC 带来巨大的差异 化和价值。

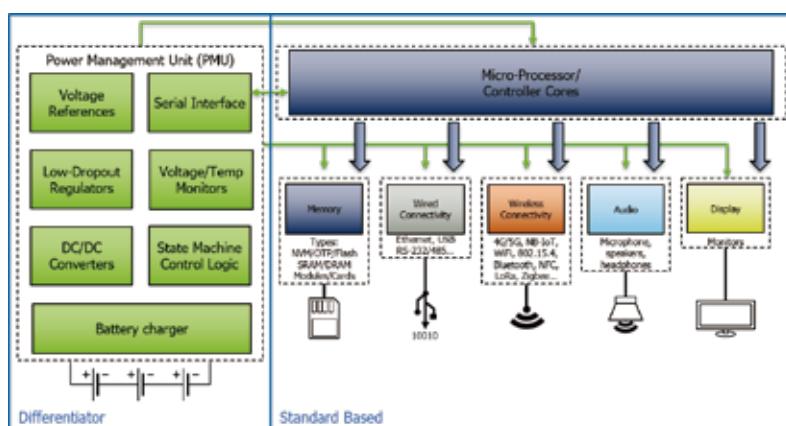


图4：集成电源管理的SoC框图示例

重大挑战。尽管存在这些挑战，一些公司还是在小逻辑制造工艺中设计模拟功能，并将其作为知识产权 (IP) 授权提供，以便在芯片上集成到大型系统中。如图 2 所示，这种趋势始于串行器 / 去串行器 (SERDES) 电路。在 20 世 纪 90 年代，大多数 SoC 都有用于外部 I/O 的宽并行总线，与外部 SERDES 芯 片接口，以提供高速串行接口。一些公司努力克服非最佳工艺中模拟电路 设计的挑战。今天，只要需要高速串行接口，几乎每一个晶圆厂和工艺节点都 可以从多个供应商那里获得 IP。现在，简单地授权一个 SERDES IP 并将其

低压差 (LDO) 调节器

LDO 被广泛用于从电池或其他电源提供稳压水平，而代价是最小的压降或压降电压（约 200 mV）。LDO 输入（电源）与其稳压输出电压之间的这种微小差异，使 LDO 能够在极低的输入电源下工作，这已成为小型工艺的主要挑战之一。例如，如果需要 1V 的输出稳压，LDO 可以在低至 1.2V 的输入电源下工作。LDO 稳压器还能提供非常低的噪声和极其稳定的输出电压，以应对电源和负载的变化。

由于其闭环结构，许多 LDO 电路需要一个补偿方案。大多数 LDO 电路在其输出端实现了一个大的外部电容，为补偿环路提供了一个主导极。在输出端设置电容的第二个原因是帮助 LDO 实现其所述的噪声性能，同时实现输出噪声电压和电源抑制比 (PSRR)。由于电容值很大，在多个微法拉的数量级，这个输出电容无法集成，而且诸如电路板面积、成本和焊接点导致的非理想性等方面，降低了 LDO 的性能。另一种解决方案是实现无电容 (capless) LDO，其中主导极是在内部创建的，消除了大型输出电容。这样可以降低材料清单和面积成本。在设计无电容 LDO 时，需要一个优越的架构来实现高性能，如稳定性、低噪声、高 PSRR 和快速瞬态响应。

Vidatronic 的 Power Quencher® LDO 技术可集成到裸片上，不需要输出电容器。它的设计是为了在广泛的输出电容范围内实现无条件的环路稳定性，一直到零，并且仍能以极低的功耗实现所需的噪声抑制。Vidatronic IP 块可用于 ASIC/SoC 开发的典型工艺节点，因此可在 ASIC/SoC 芯片上实现，以提供所有必要的各种内部电源电压。

DC-DC转换器

在电源管理单元中，一个重要的数字是功率效率，它被定义为总输出功率与输入到稳压器的总功率之比。假设你有一个低功耗的 LDO，其最佳情况下的效率可以通过输出电压超过输入电压来计算。输入电压与其压降电压成反比。由于正确的环路操作需要一个最小的压降，因此 LDO 的效率会降低。

一个高性能的 PMU 通常会实现 DC-DC 转换器和 LDO 的组合，以大幅提高效率。DC-DC 转换器的缺点是引入了开关模式块，会在其输出电压中产生开关噪声。对噪声极其敏感的电路不应该由 DC-DC 转换器提供。克服这一问题的一个可能的解决方案是级联一个 DC-DC 转换器，以实现有效的压降，然后由一个 LDO 来清理电源噪声。此外，LDO 可以根据负载要求进行旁路，避免效率降低。

有两种类型的 DC-DC 转换器技术：标准的基于电感的 DC-DC 转换器，它需要一个外部电感和电容器来创建直流输出电平，以及开关电容式 DC-DC 转换器，它可以使用在模电容器来实现，但不能像基于电感的解决方案那样提供那么大的电流。Vidatronic 将这两种类型的技术作为经过硅验证的 IP 提供。

此外，DC-DC 转换器还可以在以下模式下使用：

- 降压模式：输出电压低于输入电压
- 升压模式：输出电压高于输入电压
- 旁路模式：输入电压直接输入到输出
- 组合模式：无论输入电压如何，都能自动提供正确的输出电压

Buck-boost 模式在电池供电的应用中特别常见。当电池连接到充电器或充满电时，电池电压可能高于负载电路所需的电压。当电池放电时，电池电压低于负载电路所需的电压。

Vidatronic 提供了一种名为 FlexSupply® 的开关电容 DC-DC 变换器 IP 块，不需要任何外部组件。无论输入电压是高于或低于所需的输出电压，它都可以产生所需的输出电压。

这个 IP 模块是根据所需的输出电流而设计的（见图 5），是可以扩展的。例如，如果您的 ASIC/SoC 只需要从降压 - 升压转换器中获得 1 毫安的电流，那么您可以在芯片上使用我们最小尺寸的 IP 模块。如果您需要更高的负载电流，那么模块的尺寸可以线性放大，以支持额外的负载。例如，10 毫安的负载需要的面积是 1 毫安模块面积的 10 倍。这意味着，在您的轻负载应用中，不会为你未使用的电流支付额外芯片面积而带来的费用。

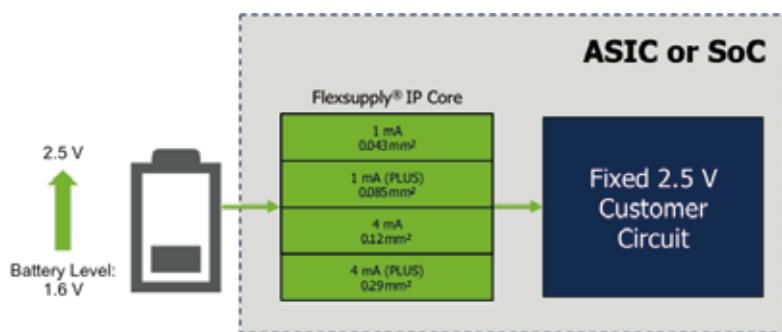
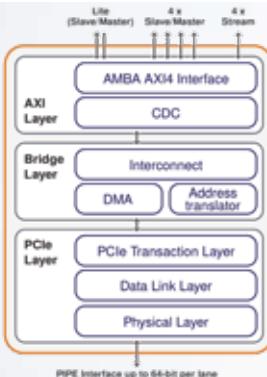


图5:FlexSupply®DC-DC变换器应用



高速互连专家



XpressRICH-AXI 控制器 IP 为 PCIe 5.0

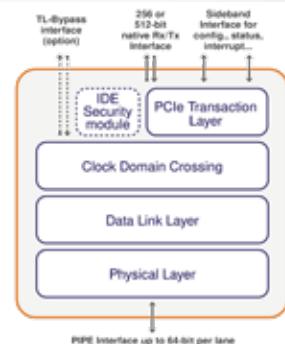
控制器 IP 为 PCIe 5.0, 4.0, 3.1/3.0 支持根端口, 端点, 双模式配置, 可选内置 DMA 和可配置 AMBA AXI 互连

XpressRICH5-AXI 是一种可配置和可扩展的 PCIe 控制器软 IP, 专为 ASIC 和 FPGA 实现而设计。XpressRICH5-AXI IP 符合 PCI Express 5.0, 4.0 和 3.1 / 3.0 规范, 以及 PCI Express (PIPE) 规范的 PHY 接口和 AMBA® AXI™ 协议规范。此 IP 可以配置为支持端点, 支持根端口和双模拓扑, 允许使用各种模型并向用户公开一个可配置, 灵活的 AMBA AXI 互连接口。提供的图形用户界面 (GUI) 向导允许设计人员根据其具体要求调整 IP, 通过启用, 禁用和调整大量参数, 包括 AXI 接口的数量, 类型和宽度, PIPE 接口宽度、低功耗支持、SR-IOV、ECC、AER 等, 以获得最佳吞吐量、延迟、面积和功耗。根据应用程序的需求, 用户可以选择启用内置的遗留 DMA 引擎, 或者从外部连接 DMA 引擎, 如 PLDA 的 vDMA-AXI DMA。PLDA 正在与多个 PHY IP 供应商和验证 IP 供应商携手合作, 为 PCIe 5.0 提供一系列 32GT/s 的集成解决方案。PLDA XpressRICH-AXI 控制器 IP for PCIe 5.0 是 ASIC、SoC 和 FPGA 设计人员寻找具有高性能、可靠和可伸缩的 AMBA 3 AXI/AMBA 4 AXI 互连的企业级 PCIe 接口解决方案的首选。

XpressRICH 控制器 IP 为 PCIe 5.0

PCIe 5.0, 4.0, 3.1 / 3.0 根端口, 端点, 双模, 具有 Native 用户界面的交换机端口 Controller IP 核

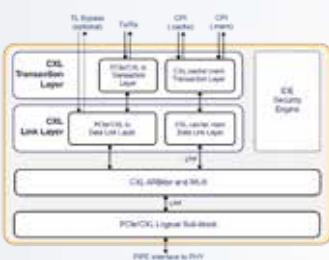
XpressRICH5 是一款可配置且可扩展的 PCIe Controller 软 IP, 专为 ASIC 和 FPGA 实现而设计。XpressRICH5 IP 符合 PCI Express 5.0, 4.0 和 3.1 / 3.0 规范, 以及 PCI Express (PIPE) 规范的 PHY 接口 5.x 版本。IP 可以配置为支持端点, 根端口, 交换机端口和双模拓扑, 允许各种使用模型。提供的图形用户界面 (GUI) 向导允许设计人员通过启用, 禁用和调整大量参数来定制 IP 以满足其精确要求, 包括数据路径大小, PIPE 接口宽度, 低功耗支持, SR-IOV, ECC, AER 等, 以实现最佳吞吐量, 最低延迟, 优化大小和降低功耗。PLDA 与多家 PHY IP 供应商和验证 IP 供应商合作, 为 32GT / s 的 PCIe 5.0 提供一系列集成解决方案。PLDA XpressRICH5 PCIe IP 允许使用各种模型, 是寻求具有高性能, 低延迟和灵活用户界面的企业级 PCIe 接口解决方案的 ASIC, 是 SoC 和 FPGA 设计人员的首选。



XpressLINK 的控制器 IP 为 CXL

支持 CXL.io, CXL.cache, CXL.mem 的 Compute Express Link (CXL) 规范的控制器 IP

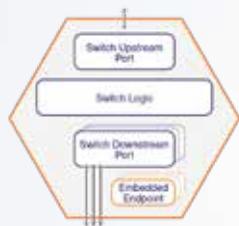
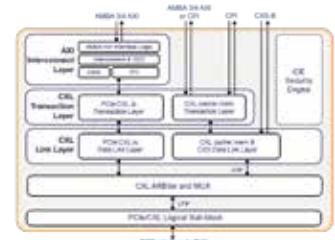
XpressLINK™ 是可参数化的 Compute Express Link (CXL) 控制器软件 IP, 专为 ASIC 和 FPGA 实现而设计。XpressLINK 控制器 IP 为 CXL.io 路径利用了 PLDA 已硅验证的 PCIe 5.0 XpressRICH 控制器, 并增加了 CXL 特有的 CXL.cache 和 CXL.mem 路径。XpressLINK 公开了用于 CXL.io 流量的 PLDA 原生 Tx / Rx 用户接口, 及用于 CXL.mem 和 CXL.cache 流量的英特尔 CXL 缓存/内存协议接口 (CPI)。XpressLINK 还符合用于 PCI Express (PIPE) 规范的 Intel PHY 接口版本 5.x。所提供的图形用户界面 (GUI) 向导允许设计人员通过启用, 禁用和调整各种参数来定制 IP, 以满足其确切要求, 包括 CXL 设备类型, PIPE 接口配置, 缓冲区大小和延时, 低功耗支持, SR-IOV 参数等, 以实现最佳吞吐量、延时、面积和功耗的平衡。XpressLINK 已通过商用第三方及自研的 VIP 和测试套件的广泛验证, 并已与诸多 PCIe 5.0 PHY IP 集成验证。



XpressLINK-SOC 的控制器 IP 为 CXL

根据 CXL Link 规范设计的 CXL 控制器 IP, 具备针对 SoC 实现而优化的 AMBA 接口

XpressLINK-SOC™ 是可参数化的 Compute Express Link (CXL) 控制器软 IP, 专为 ASIC 和 FPGA 实现而设计。XpressLINK-SOC 控制器 IP 为 CXL.io 路径在 PLDA PCIe 5.0 控制器 IP 基础上(基于 PLDA 已硅验证的 XpressRICH-AXI 架构), 添加了 CXL 特有的 CXL.cache 和 CXL.mem 路径。XpressLINK-SOC 支持针对 CXL.io 流量的 AMBA® AXI™ 协议规范, 以及针对 CXL.mem 的 Intel CXL cache/mem 协议接口 (CPI) 或 AMBA® AXI™ 协议规范, 以及针对 CXL.cache 流量的 CPI 接口或 AMBA® CXS 协议规范。XpressLINK-SOC 还符合用于 PCI Express (PIPE) 规范 5.x 的英特尔 PHY 接口, 并支持 PIPE LPC 和 SERDES 模式。所提供的图形用户界面 (GUI) 向导允许设计人员通过启用、禁用和调整各种参数来定制 IP, 以使其满足特定要求, 包括 CXL 设备类型, PIPE 接口配置, 缓冲区大小和延迟, 低功耗支持, SR-IOV 参数等, 以实现最佳吞吐量, 延迟, 大小和功耗。XpressLINK-SOC 已使用商用以及 PLDA 自产的 VIP 和测试套件进行了广泛的验证, 并且已与诸多主流 PCIe 5.0 PHY IP 集成过。



XpressSWITCH

PCIe 5.0, 4.0, 3.1/3.0 多端口直通 Switch IP 核, 具有 1 个上游端口和多达 31 个下游端口

XpressSWITCH 是一款可定制的多端口嵌入式 PCIe Switch, 专为 ASIC 和 FPGA 实现而设计, 可实现一个上游端口和多个下游端口的连接, 并可完全配置。XpressSWITCH 是市场上第一款可用的嵌入式 Switch IP, 使设计人员能够使用更少的 PCIe PHY, 从而降低了延迟, 功耗和物料支出。PCIe 交换机 IP 透明地管理上游-下游数据流以及下游端口之间的对等传输, 提供连接多个设备 (包括 NVMe SSD) 所需的灵活性, 可扩展性和可配置性。



<https://www.plda.com/cn>
sales@plda.com



PLDA 中国
+86 13681822285



Bruce_Luo77

电压基准

电压参考是几乎所有 ASIC/SoC 器件中电源管理系统的必要组成部分。电压参考通常用作各种 PMU 块的参考，如 LDO、运算放大器、比较器、数据转换器和许多其他模拟和混合信号功能。电压基准的主要目的是在工艺、电压和温度 (PVT) 变化的情况下提供一个恒定的电压。此外，低功耗和良好的电源抑制比 (PSRR) 也是高性能和可靠基准电压的一部分。Vidatronic 拥有高精度的电压基准 IP 技术，在静态电流 (IQ) 小于 10 微安 (μA) 和 PSRR 超过 80dB 的情况下，可以达到令人印象深刻的 0.3% 的精度（微调）。我们还有极低功率 ($\text{IQ} < 100 \text{ nA}$) 的电压基准，适用于常开机的微功率应用，具有非常好的精度和噪声性能。这两个电压基准系列无需使用任何外部元件即可提供这些高性能的优势。

电池充电器

手机、平板电脑、笔记本、智能手表、助听器等设备都是由电池供电，以实现便携性。这些电池供电的应用需要一个充电器块来监控和充电电池单元。

电池充电器是根据电池单元的要求设计的。与稳压器类似，电池充电器可设计为线性或开关充电器。线性电池充电器很简单，而且由于不需要电感等大型外部元件，因此解决方案尺寸较小。这类电池充电器成本较低，适用于小型电池单元和低功率充电应用，如可穿戴设备或物联网。另一方面，开关式充电器更适用于大功率应用，在这些应用中，使用较大的电流对电池单元进行快速充电。这类电池充电器可以在手机、笔记本和汽车应用中找到。

安全模块

还有许多其他的基础模拟电路块在电源管理应用中常用。这些包括振荡器、电压监控器、温度传感器和上电复位 (POR) 电路。

虽然有许多实现振荡器的方法，但电源管理功能通常使用弛豫或环形架构。虽然这两种方式都不新颖，但在先进的晶圆厂工艺中，实现它们以合理的功耗在工艺、电压和温度 (PVT) 之间可靠地启动和以正确的频率振荡可能是一个挑战。

电压监控器和温度传感器经常用于故障安全原因，当达到一个极限时，标志着控制器关闭系统。关键参数是精度和滞后。

上电复位 (POR) 电路通常是任何 ASIC/SoC 设计的必要部分，以延缓逻辑电路的启动，直到电源电压达到足够的水平，以实现系统中的有效逻辑状态。

电源管理单元(PMU)

在 ASIC/SoC 上使用这些不同的电源管理块一般不是独立的。通常，系统需要非常仔细地控制各种电源轨的上电和断电顺序，并能够在 ASIC/SoC 的指定低功耗工作状态下关闭某些电源。为了控制各种电源管理块，通常会增加一个逻辑状态机，以确保电源上电和关机的正确时机和顺序，以及建立各种低功耗状态。这种逻辑状态机通常由微控制器或微处理器通过串行接口（如 I²C）进行控制。仔细开发和测试这些逻辑电路及其与模拟电源管理块的接口并非易事。

Vidatronic 拥有这些经过硅验证的各种技术，并在适当的实现方面拥有多年的经验。将这些不同的电源管理模块与一些控制电路和用于外部控制的接口组合在一起，称为电源管理单元 (PMU)。Vidatronic 提供的定制服务之一是将各种电源管理模块集成到一个 PMU 中，为您的整个 SoC 设计提供所有必要的电源功能。

结论/总结

利用 Vidatronic 的 IP 和定制电路进行 ASIC/SoC 开发，可以帮助您更快地将产品推向市场，并提供差异化的产品功能和性能。我们的经验可以降低您的整体项目风险。

用于 ASIC/SoC 集成的 Vidatronic IP 核包括：

- 可集成在芯片上且不需要任何外部组件的 LDO
- DC-DC 转换器，面积可根据负载要求进行扩展
- 电压基准具有令人印象深刻的精度或难以置信的低功率，适用于常开应用且无需外部元件

- 基础安全模块
- 控制逻辑和串行接口

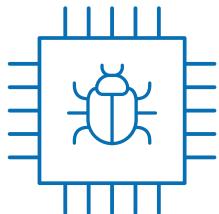
Vidatronic 还可灵活地定制任何 IP 块，以满足特定的应用需求，并将所需的块集成到一个完整的 PMU 中，为您的整个 ASIC/SoC 设计提供所有必要的电源功能。

Vidatronic 专注于 CMOS Planar、FinFET 和 SOI 技术中从 180 纳米到 5 纳米的最先进工艺节点。

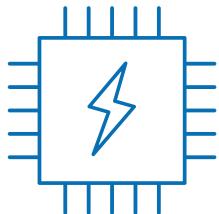
我们不是一家元器件供应商，我们的优势在于合作伙伴关系。合作是我们合作伙伴成功的关键，它使我们能够与您同步成长。与 Vidatronic 合作可以释放您宝贵的设计工程资源，使其专注于他们最擅长的领域，从而使您能够以最快的速度和最具成本效益的方式成功开发出在市场上具有重大价值的 SoC。



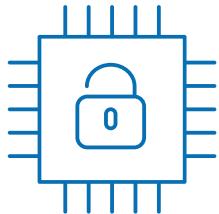
芯片完备性解决方案



功能正确性

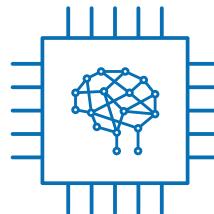


安全

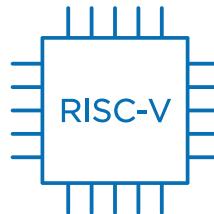


信任与安全

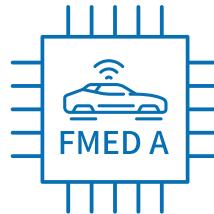
應用領域



异构计算



RISC-V



汽车和工业

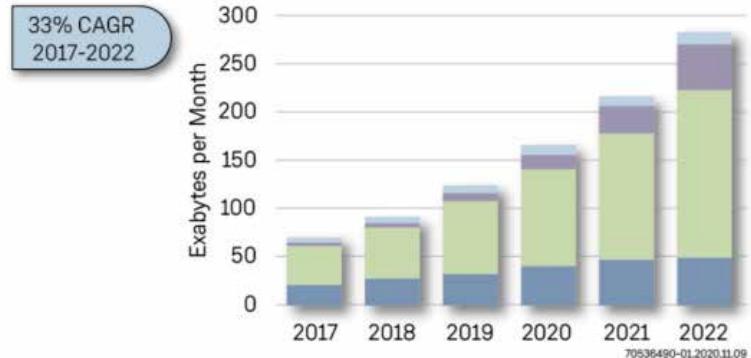
OneSpin 提供最先进，最强大的验证平台，以解决当今的关键性芯片完备性问题。我们的专家致力于解决最棘手的下一代验证挑战，并提供使设计团队能够创建功能正确，安全，可靠且可信赖的SoC 的解决方案。

用于先进视频处理解决方案的现场可编程逻辑门阵列（FPGA）产品与技术

Achronix

部署先进的网络基础设施不仅可以解决数据传输量激增的问题，而且还能在诸如边缘、核心和云端等网络的不同部分进行数据处理。不足为奇的是大部分数据要么是视频，要么是图像，并且这些数据正以指数级速度增长，并将在未来几年内保持持续增长。因此，需要更多的计算资源来应对数据的大量增长（如图1所示）。

由于应用的类型多种多样，因此在数据中心中存在着各种各样的视频或图像处理工作负载。基于专用集成电路（ASIC）的解决方案通常可提供更高的性能，但是无法进行升级以支持未来的算法；基于中央处理器（CPU）的解决方案要比其更加灵活，但其时钟主频已经固定，而且已不再可能大幅提升处理器性能；图形处理器（GPU）是提供视频/图像处理解决方案的另一种候选方案，但其功耗明显高于基于现场可编程逻辑门阵列（FPGA）的解决方案。FPGA在视频处理和压缩领域内，是一种具有吸引力的选择，



33% CAGR 2017-2022:2017-2022年间的复合年增长率33%

Exabytes per Month:每月的Exabytes数量

因为它们提供了实现创新视频处理算法所需的、平衡的资源。此外，FPGA提供了一种灵活的解决方案，可以缩短产品上市时间，并能在解决方案的整个生命周期内实现持续升级和部署新的功能。

基于FPGA的视频解决方案的示例

本白皮书将介绍三种典型的视频应用，以展示基于FPGA的解决方

案在广播行业中的优势。这些优势包括缩短处理时间、降低功耗，以及为服务提供商和终端用户节省成本。

本白皮书将介绍基于FPGA的解决方案在以下三种应用中的优势：

- 视频流
- 使用视频编辑软件来创作视频内容
- 人工智能（AI）和深度学习
- 图像识别是该应用的主要部分，其需要高性能的计算资源

视频流传送

为了使媒体流变得快速和高效，对视频进行转码的需求已急剧

表1：互联网用户和数据流的增长

年份	互联网用户	设备与连接	宽带速度	视频数据流量
2017	34 亿	180 亿	39.0 Mbps	占总量的 75%
2022	48 亿	285 亿	75.4 Mbps	占总量的 83%

来源: 思科 (Cisco) 公司

增加。目前大多数产品都采用了一种基于软件的方法，但该方法无法满足高带宽、广播级视频流的处理要求。视频流和/或云服务提供商面临着由基于软件的解决方案所带来的低吞吐量、高功耗、长延迟和占用空间大等挑战。根据思科的一份题为《思科可视网络指数：预测与趋势——2017-2022年白皮书》的报告，视频流数据流量正在增加，并且到2022年时将占据整个互联网数据流的82%。在包括视频点播、流媒体直播和视频监控等所有应用中，视频数据流量将逐年稳步增长。

诸如Netflix和YouTube等视频流应用的兴起推动了对视频转码的需求。传统广播和视频流媒体之间最显著的区别在于内容量和频道数。为了支持从电脑到智能手机等各种接收设备，内容必须被转码成不同的分辨率和压缩格式。因此，视频流将消耗大量的计算资源。

流媒体和云服务提供商需要一种解决方案来缓解对计算需求的压力。Achronix Speedster[®]7t系列FPGA器件中搭载了IBEX这种最先进的视频处理半导体知识产权（IP）能够解决这一重大问题。这种基于FPGA的解决方案可以提供高吞吐量的、低功耗的和占用空间小的系统，而且无需牺牲灵活性。尽管基于ASIC的解决方案功能强大，但只能支持在设计时定义的功能集，而不能支持现场更新。

视频内容创作

在过去，高清分辨率（HD）格式在视频内容创作中占据主导地位。最近，标准分辨率已被提升至4K，甚至到8K，这使得视频编码或解码面临挑战。用于这些较高分辨率的压缩格式主要有Apple ProRes、Avid DNx和SONY XAVC。由于这些压缩格式是专有的，因此ASIC或GPU并不能原生支持这些格

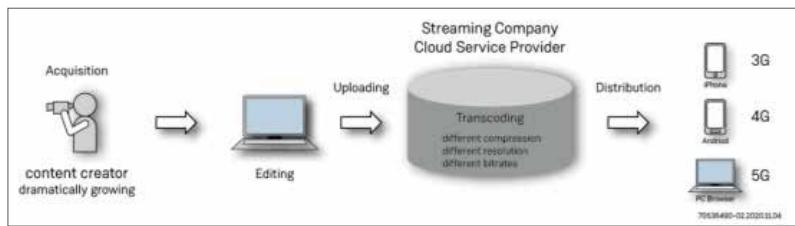


图2：视频转码工作流程

Acquisition: 获取
 Editing: 编辑
 Uploading: 上传
 Cloud Service Provider: 云服务提供商
 different compression: 不同的压缩率
 different resolutions: 不同的分辨率
 different bitrates: 不同的比特率
 iPhone: iPhone手机
 Andriod: 安卓手机
 PC Browser: 电脑浏览器



图3：视频编辑工作流程

Editing Software: 编辑软件
 Import (Decode): 导入(解码)
 Export (Encode): 导出(编码)
 Remote Edit: 远程编辑
 Import: 导入
 Export: 导出

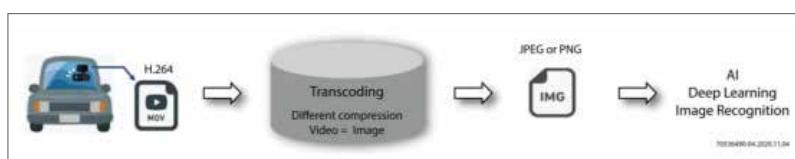


图4：典型的深度学习图像数据流

Transcoding: 转码
 Video=Image: 视频=图像
 Learning: 深度学习
 Different compression: 不同的压缩率
 AI: 人工智能Deep
 Image Recognition: 图像识别

式，而且CPU提供的性能也不佳。因此，在较高分辨率下创作视频内容时，FPGA是最佳的解决方案。

在新的趋势下，远程后期制作的概念正变得越来越普遍。然而，现有的电脑并没有足够的能力来实时处理高分辨率的内容（例如8K）。因此，编辑人员开始借助云基础设施来获得更好的计算性能。此外，由于需要保持社交距离，新冠肺炎疫情也加速了这一趋势。基于云和FPGA的解决方案为编辑人员提供了巨大的好处。Achronix Speedster7t系列FPGA器件进行架构创新，例如二维片上网络（NoC），使其特别适合于加速编码和解码算法。

人工智能与深度学习

人工智能、机器学习和深度学习是众所周知的领域，它们在过去几年中得到了迅速的发展。除了这些领域，图像识别也逐渐成为一个全新的重要领域，这得益于人工智能/机器学习（AI / ML）的创新。例如，先进驾驶员辅助系统（ADAS）使用深度学习算法来处理捕获的图像。安装在车上的行车记录仪使用H.264压缩技术记录视频，然后将视频流转码为诸如JPEG或PNG等合适的图像格式，以用于深度学习图像识别。根据应用场景，可以同时完成丢帧、更改分辨率或其他图像处理任务。

在零售业的安全摄像头或物流业的包裹分拣中也有类似的应用案例，其数据流与上述示例相同——这些应用中的摄像头使用H.264或H.265等压缩比相对较高的压缩格式记录视频，然后将编码的视频流传输到云端或数据中心。在云端，视频流由原始格式转码为适合深度学习的格式，将视频文件转换为图像资料库。

从历史来看，FPGA一直擅长将电影转码为图像。此外，使用FPGA中的深度学习算法对图像预先进行预处理，不仅可以提高吞吐量，而且还能减少系统级的数据事务量。Achronix Speedster7t的创新架构及其带有的专用机器学习处理器（MLP），使之成为实现定制的和既定的深度学习算法的理想选择。

FPGA代表性视频用例的性能

我们分别使用FPGA和CPU来实现上述三个典型应用案例，并对一些关键指标进行对比，如表2所示。

视频流传输

在视频流传输应用中，常用的压缩格式是H.264或H.265，因为终端（接收端）设备原生支持这些格式。诸如位深或色度和分辨率等参数通常为8位、4：2：0和 1920×1080 或 1280×720 。在解码器方面，基于FPGA的实现比基于CPU的系统提供更高的吞吐量。在数据层面，FPGA效率更高，因为如果将CPU用于纯数据处理之外的其他任何与数据相关的任务时，它通常都没有得到充分的利用。然而在编码器方面，硬化的CPU编码器内核是专门针对这些典型参数而设计的，并提供了足够的性能。

为了获得两全其美的效果，将FPGA和CPU解决方案相结合，并由FPGA来处理繁重的工作负载是理想的解决方案。FPGA上的高效功能可

表2：FPGA与CPU的性能比较

压缩格式		编码器	解码器	备忘录
H.264, H.265	典型参数	↓	↔	典型参数表示8位、420、2K。英特尔QSV、GPU硬核功能仍然强大，尤其是在编码器端。
	次要参数	↔	↑	次要参数表示10位、422、3K或5K。英特尔QSV、GPU硬核不支持它。
帧内		↑	↑	专有编解码器，诸如Apple ProRes、Avid DNx、SONY XAVC、Panasonic AVC-Intra。图像格式，诸如JPEG和PNG等。

表注

↑ FPGA提供更佳的性能。

↔ FPGA和CPU提供同等的性能，但FPGA是卸载CPU负担的首选解决方案。

↓ FPGA和CPU提供同等的性能，但CPU是首选解决方案。

以被移植到可重新配置的硬件上去运行。例如，运动估计算法是一种适合FPGA的工作负载。另一方面，CPU更适合处理比特率控制算法。

一些服务提供商要求在软件解决方案中实现与x264相同的视频质量和流媒体格式。FPGA和CPU的组合解决方案可以有效地满足这些要求。使用这种方法，每种功能都被合理地分配，较繁重的处理负载被转移到FPGA，与纯软件解决方案相比，这种方法能提供类似或更好的视频质量和流媒体格式，而且编码时间显著减少。

下表列出了使用这种方法的x264评测结果，第一行显示了在FPGA上的运动估计函数（x264_8_me_search_erf）的结果。运动估计是CPU最繁重的工作负载之一，占据总处理时间的21.2278%。

表3：x264评测结果（通过评测软件获得）

样本	百分比	符号名称
3679706	21.2278	x264_8_me_search_ref
2078100	11.9883	x264_8_pixel_ads_mvs_ssse3
1453998	8.388	x264_8_pixel_sad_x3_8x16_sse2
1176121	6.7849	x264_8_pixel_sad_x3_16x16_avx2
1156301	6.6706	x264_8_pixel_sad_x3_8x8_sse2
1095731	6.3211	x264_8_pixel_ads2_avx2
868943	5.0128	x264_8_pixel_sad_x3_16x8_avx2
779812	4.4986	x264_8_pixel_ads1_avx2
318990	1.8402	x264_8_pixel_ads_avx2
275943	1.5919	x264_8_quant_4x4_trellis
255712	1.4752	x264_8_trellis_cabc_4x4_psy_ssse3
231397	1.3349	x264_8_pixel_satd_8x8_interval_avx2
187422	1.0812	x264_8_mc_chroma_avx2
168559	0.9724	x264_8_pixel_satd_16x8_interval_avx2
168484	0.972	x264_8_pixel_sad_8x8_mm2

视频内容创作

用于内容创作的视频编辑软件支持多种压缩格式，其中包括Apple ProRes、Avid DNx、Sony XAVC和Panasonic AVC-Intra，这些格式都带有基于内帧结构的专有压缩方案。此外，还有一些支持RAW模式的格式，诸如Apple ProRes RAW、RED RAW、ARRI RAW和Blackmagic RAW，这些格式都得到了摄像机制造商的支持。由于这些格式（以及新型的和不断出现的格式）具有不断变化的特性，因此基于ASIC的解决方案并不实用，而需要基于FPGA的解决方案。

在过去，主要的分辨率为HD/2K，CPU有足够的速度来处理这些视频流。但是，随着4K或8K分辨率变得越来越普遍，仅靠CPU加软件的解决方案

4 Port / 48 Gbps SAS Initiator IP Core

INTRODUCTION

The SAS Initiator Controller IP Core provides an interface to high-speed serial link replacements for the parallel SCSI attachment of mass storage devices. Maximum supported bandwidth is 48 Gbps.

FEATURES

The SAS Initiator IP Core includes the following features:

- *SAS & SATA Speed Negotiation and OOB*
- *SATA 1.5, 3.0 and 6.0 Gbps support*
- *SAS 1.5, 3.0, 6.0 and 12.0 Gbps support*

- *Power Management*
- *Configurable, 1 quad, 2 dual or 4 single narrow, or 1 quad or 2 dual wide ports*
- *Automatic Identify and Reset Management*
- *Automatic Connection Control*
- *Support of SMP, SSP, SATA protocols*
- *Multi-channel S/G DMA support with on-demand processing*
- *Multiple simultaneous connections per device*
- *Sustained 48 GBps bandwidth*
- *AXI Interface*

SATA Host IP Core

INTRODUCTION

The Serial ATA Host Controller IP Core provides an interface to high-speed serial link replacements for the parallel ATA attachment of mass storage devices.

FEATURES

This core is fully compliant to the Serial ATA 3.0 specification. The main features are:

- *High Throughput: 550 MBytes/sec Read, 550 MBytes/sec Write*
- *Low Latency: 75K IOPS Read, 75K IOPS Write (4k blocks)*
- *Supports 1.5 Gbps, 3.0 Gbps and 6.0 Gbps*

- *Native NCQ support*
- *AXI Light interface for register access*
- *AXI Stream Interface and for data transfers*
- *Full support for PIO, DMA and FPDMA transfers*
- *Implements the shadow register block and the serial ATA status and control registers*
- *Parallel ATA legacy software compatibility*
- *48-bit address feature set supported*
- *Power management support (partial and slumber)*
- *DMA Support*

USB 3.0 Device IP Core

INTRODUCTION

A USB 3.0 Device IP Core that provides high performance SuperSpeed USB connectivity in a small footprint solution for quick and easy implementation of a USB Device interface.

FEATURES

The USB 3.0 Device IP Core is fully USB 3.0 compliant. The main features of the USB 3.0 Device IP Core are:

- *USB 3.0 SuperSpeed support, 5Gbit/s*
- *USB 3.0 PIPE interface*
- *Integrated DMA engine*

- *Up to 16 fully configurable endpoints*
- *Bulk, control, interrupt and isochronous endpoints and transfers*
- *Automatic Link Control and Management performed in hardware*
- *User transparent error recovery and re-transmission of packets*
- *Automatic Power State transition performed in hardware (all power states supported)*
- *Autonomous operation with very little firmware interaction*
- *Full duplex operation support*

不能够提供实时处理。另一方面，基于FPGA的解决方案可以轻松地实时处理4K和8k分辨率视频。

内部基准测试表明，即使与中级FPGA芯片相比，基于FPGA解决方案的处理速度也比最新的CPU加软件解决方案快五倍。虽然GPU可以提供与FPGA类似性能，但其功耗更高、解决方案占用空间更大。

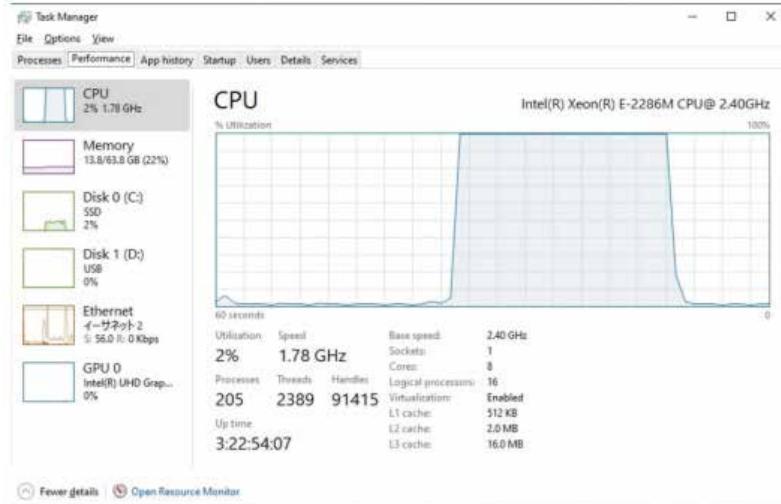


图5：仅使用CPU（无FPGA卸载）的处理方案性能

FPGA解决方案的好处不仅仅在于加速，而且还能降低CPU的繁忙程度。在只有CPU的解决方案中，所有CPU周期都被4K或8K内容的编码所消耗，而使用FPGA来卸载编码任务可以释放CPU周期。因此，FPGA加速器为该应用提供了最佳的解决方案，通过减少4K和8K视频制作所需的处理时间，来提高视频编辑人员的创作效率。

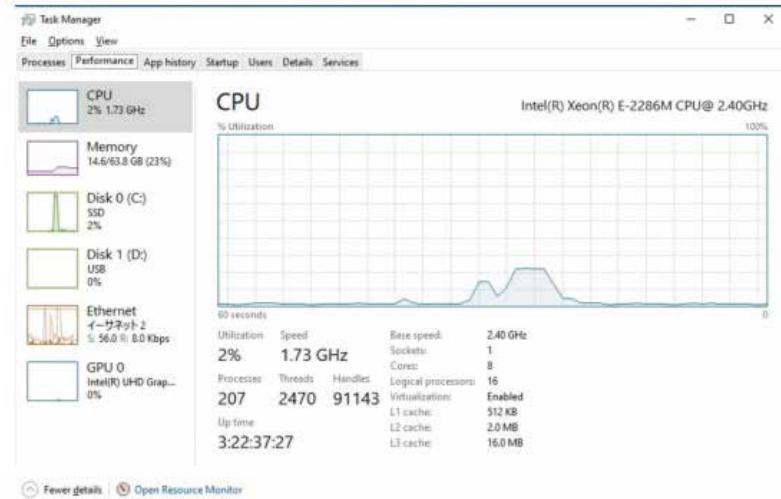


图6：使用FPGA卸载的CPU利用率

人工智能与深度学习

如前所述，在处理H.264/H.265解码方面，FPGA提供了与CPU相当或更高的性能。如果解码器和内帧编码器（例如JPEG或PNG）都位于同一FPGA中，那么基于FPGA的解决方案将提供比CPU更佳的性能。此外，在深度学习应用中，在将图像数据发送到深度学习处理之前，通常会进行一些图像预处理。

在同一个FPGA上可以执行所有的处理，包括解码、图像处理和编码等（如图7所示），并且与CPU相比，FPGA可以提供高吞吐量、低延迟和更少的数据事务。深度学习技术在现在和未来都将被广泛应用于各个行业或领域，而基于FPGA的解决方案将助力这一发展。

针对性能而优化的Speedster7t架构

Speedster7t FPGA是专为满足最高性能的数据加速应用而设计的，该架构非常适合解决本白皮书中提到的所有应用挑战。具体而言，Achronix开发了一种全新的创新型二维片上网络，它力助在I/O带宽、外部存储带宽和片上性能之间提供一种平衡架构，以确保总体最高的吞吐量。在传统的FPGA架构中，用户需要设计电路来连接加速器，从而导致并不理想的布局和布线。现在更新的FPGA架构使用一种网络，在逻辑阵列内的处理单元与各种片上高速接口和存储器端口之间传输数据流（如图8所示）。

硬连线架构极大地改善了处理的延迟和能效，但是缺乏应对需求变化的灵活性。Speedster7t系列FPGA器件中的第一款芯片AC7t1500提供了一系列高速接口，包括可分配的（fracturable）以太网控制器（支持高达400G的速率）、PCI Gen 5端口和多达32个SerDes通道，速率高达112 Gbps。AC7t1500器件是首款部署多通道GDDR6存储器接口的FPGA，它满足了需要高速缓存海量数据的编码器的需求。除了在可编程逻辑阵列中采用的面向位的布线结构外，这些外围设备还通过一个智能二维片上网络进行互连。因此，Speedster7t FPGA是第一款能够实现上述视频处理用例的器件，该FPGA器件利用一种平衡架构，在计算密度和数据传输能力方面带来重大改进。

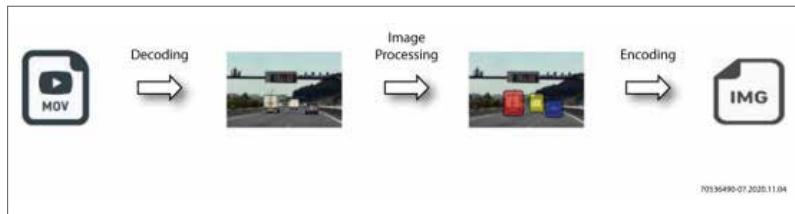


图 7：使用深度学习进行视频和图像处理的典型数据流

Decoding:解码 Image Processing:图像处理 Encoding:编码

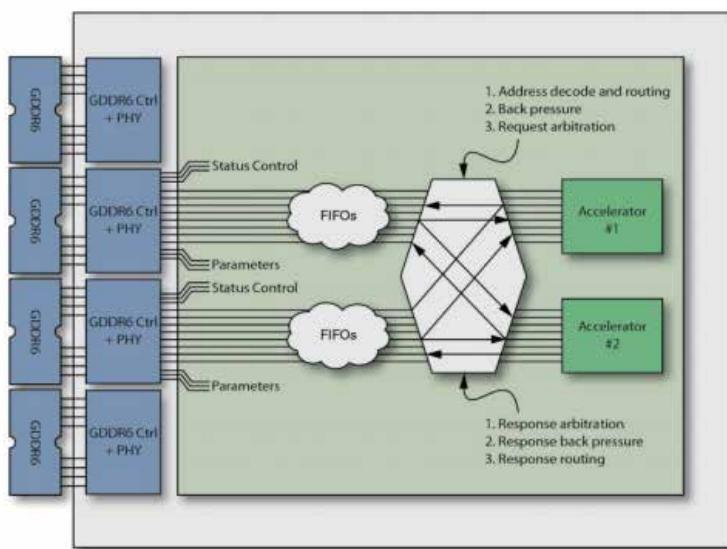


图 8：在传统的 FPGA 架构中连接加速器

Status Control:状态控制

Parameters:参数

Back pressure:背压

Address decode and routing:地址解码和布线

Request arbitration:请求仲裁

Response arbitration:响应仲裁

Response routing:响应布线

Response back pressure:响应背压

Accelerator:加速器

Speedster7t 架构通过提供总带宽超过 20Tbps 的多级片上网络 (NoC) 层级化结构，消除了由于需要将高速 I/O 通道直接连接到以较低时钟速率运行的可编程逻辑所造成的瓶颈。与采用 FPGA 逻辑阵列实现互连方式相比，NoC 不仅在速率上有了大幅的提升，而且 NoC 还能在不消耗任何 FPGA 可编程资源的情况下传输大量数据。内部 NoC 不仅提供了更高的带宽，而且 Speedster7t FPGA 中的智能连接机制也简化了将数据从 NoC 端口传输到逻辑阵列中的任务。

这种架构可支持进一步的设计创新，例如支持上述机器学习用例的面向矩阵的算术单元。通过使用诸如深度学习或较为简单的统计方法等技术，设备可以分析数据流的模式，以观察和增强数据包在网络中的传输，并对不断变化的情况做出快速反应。概括而言，以下三项 Speedster7t 的架构创新为上述用例提供了更好的 FPGA 设计：

高速存储接口

Speedster7t 架构师对存储接口的选择反映出了以太网和 NoC 连接可提供的巨大带宽。一种可能的方法是在一系列产品设计中采用即将推出的 HBM2 接口。尽管这样的接口可以提供所需的性能等级，但 HBM2 是一种价格昂贵的选择，这将迫使客户去等待必要的组件和集成技术进入市场。

与此不同，Speedster7t 系列则采用了 GDDR6 标准，该标准为当今片外存储器提供了最高的性能。Speedster7t FPGA 是市场上首款支持该接口的器件，每个片上 GDDR6 存储控制器可维持 512Gbps 的带宽。在单个 AC7t1500 器件中最多可带有八个 GDDR6 控制器，因此一个 Speedster7t FPGA 器件可提供高达 4Tbps 的总存储带宽。

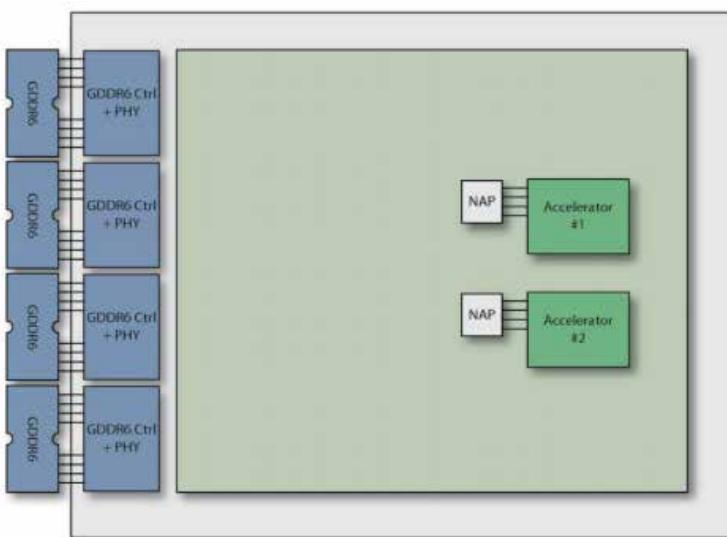


图 9：先进的 FPGA 减少了所需的电路数量

对 PCIe Gen 5 的支持

除了以太网和存储控制器，Speedster7t FPGA 上提供的对 PCIe Gen 5 的支持还能够与主机处理器紧密集成，以支持高性能加速器应用。PCIe Gen 5 控制器使其能够读取和写入存储在 FPGA 存储层级结构中的数据，包括许多位于逻辑阵列内的块 RAM，以及连接到 FPGA 存储控制器的外部 GDDR6 和 DDR4 SRAM。在 FPGA 逻辑阵列中实例化的数据传输控制器（例如 DMA 引擎），可以类似地通过 PCIe Gen 5 总线访问与主机处理器共享的内存。无需消耗 FPGA 逻辑阵列内的任何资源即可实现这种高带宽连接，并且设计时间几乎为零。用户只需启用 PCIe 和 GDDR6 接口，即可通过 NoC 发送事务数据。

PCIe 子系统与任何 GDDR6 或 DDR4 存储接口之间的直接连接如图 10 所示。

机器学习处理器 (MLP)

对于计算密集型任务，在 Speedster7t FPGA 上部署的 Speedster7t 机器学习处理器 (MLP) 是灵活的且可分配的算术单元。机器学习处理器是高密度乘法器阵列，带有支持多种数字格式的浮点和整数 MAC 模块。机器学习处理器带有集成的存储模块，可以在不使用任何 FPGA 资源的情况下执行操作数和存储级联功能。机器学习处理器适用于一系列矩阵数学运算，从 5G 无线电控制器的波束成形计算到加速深度学习应用，如视频处理系统所需的数据流模式和数据包内容分析。

结论

虽然 ASIC 的性能通常很高，但它只支持设计时设想的功能集，不能进行现场升级；CPU 是最灵活且最容易设计的，但是其时钟频率已经难以提升，其性能大幅提升的

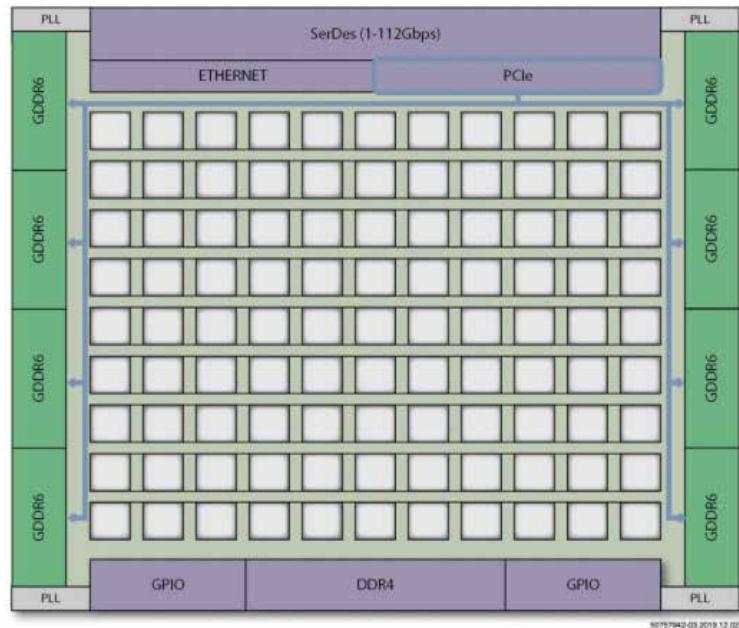


图 10：无需消耗 FPGA 逻辑阵列即可实现 PCIe 和 GDDR6 之间的数据传输

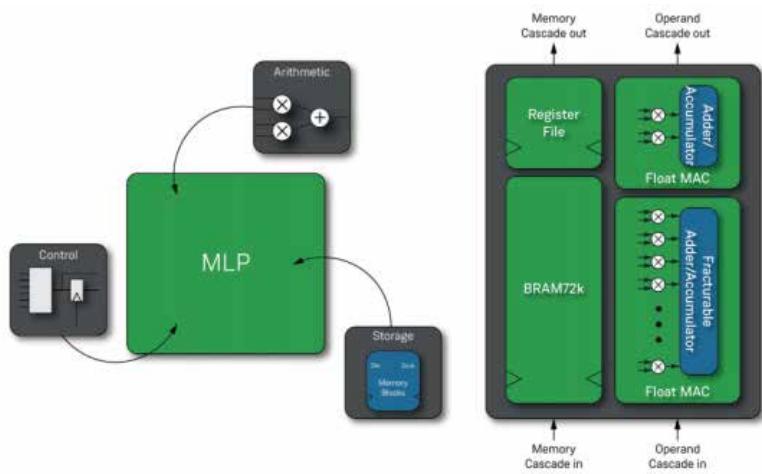


图 11：机器学习处理器原理框图

时代已经结束；随着工作负载逐年增加，CPU 已无法满足需求。FPGA 在性能和灵活性之间提供了良好的平衡。由于需要大量的并行处理，因此视频编码、解码和图像处理算法都更适合于用 FPGA 来实现。总之，基于 FPGA 的解决方案可以缩短上市时间，具有高度的可定制性，并且可以有效地用于实现不断发展的算法。

CAST

IP Cores and Subsystems
for SoCs in ASICs & FPGAs

Compression



GZIP / GUNZIP IP
H.264 · HEVC
JPEG · JPEG-LS

Processor



32b BA2x
8b/16b 8051s

Automotive



IP
TSN · LIN
CAN · SENT

Subsystem



IP
AHB & AXI Fabric
Interfaces · Peripherals

Networking



IP
UDP · TCP · RTP
Ethernet MAC · HSDLC

Security



IP
Primitives
HSM · Secure Boot

Learn more at: www.cast-inc.com



基于Innovus的复杂时钟结构分析及实现

曾晋伟 | 深圳市中兴微电子技术有限公司

摘要

在先进工艺节点下，随着设计规模越来越大，时钟频率越来越高以及时钟结构越来越复杂，愈发的发现最终整个设计收敛对于时钟质量的依赖越来越明显。针对类似多输入动态 mux 复杂时钟，IP 模块多内部输出时钟等复杂的时钟结构，采用分析时钟框图及基于 Innovus 工具从网表中提取时钟结构的分析方式进行时钟结构上的详细梳理，提出针对时钟结构分析及 clock spec 的优化方法。同时在一个超大规模的 16nm top design 上基于优化后的 clock spec 进行 CTS，并结合 multi-tap 的 clock tree 做法，从得到的结果可以发现在 run time, clock latency 等方面都有较大的提升，能够满足项目要求的时钟长度等要求，有效避免 block 接口的时序冲突。

关键词：Innovus；物理实现；时钟树；Multi-tap CTS

中图分类号：TN402

文献标识码：A

0 引言

随着集成电路工艺进入先进节点（Advanced Node），以及应用场景的不断增加，带来芯片设计规模越来越大以及时钟结构更加复杂，针对时钟结构的分析与时钟的实现也更加困难。就时钟树综合（Clock Tree Synthesis, CTS）而言，时钟结构复杂程度的增加，可能会带来公共路径（Common Path）的长度减少，片上误差（On Chip Variation, OCV）的影响增加，CTS 迭代时间（turn-around time）增加，以及时钟上功耗增加等问题。因此，在物理实现中，CTS 变得越来越重要。

在本文中，借助于 Cadence 公司的自动化布局布线工具 Innovus，首先探讨了针对复杂时钟结构的时钟如何进行分析，其次基于分析结果提出时钟实现上可能出现的问题以及解决方案，再次，基于调整进行 CTS 实现，并与传统 CTS 方案的结果进行对比，最后对本文进行总结并对结论进行进一步分析。

1 复杂时钟结构概述

1.1 定义

本文中，复杂时钟结构主要指符合如下条件的时钟：

- 1) 同一个 sink 点存在很多个时钟源头；
- 2) 芯片规模很大，时钟实现可用区域有限，时钟长度（clock latency）要求很高；

3) 时钟上逻辑关系复杂，比如时钟树上的逻辑单元和锁相环（PLL）之间对拥塞（congestion）及时序（timing）非常敏感，分频结构较为复杂，同一时钟下的不同 sink 点可能存在于不同的 skew 中，且不一定有时序交互（timing talk）。

1.2 复杂时钟结构CTS实现的挑战

一般情况下，针对复杂时钟结构时钟树，CTS 实现上主要存在如下挑战：

1) 目标 clock latency 要求较短，common path 由于时钟结构本身的关系可能天然导致长度较短，OCV 影响较大，各模块接口时序收敛难度较大；

2) 时钟偏斜（skew）要求较高，特别是针对例如时钟频率超过 1 GHz 的高频时钟，skew 很可能超过时钟周期的 10%；

3) 静态功耗以及动态功耗要求较高，信号电迁移（Signal EM）不能出现有违例（violation）的点。

1.3 传统CTS流程

传统的 CTS 流程，一般来说都是首先读入 CTS 前的数据（database, DB），然后设置 NDR（Non-Default Rule），CTS 用到的 cell, CTS target 等信息，创建时钟定义文件（CTS

spec)，然后利用工具进行时钟树综合。具体的流程图如下：

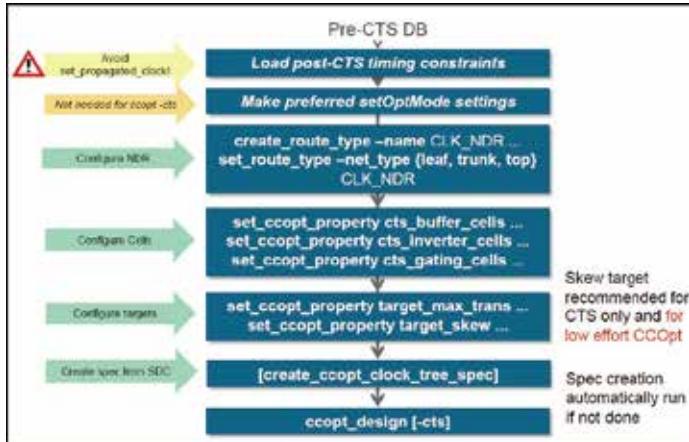
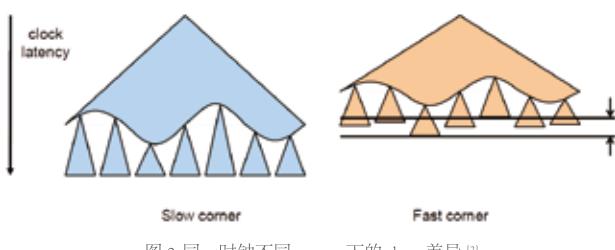


图 1 传统 CTS 流程图 [1]

1.3.1 采用传统 CTS 流程存在的问题

传统 CTS 流程自动化程度很高，但是同样也存在一些问题，具体主要有以下几点：

- 1) 在进行时钟树平衡 (Balance) 的时候，通常只会考虑一个单独的慢工艺角 (slow corner)，并且会在整个时钟树的所有位置利用单元插入 (cell insertion)，单元大小变化 (cell sizing)，以及走线长度的调整 (wire length adjustment) 等方式来达到预定的时钟树综合目标；
- 2) 针对快工艺角 (fast corner)，电阻电容寄生参数 (RC Parasitic Parameters) 的变化会导致在 slow corner 下 balance 的时钟树在 fast corner 下变得不 balance，skew 可能会增加；
- 3) 高频路径可能会有建立时间 (setup time) 和保持时间 (hold time) 之间的冲突，对时序收敛造成风险。



1.3.2 采用传统 CTS 流程实现复杂时钟结构存在的问题

复杂时钟结构如果采用传统的 CTS 流程，主要会面临如下问题：

- 1) 由于时钟结构复杂，自动生成 CTS spec 文件的时间可能会非常长，通常可能超过 10 小时，对于迭代来说这个时间是非常不利的；
- 2) 自动生成的 CTS spec 文件中，针对不同 skew group 下的冲突 sink，一般不会针对性做特殊处理，最终可能导致时钟长度很长；

3) 如果设计中存在时钟需要走在窄沟道 (narrow channel) 或者不友好的路径 (un-friendly path) 的情况，可能导致某些 CTS cell 放置位置不合理导致 CTS 结果不理想的情况。

2 复杂时钟结构实现方法学

本部分基于一个实际的例子，来描述如何利用 Innovus 工具来实现复杂时钟结构的 CTS。

2.1 设计介绍

本部分采用了一个基于 TSMC 16nm 工艺的一个芯片顶层来进行说明。整个芯片的大小大约为 22mm*16mm，共有超过 60 个模块，最高金属层为 M11，其中 M9 及以下层次可以用于信号走线，最高频率超过 1GHz，各模块接口时序为同步，仅顶层有超过 26 万个寄存器，其中打拍寄存器超过一半，Signoff 方式为 AOCV (Advanced-OCV)。



Floorplan 大致如下图，其中灰色部分为 top only 逻辑：

2.2 基于 Innovus 的时钟结构分析

本部分中，我们基于 Cadence 公司的 Innovus 工具，对时钟结构进行分析，主要的分析方式主要有 Schematic Viewer 和 Ccopt clock tree debugger 两种。

2.2.1 时钟结构分析

如图 4，我们以图中 Clock A 为例，可以看到，分频器后定义了 generated clock，且 top 和 block 之间接口时序检查的时钟即为 Clock A，在 ICG1 后的寄存器和分频器 (DIV2) 后的寄存器之间无时序检查。

具体的时钟结构中，mux 为 8 输入动态 mux，总共输入 8 个频点，所有到模块的时钟为原始频率，且在 block 内部进行分频，然后

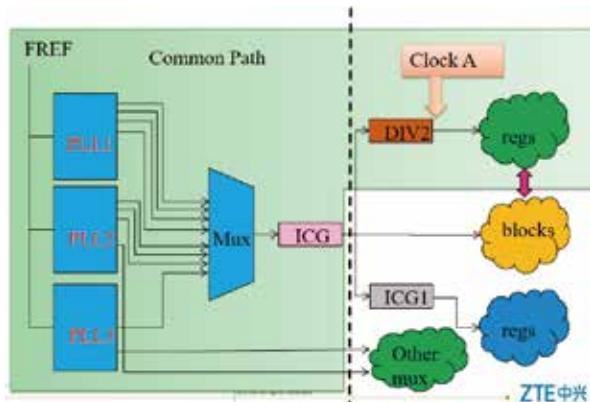


图 4 时钟结构框图

用于接口, 分频时钟在 top only 也用于部分异步桥逻辑。

物理位置上, PLL1 和 PLL2 距离很近, 但和 PLL3 距离较远, 且 PLL2 和 PLL3 还会输出其余频点给别的逻辑进行使用。

利用 Innovus 工具, 我们也可以得到 8 输入动态 mux 的具体结构由 100 多个与非, 或非以及时钟门控等单元组成, 且根据要求, 所有的这些时钟逻辑单元需要在实现的时候设置成 dont_touch。

2.2.1 复杂时钟结构实现

针对复杂时钟结构, 通常我们会采用分析时钟结构后, 提取出关键信息, 利用增加 region, 预摆放时钟 cell, 以及调整 cts spec, 采用 multi-source 方式进行时钟实现等方式来实现。

2.2.1.1 Region 调整

如图 5 上图为增加 region 前, 可以看到动态 mux 的时钟逻辑 cell 被工具放置在距离 PLL 较远的位置, 通过设置 region, 可以得到如图 5 下图的效果, 将时钟逻辑 cell 放置到 PLL 边上, 保证时钟在绕线的时候不 detour。

2.2.1.2 spec 调整

基于时钟结构的具体分析, 我们对 Clock A 后的寄存器分为两类, 一类为没有二级 ICG 单元的控制, 一类为有二级 ICG 单元控制的, 且这类还可以再根据 ICG 的不同细化为两类 (ICG1, ICG2)。

以上三类寄存器之间没有相互的 timing talk。

在 spec 中, 我们将整条时钟利用 ICG 作为分隔点的不同拆分成三个:

```
create_ccopt_clock_tree -name icg_**** -source
****ICG/Q -no_skew_group
```

```
create_ccopt_clock_tree -name icg1_**** -source
****ICG/Q -no_skew_group
```

```
create_ccopt_clock_tree -name icg2_**** -source
****ICG/Q -no_skew_group
```

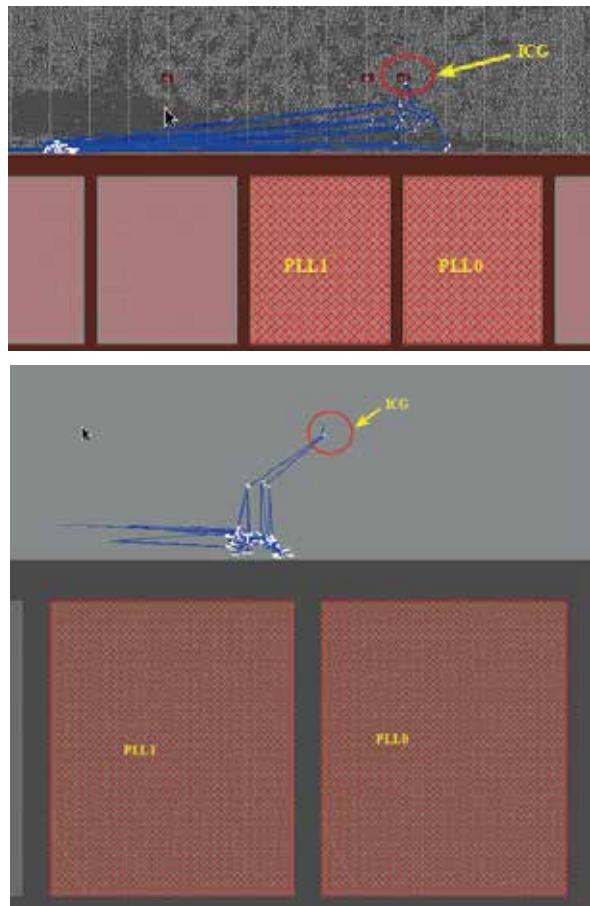


图 5 增加 region 前后时钟 cell 位置

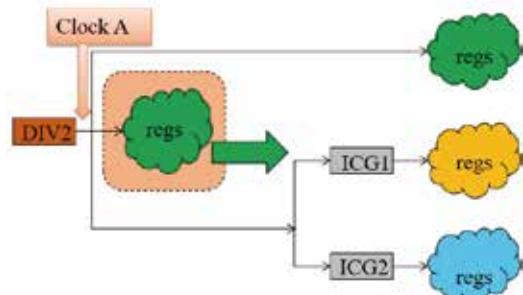


图 6 时钟结构细化

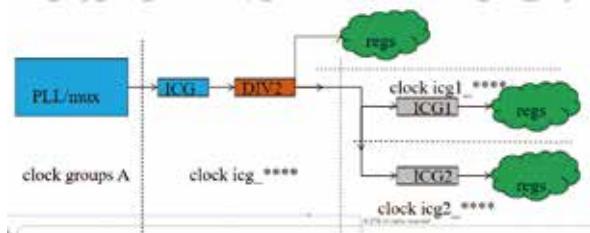


图 7 时钟拆分

从而, 整条 clock tree 最终会被拆分成 4 部分, 如图 7 所示。

2.2.1.3 multi-source clock tree 实现

在本部分，我们介绍如何利用 Innovus 工具进行 multi-source clock tree 实现。

Multi-source clock tree 为一种基于传统 CTS 方法的基础上，提出的更加高级的 clock 实现方法，可以有效降低时钟长度，从而达到 OCV 影响的减少，具体的示意图及流程图如图 8。

针对图 8 步骤的 H-tree 部分，为了更好的降低 clock latency，我们预先用 24 倍的反相器（Inverter）以及高层金属（M10, M11）提前进行预先绕线。但是为了降低天线规则，压降（IR-drop），EM 等方面的影响，采用大驱动 inverter 需要做如下处理：

- 1) 所有的 24 倍 Inverter 周围预留 15um 左右的位置用于填 DCAP cell，降低因为驱动较大可能造成的 IR drop；
- 2) 所有的 24 倍 Inverter 针对性的加密电源网络，避免出现电源上的 EM 问题；
- 3) 针对可能出现的天线效应，提前放置二极管 cell 等进行规避；
- 4) Signal EM 方面，采用 NDR 规则走线，增加打孔，以达到规避。

在用 multi-source CTS 流程中，在执行完 assign_clock_tree_source_groups 后，我们可以从 log 中看到每一个 tap

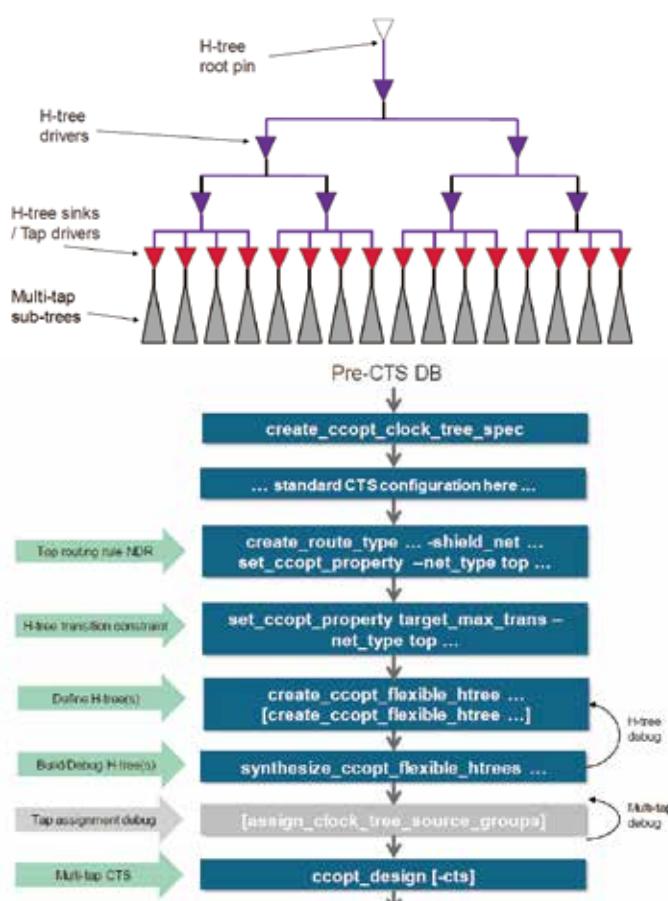


图 8 Multi-source CTS 示意图及流程图 [1]

点对应的 cell 分布，通常情况下都是很均匀的分布，且 sink 点距离 tap 点的位置符合预期，如果出现异常点，则需要具体分析该 tap 点后的 sink 异常的原因。

2.3 结果对比

	普通 cts	Multi-source CTS	变化
latency(ns)	2.946	1.839	37.58%
runtime(h)	22	20	9.09%
clock inverter	42064	39311	6.54%
clock tree level	208	68	67.31%

结论

针对复杂结构的时钟树，利用工具来进行时钟结构的识别及分析，可以在 CTS 甚至 pre-CTS 等阶段有效提高效率。

针对时钟结构中的同一时钟下的没有时序检查的寄存器，设置 skew group 来调整 balance 策略，可以有利于时钟树做短。

采用大驱动的时钟反相器并通过 multi-source 的方式长 clock tree，同样也是一种有效减少时钟长度的方式，并且针对受 OCV 影响较大的设计，这种方式也可以有效减少迭代时间，加速时序收敛。

参考文献

[1]. Cadence Innovus User Guide [EB/OL]. [2020-5-21] <https://www.cadence.com>

[2]. Flexible H-tree and Multi-Tap Clock Flow in Innovus [EB/OL]. [2020-5-21] <https://www.cadence.com>

作者简介

曾晋伟 (1991-)，男，工程师，主要研究方向：数字集成电路物理实现。

SerDes 如何成为半导体的关键IP系统？

Eric Esteve (PhD.) Analyst, Owner IPnest

我们已经看到，接口类 IP 在过去 20 年里以惊人的速度增长，而且我们预计这一类别至少在未来十年内会产生持续的高额 IP 收入来源。但是，如果我们深入研究各种成功的协议，如 PCI Express、以太网或 USB，我们可以在物理 (PHY) 部分发现一个共同点，即串行器 / 解串器 (SerDes) 功能。

1998 年，电信应用中使用的高级互连基于 622 MHz LVDS I/O 芯片制造商正在制造集成 256 个 LVDS I/O 的超大芯片，运行频率为 622MHz，以支持网络架构。今天，先进的 PAM4 SerDes 的运行速度为 112 Gbps，通过单个连接即可支持 100G 以太网。二十年来，SerDes 的技术效率跃升了 180 倍！如果我们快速比较一下 CPU 技术，1998 年，英特尔发布了奔腾 II Dixon 处理器，其频率是 300 MHz。在 2018 年，英特尔酷睿 i3 以 4 GHz 运行，CPU 频率增长了 15 倍，在长达 20 年的时间里，SerDes 的速度猛增了 180 倍。

SerDes 现在被用于比电信更多的应用中，用于连接芯片和系统。在 2000 年代末，智能手机集成了 USB3、SATA 和 HDMI 接口，而电信和 PC/ 服务器集成了 PCIe 和以太网。这些趋势导致接口 IP 市场成为一个相当大的 IP 类别，当时增长超过 2 亿美元。与 CPU 类别相比，CPU 类别是它的四到五倍。但是，自 2010 年以来，接口类的增长率每年至少达到 15%。与所有其他半导体 IP 类别（如

CPU、GPU、DSP、Library 等）相比，它是增长最快的类别。其中的原因与每年连接的设备数量增长直接相关，彼此交换更多的数据（更多的电影、图片等）。连接是通信链的起点，连接到 internet 调制解调器或基站、以太网交换机和数据中心网络。

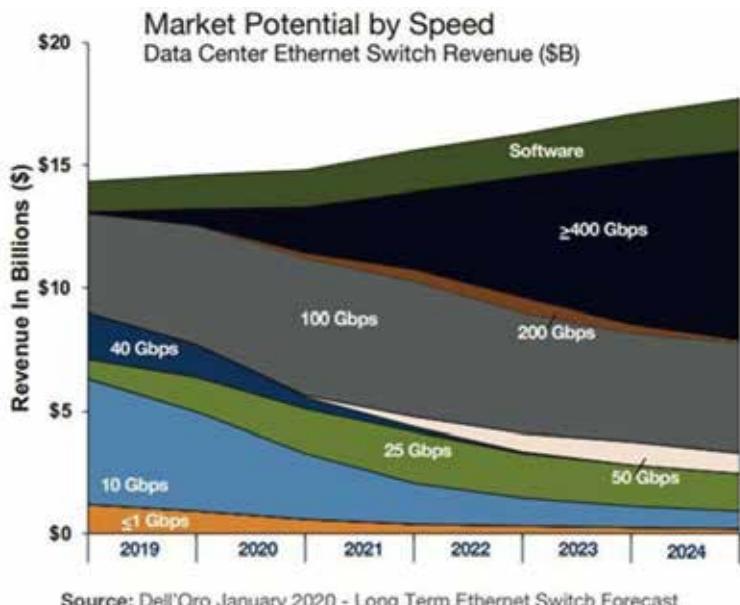


图 1：以太网交换机长期预测（来源：Dell'Oro）

在 2010 年到 2020 年的十年里，世界范围内的所有群体几乎完全联系在一起。随着连接速率和数据中心数量在过去十年中迅速增加，以太网成为这种连接的主干。如果我们使用 SerDes 速率作为指标，它在 2010 年为 10 Gbps，2013 年为 28 Gbps，2016 年为 56 Gbps（分别支持 10G、25G 和 50G 以太网），2019 年为 112 Gbps。

然后，在 2017 年，新兴数据密集型计算应用（如机器学习和神经网络）对高速连接需求的急剧上升，增加了对高带宽连接的日益增长的需求。同时，由于 CMOS 技术向先进的 FinFET 发展，模拟混合信号体系

结构（从一开始就是 SerDes 设计的标准）变得极其难以管理，并且对工艺、电压和温度变化更加敏感。

在现代纳米 FinFET 技术中，考虑到晶体管的微小尺寸，构建晶体管需要堆叠单个电子。因此，建造精确的模拟电路来承受压力环境的变化是极其困难的。

但像 7nm 这样的先进技术的优点是，你可以以平方毫米（每平方毫米 1 亿个晶体管的密度）集成数量惊人的晶体管，因此，现在有可能利用数字信号处理 (DSP) 开发新的基于数字的架构来完成绝大部分的物理层工作。与以前的历史模拟混合信号方法所使用的不归零 (NRZ 或 PAM2) 相比，基于 DSP 的体系结构可以使更高级的脉冲幅度调制 (PAM) 调制方案。

PAM 4 使信道的数据吞吐量在不增加信道本身的带宽前提下翻倍。例如，具有 28ghz 带宽的信道可以使用 NRZ 信号支持 56gbps 的最大数据吞吐量。随着 PAM-4dsp 技术的使用，同样的 28ghz 带宽信道现在可以支持 112gbps 的数据速率！当您考虑到模拟 SerDes 体系结构由于物理原因（可能更少……）被限制在 56 Gbps 的最大速率时，DSP SerDes 是一种通过使用更复杂的调制方案（例如 PAM-6 或 PAM-8）将速率扩展到 200 Gbps 及以上的方法。

在 FinFET 技术中，使用基于 DSP 的 SerDes 不仅是构建耐用的接口所必需的，而且也是在 56gbps 以上将数据速率加倍的唯一方法，例如，PAM-4 为 112gbps，PAM-8 为 200gbps。而这种对更多带宽的需求与新兴的数据密集型应用程序如 AI（连接 CPU 和加速器）、ADAS 和以数据为中心的互联人类社区趋势相关，预计在未来十年内将稳步增长。

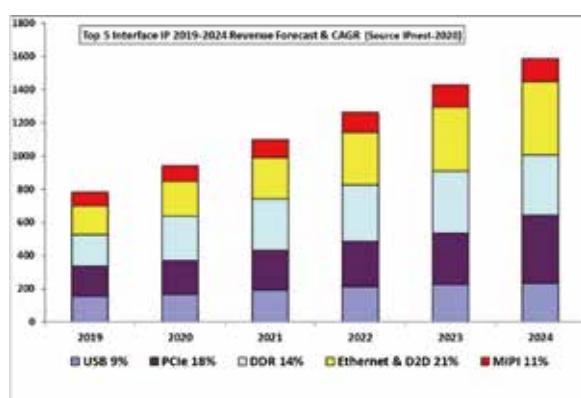


图 2:IP 预测和复合年增长率前 5 名 (来源: IPnest 2020)

在“接口 IP 调查”中，IPnest 按协议对 2009 年以来 IP 供应商收入的市场份额进行了排名。在 2020 年版的报告中，我们已经表明，从 2020 年到 2024 年，接口 IP 类别的复合年增长率将达到 15%，达到 15.7 亿美元，如图 2 所示。这是一个广泛的 IP 市场，包括

PCIe、以太网和 SerDes 以及 USB、MIPI、HDMI、SATA 和内存控制器 IP。2019 年，Synopsys 在估计 8.7 亿美元的 IP 市场中占据 53% 的市场份额，其主导地位毋庸置疑。其次是 Cadence，占 12%。

两家 EDA 公司都定义了一站式的商业模式，面向主流市场。这一战略对这些大公司来说是成功的，因为它针对的是各种细分市场（智能手机、消费者、汽车或数据中心）的广泛部分，而不是这些细分市场中要求最高的高端部分。

然而，另一个策略对于 IP 市场是成功的，那就是将重点放在一个细分市场（如高端市场），并为要求非常高的客户提供最佳体验。如果你能建立一个优秀的工程团队，能够用最先进的技术开发出高质量的产品，专注于高端市场，那么由此产生的商业模式将是值得的。

我们已经看到 SerDes IP 是接口 IP 市场的关键。此外，如果我们专注于 PCIe 和以太网协议，图 3 说明了 2020-2025 年的 IP 收入预测，仅限于高端 PCIe (第 5 代和第 6 代) 和高端以太网 (基于 56G、112G 和 224G SerDes 的 PHY)，其中包括 D2D 协议，原因将在稍后介绍

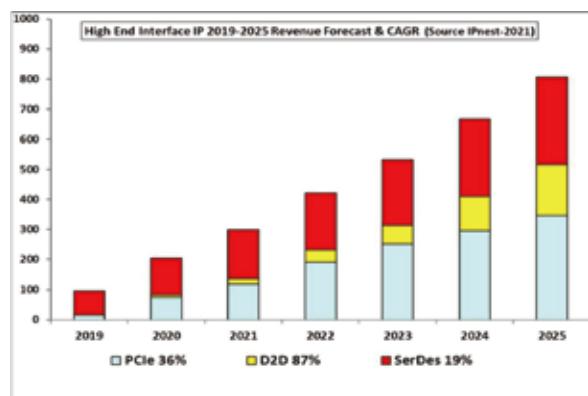


图 3: 高端接口 IP 预测和复合年增长率 (来源: IPnest 2021)

这一高端接口 IP 预测显示，在 2020-2025 年其复合年增长率为 28%（相比之下，接口 IP 市场的总复合年增长率为 15%），到 2025 年，TAM 将达到 8.06 亿美元

一家年轻的公司在高端接口 IP 领域表现出了强大的领导能力，这得益于他们专注于高端 SerDes（2017 年起为 112G，很快将为 200G），由两家领先的铸造厂 TSMC 和三星提供的最先进技术节点（2017 年为 7nm，2019 年为 5nm）。

Alphawave 成立于 2017 年，据传其在 2020 年的订单为 7500 万美元，这得益于其定位是针对最先进的速率和高端 PCIe 以及以太网细分市场的应用。在这部分市场中，它们在 2019 年和 2020 年的市场份额分别为

28% 和 36%。如果 Alphawave 能够在高端 SerDes 市场保持领先地位，那么预计到 2024–2025 年，IP 收入将达到 3–4 亿美元并非不现实！

自 2019 年以来，出现了一个新的细分市场，即 D2D 接口，预计 2020–2024 年复合年增长率将达到 46%。根据定义，D2D 协议在一个普通的硅封装中用于两个芯片或芯片之间。简单地说，我们考虑了两种 D2D 情况：i) 主 SoC 的不集成，以避免 SoC 面积严重影响产量或变得大于最大掩模尺寸，或 ii) SoC 与“服务”芯片（可以是 I/O 芯片、FPGA、加速器……）互连。

在这一点上（2021 年 2 月），正在使用多种协议，业界试图为其中的许多协议建立正式的标准。当前领先的 D2D 标准包括：i) 英特尔最初定义的高级接口总线（AIB, AIB2），提供了免版税使用；ii) 高带宽内存（HBM）高级 SerDes IP 成为现代半导体的关键 ©2021 IPnest 6，其中 DRAM 裸片彼此堆叠在硅中介层的顶部，并使用 TSV 连接；iii) 领域特定体系结构（ODSA）子组是一个行业组织，它还定义了另外两个接口，电线束（BoW）和 OpenHBI。

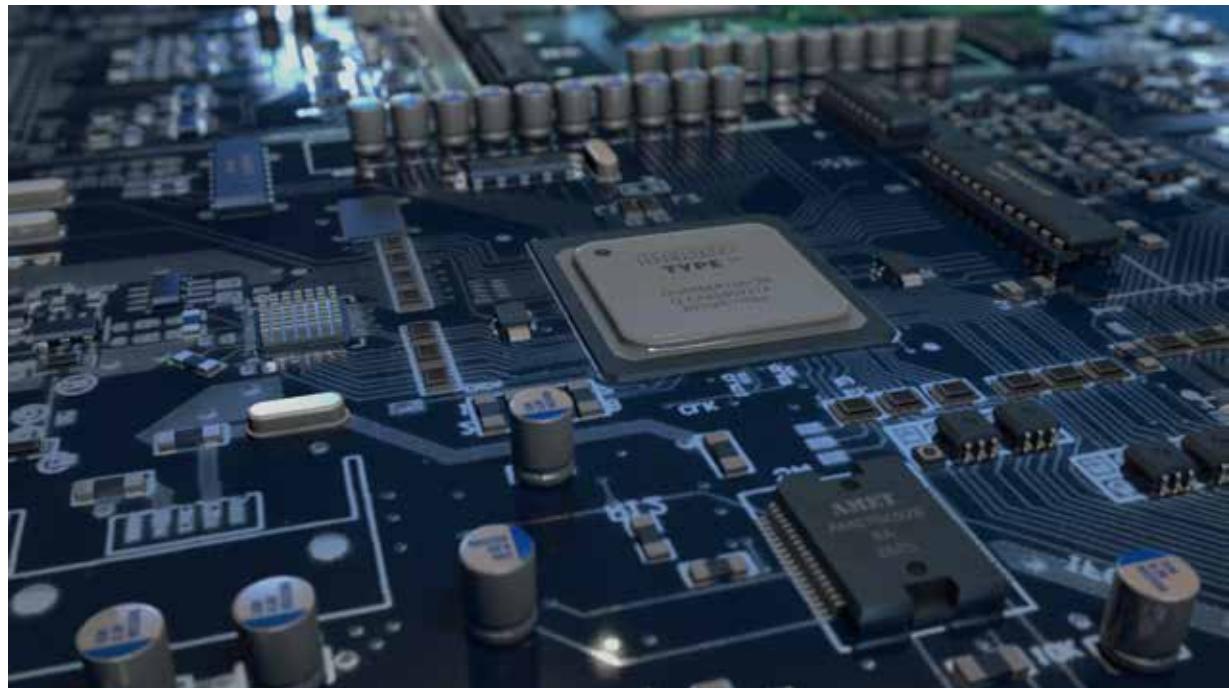
所有这些 D2D 标准都基于类似 DDR 的协议，这是一组平行的单端数据线，与当前在 2GHz 到 4GHz 范围内工作的转发时钟相配合。通过在非常短的距离上使用数百条并行线，这些接口与 VHS SerDes NRZ 竞争，通常定义在 40 Gbps 左右，与 SerDes 相比，提供了更低的延迟和更低的功耗的强大优势。

目前业界普遍认为，疯狂地关注摩尔定律的做法对先进技术节点（如 7nm 及以下）不再有效。芯片集成仍在进行，每平方毫米都会增加更多晶体管。然而，每一个新节点的每一晶体管成本都在不断增加。芯片组技术是一项关键举措，它在使用旧的主流节点来服务芯片组的同时，推动主 SoC 的集成度的提高。这种混合策略降低了直接将服务 IP 集成到主 SoC 中所带来的成本和设计风险。IPnest 认为，这一趋势将对接口 IP 业务产生两大影响，一是 D2D IP 收入（2021–2025）会呈现强劲增长，另一个是创建异质芯片市场，以扩大高端 SerDes IP 市场。

我们对 2020–2025 年 D2D 接口 IP 类别的增长进行了预测，从 2020 年的不足 1000 万美元增长到 2025 年的 1.71 亿美元（复合年增长率 87%）。这一

预测是基于这样一个假设：2023 年服务芯片市场将会爆发式增长，届时大多数高级 SoC 将在 3nm 内设计。这将使得像 SerDes 这样的高端 IP 的集成风险太大，导致将这一功能外化到 7 或 5nm 等更成熟节点设计的芯片中。

如果接口 IP 厂商将成为这场革命的主要参与者，那么解决最先进节点（TSMC 和 Samsung 等）和制造主要 SoC 的硅铸造厂将发挥关键作用。我们不认为他们会设计芯片，但他们可以决定支持 IP 供应商，并推动他们设计出用于 3nm SoC 的芯片组，就像他们今天支持先进的 IP 供应商将他们的高端 SerDes 作为 7nm 和 5nm 硬 IP 推向市场时所做的那样。英特尔最近向第三方代工厂的转型有望同时利用第三方 IP，以及半导体重量级企业采用的异质芯片。在这种情况下，毫无疑问，像微软、亚马逊和谷歌这样的超重量公司也将采用芯片体系结构……如果他们在芯片采用方面甚至没有先于英特尔的话。





Seamless Microsystems

Digitizing Your World Seamlessly

Best ADCs and DACs



RADAR
LiDAR



Wireless



Imaging

www.seamlessmicro.com

info@seamlessmicro.com

了解SoC漏洞和模拟威胁的演变趋势 SoC攻击需要模拟和数字防御

Agile Anlog

安全问题

漏洞情况

许多 SoC 集成商都非常清楚，仅由软件执行的安全是非常容易受到攻击的。黑客所要做的就是找到一种方法来替换引导程序或低级固件的关键部分，以破坏系统中用于支持安全访问的其他软件。

我们看到的最简单的攻击是那些通过网络远程进行的攻击，有许多零日漏洞攻击的例子是由于开放的根访问账户没有安全保障。当发现这些问题时，可以通过软件升级远程修补。然而，有越来越多的案例被犯罪分子发现，这些案例涉及到物理访问，而且其影响无法通过软件升级得到缓解。

在现实的攻击中，一个极端的例子是过去三年在欧盟和美国发生的一系列针对自动取款机（ATM）的“jackpotting”攻击。在这些攻击中，盗贼利用物理访问，用他们自己版本的操作系统和应用程序替换包含核心 ATM 软件的合法硬盘，或者引入间谍软件设备以插入不受保护的 USB 端口。还有人潜入银行的核心网络，在目标机器上植入恶意软件。

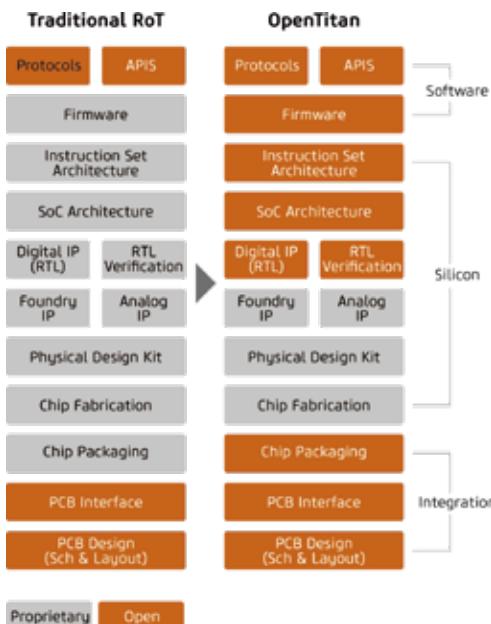


Figure 1: OpenTitan introduces a security focused hardware module into the core machine.

通过在核心机器设计中引入一个注重安全的硬件模块，例如 OpenTitan 项目，制造商可以防止许多远程和本地攻击。硬件模块提供了一个信任根，一个系统应该始终能够依赖的模块（见图 2）。这个模块支持安全或测量启动等功能，确保只有针对已知签名或安全证书的加密固件才允许运行。在没有代码签名过程中进行的任何修改都将无法通过信任根应用的哈希测试，并将被启动程序终止。

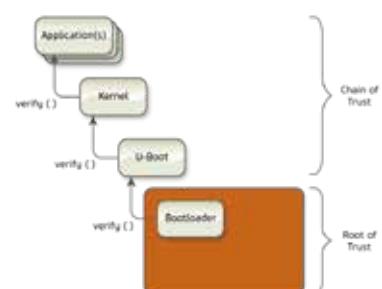


Figure 2: the root-of-trust model.

一个受保护的加密控制器被用来实现信任根。这可以作为一个安全的飞地，用于执行任何需要保护的敏感操作，以防止入侵或间谍活动。但是，如果实施时不考虑攻击者可以用来破坏其保护的技术，即使是信任根和类似的安全飞地也容易受到攻击，这些攻击往往利用了加密协议提供的理论安全与实现这些协议的硬件和软件功能的行为之间的差距。

旁道攻击

通常情况下，算法的实现方式不仅为黑客提供了重要的操作线索，还为他们处理的敏感数据（如私钥）提供了重要线索。一个系统的用户能在多大程度上获得这些信息并将其用于攻击，不仅取决于所采用的保护措施，还取决于攻击者对目标系统的访问程度，以及安全飞地与不太敏感的电路隔离的程度。

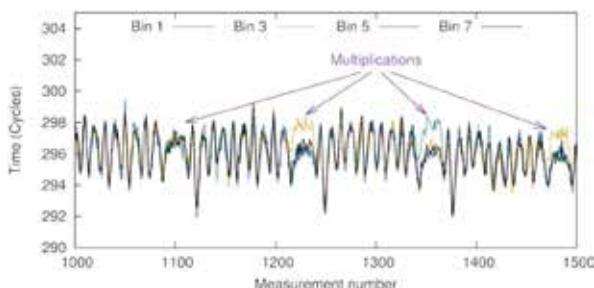


图 3：缓存旁信道攻击可以观察到由于缓存争夺而导致的操作执行时间的微小变化。将这一信息与底层算法（本例中为 RSA）的知识相结合，攻击者可以推导出密钥值（或者至少大大减少了试错攻击的搜索空间）。图中突出了过程中的乘法部分；明显的负峰值是平方和模块化还原。

缓存、执行管道、电磁（EM）发射和电源线上的电压和电流的瞬时变化都提供了目标正在做什么的线索。虽然 EM 和电源签名需要本地访问，但缓存和管道行为可以被远程跟踪，如魏茨曼科学研究所的研究人员创建的 Prime+Probe 等概念验证攻击，以及更广为宣传的 Meltdown 和 Spectre 技术。这些更有可能被用于云服务器，因为对手几乎没有机会渗透到数据中心的物理安全中。

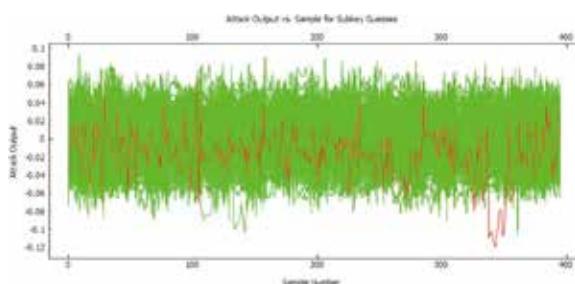


图 4：攻击输出与子密钥猜测的样本数。使攻击者推断出每个关键字节的泄漏通常被隔离到特定的计算组中，并且通常通过相关性变化来识别。在此示例中，在 350 个样本附近的区域中，相关性发生了很大变化，显示了正确猜测的密钥字节的结果。

但计算量在数据中心外的扩张速度远远超过了数据中心内，这些设备对我们的秘密和个人信息的访问量越来越大。5G 等服务的推出，预计边缘服务器和智能物联

网设备的使用会有强劲的增长，这些设备能够运行人工智能和其他更先进的算法，延迟问题远远低于严重依赖远程云计算的系统。越来越多的自动驾驶车辆和机器人系统正在加入这些设备，它们可以被视为边缘服务器，也是黑客的诱人目标。

这些设备更容易受到侵入性攻击的破坏，这些破坏性攻击能够破坏硬件强制执行的安全区域。攻击的形式有很大的不同，而且随着攻击者对目标的控制程度的增加而变得越来越难以对付，从对目标密码核心执行许多重复操作以分析其内部操作，到操纵电压、时钟和温度，一直到解封设备并插入干扰正常操作的探针。虽然后一种攻击通常只限于为黑客提供高价值的系统，但 chip.fail 最近的工作表明，只需不到 150 美元的实验室套件，就能完成各种攻击，150 美元的实验室套件，就可以入侵各种物联网设备。

攻击性质的变化

在过去，除了国家行为者对具有军事或国防作用的系统进行高度针对性的攻击外，需要物理存在的攻击主要集中在面向消费者的金融敏感设备上：智能卡、销售点终端和付费电视解码器。破解这些设备的保护是有利可图的，足以让犯罪团伙投资于复杂的工具，以了解它们是如何工作的，并获得足够的信息来制造克隆产品进行销售，或破坏保护措施以直接窃取金钱。

然而，边缘设备越来越多地集成到大规模分布式系统中，为有动机的团伙提供了越来越大的攻击空间。为了最大限度地提高他们成功的可能性，他们将使用多种攻击类型。有时，这是一个尝试不同方法的问题，直到有一种方法成功。但是，由于使用了更先进的统计工具和机器学习，恶意用户正在结合来自多个来源的信息，以便对目标进行逆向工程，增加其对最终攻击的脆弱性。

在攻击中使用机器学习的一个简单例子是在旁道分析中发现的：这种方法被用来试图获得一个嵌入式加密核所使用的私人钥匙。攻击依赖于电路发出的信号（通常被视为电磁干扰或供电轨波动）来揭示有关正在处理的数据的方式。通过收集大量的痕迹 —— 10,000 个或更多 —— 统计工具可以用来定位提供最强线索的样本。诸如噪音注入或在重要节点上对关键字节施加随机掩码的对策可以隐藏这些明显的过渡，尽管它们可能无法掩盖所有的操作。

使用更多数量的跟踪并将其作为训练数据提供给深度学习管道，一些研究小组已经表明，在有反措施的情况下，有可能获得私钥。攻击者在开发旁道攻击时面临的一个问题是可重复性问题。在收集准确的痕迹以获得信息时，涉及许多变量。通过集合学习等技术对多个模型和一系列设备进行训练，有助于减少预测中的变数，

提高准确得出密钥的概率。

使用更具侵入性的方法，攻击者可能会增加他们获得系统信息的概率，甚至获得更高的控制程度，使他们能够读出敏感的信息。

尽管它们只在攻击者能长期完全接触目标的情况下才实用，但这些技术可能极难对付，因为它们关注的是通常被认为在通过制造测试的系统中表现良好的电路设计要素。

根据整体的系统结构，如果私钥被暴露，或获得对特权账户的访问权，这些信息可能会导致破坏整个设备网络的能力。

物理攻击能做什么？

侵入式物理攻击用户的共同目标是通过执行某种特权提升来直接控制目标。在适当的时候和在 SoC 的一个特定部分插入一个故障，可能会迫使它跳过通常强制性的认证检查。最近由 LevelDown security 展示的一个例子是通过以下代码序列：



```

Voltage glitching: RAM reads

bool firmware_is_valid = validate_firmware();
if(firmware is valid)
    boot();

```

cryptotronix leveldown security

图 5：在正确的时间翻转一个位的能力，通过监测时钟同时干扰电源来实现，导致微处理器放弃一个失败的固件验证步骤，并继续启动 (<https://chip.fail>)

微处理器的一个较早的做法是使用非法操作码，试图找到可能以意外方式触发执行单元的状态，并可能访问目标内存位置或破坏管道。至少，非法操作码经常触发异常，可能导致内部信息在内存总线上暴露给黑客。

一些非法指令攻击不仅仅暴露了流水线控制的状态机中的错误。针对威盛 C3 处理器的 Project:Rosenbridge “上帝模式” 攻击设法激活了设备内部隐藏的处理器内核，而这些内核本应是终端用户无法接触到的。一旦激活，它们就可以运行任意代码而不受管理合法激活的内核的操作系统的检查，并在此过程中获得 root 权限。

尽管许多处理器内核现在都会例行检查有效的指令操作码和操作，但其他载体往往仍然存在。通过瞄准时钟和电源轨道，对手有可能利用组合逻辑的速度和时钟信号之间的人为不匹配，强制执行非法操作，甚至是有效

效的代码。由于几乎所有的 SoC 都是按照同步方法设计的，一个生产级别的设备被认为具有组合逻辑路径，当在一个时钟周期开始时从源寄存器提供数据时，在该周期结束时将一个正确的、更新的值存入其相关的目标寄存器（见图 5）。

传播延迟取决于许多因素。有些是固定的，如芯片内的工艺变化。然而，温度和电源轨电压对开关速度有很大的影响，而且这两个因素都有可能在对设备进行物理访问的攻击者的控制之下。

温度攻击

器件对温度变化的反应可能很复杂。传统上，晶体管在给定的电源电压下，随着它们的冷却，开关速度往往会加快。然而，随着使用具有多种阈值电压的晶体管的工艺，这种关系变得更加复杂。低阈值电压的器件通常是为性能而设计的，当运行温度较低时往往会加速，而那些具有较高阈值的器件则会减慢速度，这种现象被称为温度反转依赖。尽管多角仿真提供了设计团队在设计时补偿这些影响所需的信息，但当电路的运行超出用于验证的温度范围时，这些温度依赖性会导致意外的结果。

许多攻击会将 SoC 加热到超出其正常范围，以触发错误，但有些攻击会将设备冷却到远低于冰点，以触发其他故障。对攻击者来说，快速冷却目标的另一个好处是防止易失性内存阵列的内容在系统停止时被擦除。自从剑桥大学的研究人员证明了这一效果以来，已经发表了一些概念验证的攻击。

剑桥大学的研究人员在 2002 年证明了这一效果后，已经发表了一些概念验证攻击。最近的一次攻击是用液氮将目标冻结到 -110°C，从一个由片上 SRAM 构建的物理不可克隆函数 (PUF) 阵列中提取私钥。目标在启动过程中被停止，就在密钥由 PUF 生成并存储在片上存储器之后，然后用热或激光刺激进行探测。

过度的热量也可以用来利用异常的数据残余。在这种情况下，通过负偏压温度不稳定等老化效应使晶体管退化，从而印证了存储器内容。高温攻击可用于通过数小时的大量加热以及组合逻辑树的错误来诱发存储器错误。

电压攻击

供电轨的变化对电路行为的影响对实施者来说通常更容易预测。电压降低会使晶体管更接近其阈值电压，这反过来又会使开关速度减慢。如果推得太远，关键路径将无法在下一个时钟周期开始前完成。由被攻击的触发器或寄存器阵列提供的逻辑更有可能包含不正确的数据。

攻击者将试验电压水平，看看被攻击设备的反应，

APPLICATION FORM 索阅表

您是否希望收到/继续收到免费的《IP与SoC设计》杂志？

是 否

请填写您的姓名及联系方式

时间：_____月_____日_____年

姓名：_____ 职务：_____

电话：_____ 邮箱：_____

公司：_____

地址：_____

邮编：_____

您的主要工作范围

(单选项)

- 芯片架构
- 数字前端
- 数字后端
- 数字验证
- 可测试性设计 (DFT)
- 射频芯片设计
- 模拟芯片设计
- 模拟版图设计
- 单元库
- MEMS/分立器件
- 其他

主要终端产品或服务

(单选项)

- 汽车电子
- 消费电子
- 工业控制
- 医疗电子
- 网络通信
- 物联网
- 云计算
- 人工智能AI
- 其他

您推荐,支持或者决定购买的产品

(可多选)

- Analog & Mixed Signal
- Storage Controller & PHY
- Graphic & Peripheral
- Interface Controller & PHY
- Processors & Microcontrollers
- Memory & Logic Library
- Security
- Multimedia
- Wireline Communication
- Wireless Communication

请回答所有问题，我们将根据您的回答确定是否寄送免费的《IP与SoC设计》杂志。

详情请联系：朱慧 电话：15895811108 电邮：zhuh@jsic-tech.com



ATTENTION PLEASE

请注意

请完成下面三个简单步骤

Be sure you have followed these 3 easy steps:

- 1 . 回答所有的问题 Completed all the questions
- 2 . 签名并注明日期 Signed and dated the form
- 3 . 网上填卡 Online subscription

在我们的单位内及朋友中, 我推荐以下人士阅读《IP与SoC设计》

请寄《IP与SoC设计》杂志免费索阅卡到以下地址 :

Please send Free 《IP Reuse and SoC Design》 China Subscription Card to The following individuals at my location:

公司/Company _____

地址/Address _____

姓名/Name

工作性质/Job Function

电邮/E-mail

1 _____

2 _____

3 _____

4 _____

5 _____

6 _____

请将表格工整书写填妥后 , 用以下任何一种形式交回 , 复印有效 :

Please fill in the form completely in print and return by one of the below methods, copy is acceptable

邮件至 (E-mail to) : zhuh@jsic-tech.com

或邮寄至 (Mail to) :

江苏无锡市新吴区菱湖大道111号无锡软件园天鹅座C座19楼 邮编 : 214000

19th floor, block C, Cygnus, wuxi software park, 111 linghu avenue, xinwu district, wuxi city, jiangsu province, China

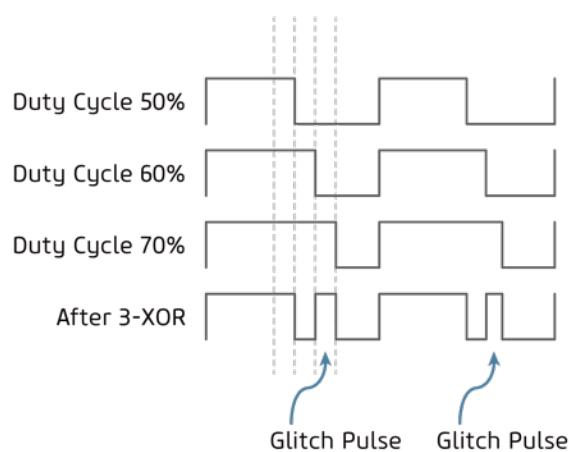
包括临时断电条件。由于许多复杂的 SoC 需要多个电源轨，而且通常复位发生器的反应很慢，对断电的敏感度很低，因此攻击者可以把注意力放在那些更有可能产生结果的电源轨上。处理器核心轨道通常被选中，因为它们可以产生对数据路径操作的更好控制。利用现代方法和从公开文件中获得的 PCB 数据，攻击者很容易切断 PCB 线路并引入他们自己的电压控制器。许多人移除耦电容，以提高他们引入的任何电压和电流变化的分辨率。因此，受害者的设备可以很容易地受到非常短（100ns）的断电条件，在关键时刻可以翻转关键位，从而产生必要的结果。

时钟攻击

如果使用外部时钟源，攻击者的另一个选择是直接修改设备时钟。启动器通常直接从外部晶体操作，这样 PLL 设置可以在生产后进行调整。时钟突变或插入错误的跳变将被解释为时钟频率的短期增加，导致寄存器试图提前从供给它们的组合逻辑链中锁住数据。

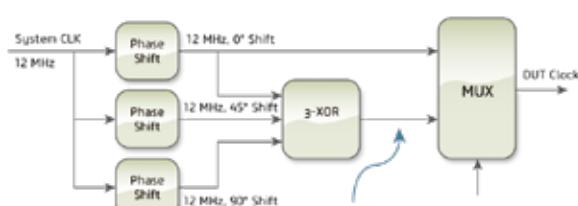
如果由外部信号源提供，时钟突变攻击的实施成本

图 6: 时钟故障是一种常见的入侵性攻击，可以通过一些简单的方式实现

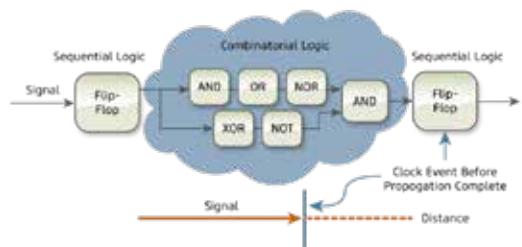


6(a) Poly-PWM 结合 (通过 XOR-ing) 在单一频率

和固定相位的三个波形，但占空比可变。



6(b) 多相技术采用了具有共同频率和占空比的波形，但相位发生变化



6(c) 当顺序逻辑和组合逻辑结合在一起时，将一个触发器的设计和保持时间超出规格是另一种方法。在这里，一个时钟事件在通过组合逻辑的传播完成之前到达了第二个触发器。

相对较低，甚至在 ChipWhisperer 等现成的套件中也有特色模式。这使用一对移相器，加上使能控制，有选择地将非常快的时钟转换插入给目标的时钟信号中。如果目标的执行管线正在进行算术运算，除了破坏数据值外，已知突波攻击还能迫使故障发生，如跳过的指令和指令解码中的错误，这导致错误的指令在下一个完整周期运行。

即使对手无法强迫采取错误的程序路径，对手在内存或系统总线上检测到的数据损坏也可能是有帮助的：他们可以利用指令和数据输入的微小变化来确定密码检查或加密程序的行为，从而建立一个成功输入的画面。

2010 年，CEA-Leti 的研究人员描述了一种时钟攻

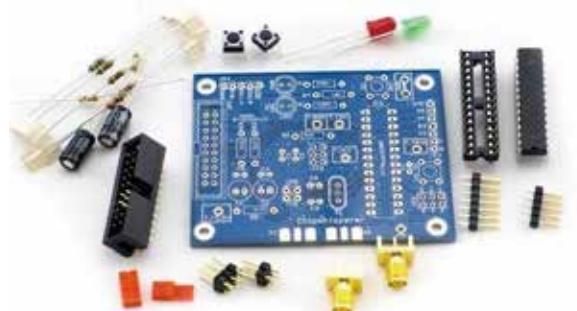


图 7: ChipWhisperer Lite 等现成的套件可以实现时钟故障(照片: Mouser)。

击，重点是在现场可编程门阵列 (FPGA) 上实现的 AES 算法所使用的密钥。该攻击使用了一系列故意的故障，在加密逻辑中产生设置和保持错误，迫使错误进入密码文本，然后与正确加密的信息进行比较。许多错误改变了目标密钥字节中的一个比特。连续几轮的时钟引起的错误与目标猜测相结合，产生了目标密钥字节。

更复杂的攻击

其他形式的故障注入攻击可以通过电磁(EM)辐射和激光进行。其中一些对攻击者的价值是值得怀疑的，尽管它们可以用相对低端的设备来实现。ChipShouter是一种现成的设备，可以产生短时、高强度的电磁脉冲，在目标设备内诱发杂散电流。然而，在实验中，一些研究小组注意到，除非使用非常强的脉冲，否则电磁脉冲的时间需要与时钟边缘相吻合，以产生可重复的故障。

使用红外线、可见光或紫外线光谱的激光诱导故障注入，为对手提供了更大的目标定位能力，尽管它涉及到更高的技术水平，因为它要求在不损害器件本身的情况下至少对IC封装进行部分解封。与射频范围内的电磁波类似，短脉冲会激发逻辑门，并能迫使其出错。

所有输入都有风险

一些对信号的攻击远没有那么明显。一个例子是在2018年展示的概念验证攻击。一个由密歇根大学和浙江大学成员组成的团队的研究人员发现，有可能通过硬盘驱动器的振动传感器来攻击其内部的控制器振动传感器。

振动传感器用于保护读取磁头，以免损坏下面的磁盘表面——如果检测到突然的冲击，可能会迫使磁头与磁盘表面发生碰撞，则告诉控制器收回磁头。如果有强烈的低频脉冲，控制器可能会误解传入的振动读数，结果是磁头会损坏磁性涂层并破坏其中的数据。在其他情况下，这种策略作为一种拒绝服务(DoS)攻击的形式发挥作用。磁头在沉重的低频振动下不断缩回和重新部署，会使读写速度降低到缓慢的地步。在极端情况下，这会导致主机系统的超时和重设。

一些黑客没有直接攻击传感器的输入，而是利用了许多系统的分布式性质。例如，一辆机动车依赖于一个传感器模块的网络，这些模块被送入一个电子控制单元(ECU)的阵列中，共同为整个系统提供动力和指导。这样的系统很容易受到攻击，被破坏的模块或被作为特洛伊木马插入网络的模块会产生错误的信号。传统上，像CAN这样的车辆网络是在假设网络元素可以被信任的情况下设计的。该协议本身没有检查沿总线传递的信息真实性的机制。因此，该协议容易受到广泛的攻击，这些攻击不仅包括DoS，还包括重放和假帧注入，这些攻击可能被用来混淆或使传感器和ECU模块崩溃。物理和远程访问的组合足以破坏该系统，这表明漏洞之间的复杂关系，可能使系统远不如它们看起来那么安全。

对策选项

有许多可能的反措施，实施者可以决定将其纳入他

们的设计中，但它们需要以一种连贯的方式，以明确的系统级视角进行组合。但是，传统的反措施一直集中在特定的攻击载体上。例如，为安全设备设计的微控制器通常不仅采用旨在混淆侧信道攻击的硬件元素，而且还采用电路来应对电源轨和时钟故障。然而，值得注意的是，许多物联网级别的微控制器缺少这种保护，然而对信息的访问对用户来说同样具有破坏性。

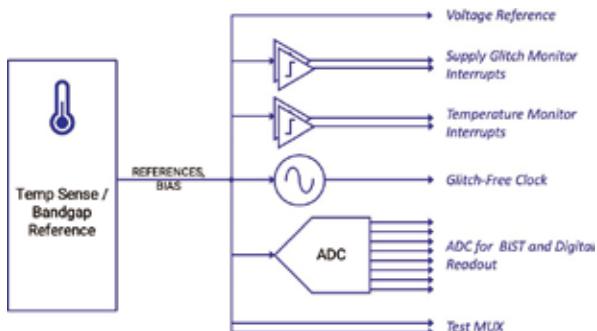


图8：Agile Analog的监控器可以防止常见的攻击

其中一些技术在更高性能的SoC上甚至不实用。例如，对时钟突变攻击的常见防御措施是使用内部生成的信号源，而外部时钟可以被监测到以保证一致性。这可以防止大多数的突变式攻击。

在安全的微控制器中也采用了类似的选项来处理电源突变。传统上，基于比较器电路的断电检测器观察电压的突然下降，并将强制复位以重新启动设备，从而进入保护状态，将可能缓存在RAM中的任何敏感数据清零，并防止任何管道操作继续进行。当电源轨恢复到有效状态的时间足够长时，断电检测器会释放复位引脚。

当供电电压上升超过阈值足够长的时间时，控制器释放复位引脚，设备被允许完成复位，允许从一个已知的状态开始执行，破坏攻击者改变程序执行的企图。

在智能卡或电视解码器中，每次检测到电源异常就强制复位是可以接受的。如果系统重新启动并终止操作，除了假阳性干扰合法使用外，很少会有问题。然而，在许多情况下，更细微的反应是可取的。终止被认为是敏感但可中断的芯片部分的操作，而其他部分继续进行，这可能是有意义的。但可能还需要其他反应。例如，SoC可能需要切换到一个保持安全操作的模式，并采用片上保护模式，但这些模式太耗电，无法在所有情况下使用。

在所有情况下都太耗电，但可以改善入侵性攻击的一些影响。

如果外部时钟受到攻击，可以用性能较低的内部时钟进行操作。同样，直接访问核心电压轨道可能会被禁用，所有的电源都通过一个主要的封装内电源管理单元提供，也许是在一个较低的整体水平，支持较慢的操作，



**NEW GPU
GENERATION
2020**

Graphics, AI & Compute

万物的 GPU

A系列GPU是Imagination 25年行业经验的结晶。
凭借灵活的设计和可扩展的架构，“万物的GPU”
将帮助您获得绝对竞争优势。

imaginationtech.com



而不会禁用整个 SoC。在不能容忍中断的情况下，除非 SoC 根本无法正常工作，否则设备可以记录这些行动，并尽早通过网络报告。

支持对可疑攻击作出更多的反应的另一个原因是假阳性的原因。在为极端环境下运行而制造的高可靠性设备中，被认为是正常的环境温度与攻击者使用的加热或冷却的实际差异可能非常小。然而，专用温度传感器的高分辨率测量可以提供控制器可能需要的详细信息，以便能够分辨出利用快速变化而不是典型环境偏差的蓄意攻击。

深度防御

由于对入侵性攻击的许多反应是可以想象的，处理它们的关键是一个安全的、适应不同形式的入侵和反应灵敏的基础设施。这种基础设施的一个重要要求是它能独立于主系统逻辑运行，这样它就能在目标子系统受到攻击时对事件作出反应。

UltraSoC 的解决方案将事务感知的硬件监控器嵌入到 SoC 的数字基础设施中，所有这些都使用基于消息的架构相互连接。在这个框架中，有可能整合各种系统控制、调试和安全监控核心。数字和远程入侵尝试的例子是总线哨兵和 CAN 哨兵硬件模块。这些模块可以识别并在实施过程中需要时，立即阻止芯片内和 CAN 端口上的可疑通信。该公司与 Agile Analog 的合作将入侵监控的可能性扩展到了物理、模拟领域。Agile Analog 的监控器组合可以对 SoC 内的时钟、电压和温度进行连续检查。

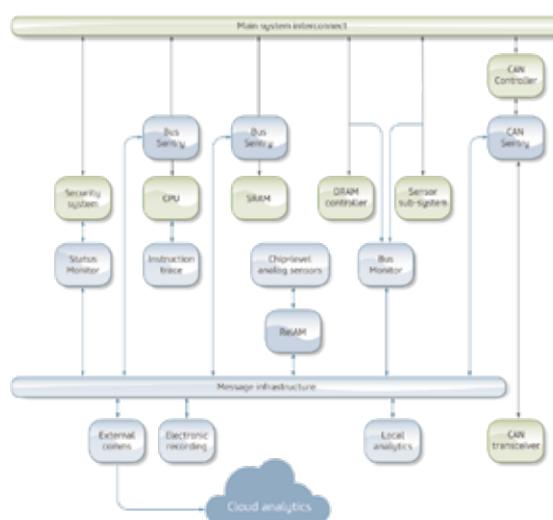


图 9：一个完整的片上安全解决方案可以检测和缓解许多威胁

通过将监控器与跨芯片基础设施联系起来，SoC 集成商不仅可以对特定的入侵行为作出反应，还可以结合来自多个来源的信息以及本地存储的历史记录，根据需要调整反应。由于对手越来越多地转向使用混合式攻击，这可能涉及到在攻击其实际目标之前对许多受害者设备进行分析，因此追踪和报告异常情况的能力将是至关重要的。

使用跨芯片架构也支持根据威胁程度来调整功耗和处理开销的能力。例如，连续监测一些模拟通道，如多个电源轨，可能在能源方面过于昂贵。相反，系统可以使用低分辨率的传感器来检测停电事件或高重要性目标上的噪音增加，以激活更广泛的传感器来确定该事件是否可能是恶意的或系统问题的后果。一旦有了足够的信息，系统控制器可以触发反措施或向更高层次的管理系统发出警告。

基础设施可以随时根据 SoC 的使用情况进行调整。选择使用哪种传感器和反措施将取决于各种因素，如可及性和目标对黑客的价值。在数据中心系统中，一个不太可能的可能性是内部人员将某种数据提取或干扰设备放在靠近服务器刀片的地方。但即使如此，鉴于应用程序和数据可以使用 Kubernetes 和类似的开发工具在数据中心内轻松移动，攻击者也不能轻易确定哪个刀片会在任何时候被给定的工作负载使用。因此，这类系统可以通过结合物理访问安全和侧重于软件工作负载行为的对策，以及将处理敏感数据的工作负载与其他任务隔离的容器部署程序来充分保护。

相反，进入工厂、车辆和家庭的系统需要更多的物理安全保护和模拟感应模式，以防止不仅是直接入侵，而且可能有助于以后通过远程访问（例如信息娱乐系统的射频模块）进行攻击的分析研究。

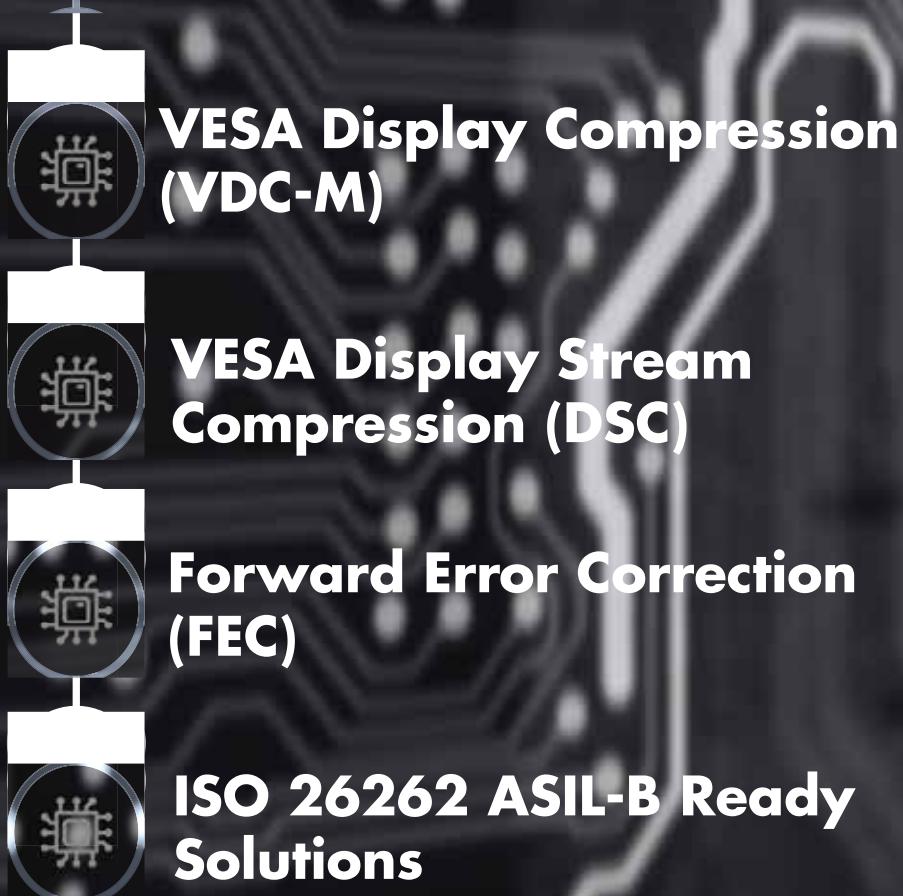
正如恶意对手对现实世界系统的攻击所证明的，信息就是力量。有了包含智能控制器以及模拟和数字传感器模块的全芯片安全基础设施，SoC 集成商可以利用他们对实时信息的访问来扭转局面。

Hardent



IP CORES

HELPING YOU CREATE
NEXT-GENERATION DISPLAY PRODUCTS



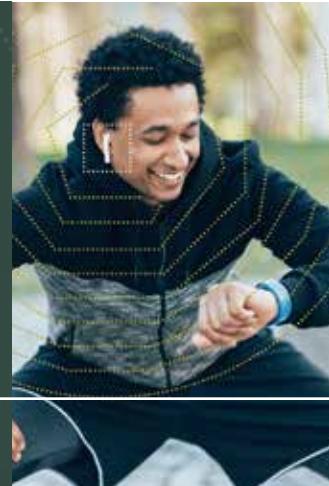
Hardent

www.hardent.com info@hardent.com

DOLPHIN
DESIGN

为真正的无线立体声(TWS)应用的下一代音频编解码器铺平道路

第1部分：解释TWS面临的挑战



无线蓝牙耳机的音频市场发展迅速。使用蓝牙(BT)连接的音频设备比以往任何时候都要普遍。人们已经习惯了无线音频系统，手机行业也在向一个没有音频连接器和电缆的世界推进。无线耳机和扬声器的最新趋势是真无线立体声系统(TWS)，由两个独立的单元组成，每个单元在自己的充电仓中充电。这些耳机或扬声器通常通过蓝牙与音源连接，而有些则包含额外的内存来存储音乐。TWS智能设备通常包含集成的主动降噪(ANC)，以消除接收到的音频中不需要的背景噪音，同时将传输的音频流中的干扰降到最低，例如，在语音通话期间。

1) 什么是真正的无线立体声(TWS)技术？

真正的无线立体声(TWS)使用蓝牙信号代替电线或电缆来传输声音。TWS不同于现有的无线配件，后者虽然没有物理连接到媒体源，但仍然依靠物理连接来保证两个音频通道共同工作。由于彼此之间没有连接，蓝牙TWS的左右两边耳机可以独立工作。从技术上来说，就是将手机通过蓝牙无线连接到主耳机上。然后主耳机通过蓝牙无线连接与从耳机连接，从而实现了蓝牙耳机左右两个独立通道之间的真正无线蓝牙。



Fig. 1: TWS earbuds system view

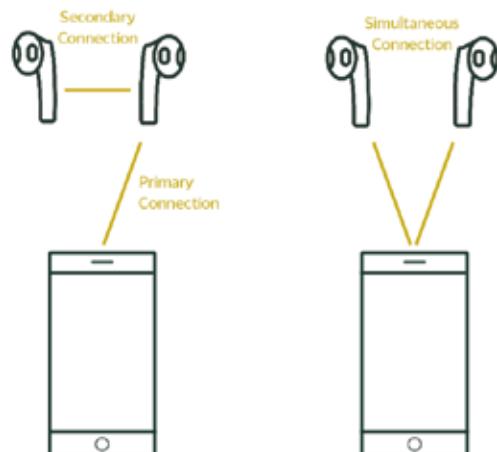


Fig. 2: True Wireless Stereo Bluetooth connections

真无线技术使用单个(主)耳塞/扬声器与媒体源建立主连接，然后连接到副耳塞/扬声器，建立一个真无线立体声连接。然后，包括L和R通道在内的信息通过主设备发送到主连接，然后L通道通过副连接转发到从设备。这样就给听众带来了身临其境的真无线立体声。

WS 还有第二种实现方法，即在两个耳塞 / 扬声器之间同时建立连接。这使得媒体源可以同时连接到两个耳塞 / 扬声器。然后，耳塞 / 扬声器内的芯片允许媒体源将 L 和 R 通道独立地发送到 L 和 R 耳塞 / 扬声器。这就避免了单个耳塞 / 扬声器的供电压力，从而延长了电池寿命，提高了连接强度，实现了更清晰的音频体验，以及这么简单的设备连接方式就更不用说了。

TWS 系统的演进还处于起步阶段，但由于市场竞争激烈、发展迅速、客户要求高，很快就会达到高峰。小型化和低功耗将有利于采用标准蓝牙耳机已经熟知的特性和功能，如主动降噪 (ANC)、无线充电、心率跟踪或语音启动设备。

在 CES 2020 上，蓝牙技术联盟 (SIG) 近日发布了基于全新蓝牙低功耗新标准 ——LE Audio，不仅提升了蓝牙的音频性能，还将带来更低的功耗和更高的音质体验，支持多路独立音频传输、广播音频、音频共享，并为助听器提供更强大的应用支持。LE Audio 技术依托蓝牙 5.2 核心规范，采用全新的低复杂度通信编解码器 (LC3)，提供更高的音质和更低的功耗。LC3 解码器将为开发者带来更大的灵活性，让大家在设计产品时更好地平衡音质、功耗和电池寿命等关键属性。

LE Audio 的多流音频使 TWS 标准双耳传输成为可能。它允许一个单一的音频源设备，如智能手机，同步发送多个独立的音频流传输到一个或多个接收音频设备。通俗点说，多流音频可以让所有真无线耳机拥有双耳传输的体验。智能手机可以在不转发的情况下，将同一传统音频信号同时传输到双耳，从而提高蓝牙耳机的连接稳定性，减少延迟。

TWS 技术有很多优势，完全解放双手，提供完全的音频自由。摆脱线束后，你的生活空间将显得整洁有序。它还提供了与他人共享音乐的全部功能，一次只戴一个耳塞就可以与他人分享音乐。

2) 哪种音频编解码 IP 适用于 TWS/ANC 音频应用？

与传统的有线耳机芯片设计相比，TWS 耳塞或耳机芯片设计者面临更多的挑战，设计要求更高，内部芯片的设计限制更严格。在设计蓝牙 TWS 耳塞芯片之前，需要提前考虑以下设计挑战。

- 增强和高质量的音频体验，特别是针对嘈杂环境条件的一套环境噪音抑制方案（硬件或软件），以及系统唤醒使用的语音激活功能。
- 极低的功耗，以增加电池寿命。
- 由于印刷电路板空间有限，芯片的硅面积超小，电气元件最少（集成电路封装更小，外部原理图更简单）。
- 竞争激烈的 TWS 耳塞市场的积极产品设计周期和高上市时间压力。

· 可制造性、可测试性和生产成本（对成本非常敏感）。

· 越来越多的传感器和功能将被添加到 TWS 产品中（空间有限），心率监测、健身追踪听觉、温度、运动、光线、游戏等，因此信号处理能力非常具有挑战性。

材料成本：在成本驱动的 TWS 耳塞 / 扬声器市场，降低材料成本 (BoM) 变得越来越关键。为 TWS 产品开发选择任何组件的主要因素之一是成本，音频编解码器也不例外，因为消费市场对成本非常敏感。

使用 Dolphin 设计的编解码器 IP 降低 BOM 成本

Dolphin 的音频编解码器是专门设计的，以尽量减少 BOM 成本，从而减少 PCB 上的空间。麦克风接口支持用于音频录制路径的 cap-less 麦克风输入。

耳机差分放大器输出支持 cap-less BTL (Bridge Tied Load)，以优化 BoM 成本。

关于其他的挑战，Dolphin Design 在 TWS 更关键的功能方面也有实践经验和知识。Dolphin 设计公司可以为芯片 / 耳塞制造商提供硅 IP，使他们达到高性能并缩短上市时间（参考图 3 中高亮的部分）。

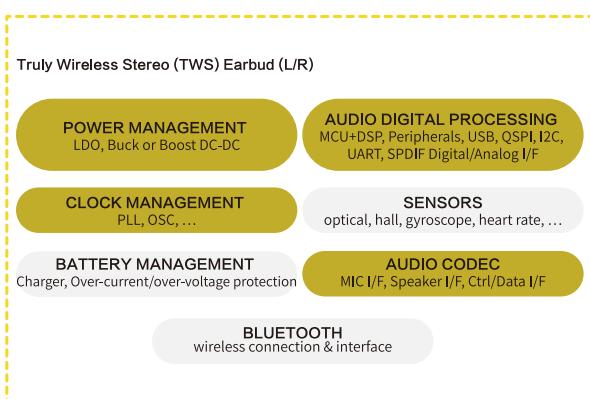


Fig.3: Functional blocks of a typical TWS earbud chip

关于作者

Hai YU 于 2011 年获得格勒诺布尔阿尔普斯大学 TIMA 实验室纳米与微电子工程博士学位，主要研究方向为低成本、高效率容错处理器设计，以缓解纳米技术中的可靠性问题。2012 年加入 Dolphin Design，现任首席应用工程师，专注于音频和处理 IPs 平台。

Clément MOULIN 于 2006 年毕业于图卢兹视觉电子与信号处理专业。经过 8 年在 NFC 领域领先的硬件开发，Clément 于 2020 年加入 Dolphin Design，目前担任应用工程师，专注于音频和处理 IPs 平台。

Colibri, 为专业的AV over IP提供高清 内容并快速分发的编解码器

Silex Insight

当您希望将 AV 分发从专用电缆转换到 IP 网络时，需要考虑的一个因素就是质量。为了在 1Gbit 以太网电缆上运行，您必须牺牲多少丰富的视觉通信质量？Silex Insight 的新编解码器给出了一个简单明了的答案：不需要！无论您的沟通方式有多么的复杂、多样，都可以像原始数据源一样清晰生动的展示出来。

COLIBRI 是为专业的 AV over IP 市场应用而研发的视频编解码器

Colibri 具有行业领先的性能，令人惊喜的效率和强大的功能。

Colibri 涵盖了您可能需要的功能：



1、Pro AV需要专用的编解码器

专业视听行业仍处于从传统有线传输到 AV over IP 的全面转型阶段，这种交换方式令人信服的原因是现有 IP 设备的多功能使用，由此产生的更低的成本、更多样的路由选项，无需投资搭建专用电缆就能将 AV 素材传输到任何地方。

专业视听行业只有在 AV OVER IP 这种方式能满足高质量、视觉完美的内容，并可以接近零延迟的方式传

输内容的情况下，才会考虑传输方式的转换

减缓行业对于 AV over IP 应用的其中一个最重要原因是：编解码器能否正确工作的可行性。



编解码器是一种可以减少所需视频带宽的压缩方案，可以通过软件或专用硬件来实现。我们需要这样的编解码器，因为未压缩的视频比大多数标准 IP 设备所提供的带宽要大得多。例如，完整的 4: 4: 4 色度支持的 60fps 未压缩 4K 视频流需要 18Gbps！这远远超出了当今大多数 IP 网络设备可提供的 1 Gbps 功能。

再比如，JPEG2000 是用于动态视频高质量、低延迟压缩的参考编解码器。但是，在专业 AV 主流应用中，要在超过 1GbE 的以太网中保证 4K60 高清的复杂图形内容非常难。

到目前为止，编解码器菜单中缺少的是一种用于完美传输并交付高质量复杂图形内容的编解码器，包括文本、电子表格、动画等。

Silex Insight 推出了新研发的 Colibri 编解码器，可以填补了这一技术空白。

Colibri 已经过优化可以完美地编码图形内容，同时仍保持视频和动态图像的视觉质量



AV over IP 应用图

以下是使用 Colibri、JPEG 2000、JPEG XS 对图形内容进行编码的结果对比,对于超过 1GbE 的 4K60 用例,Colibri 无疑是赢家。JPEG 2000 具有更宽的可用带宽(2.5GbE),已接近 Colibri。但是,考虑到 8K 的质量,即使在 2.5GbE 的情况下,Colibri 也没有竞争对手。



编解码器对比



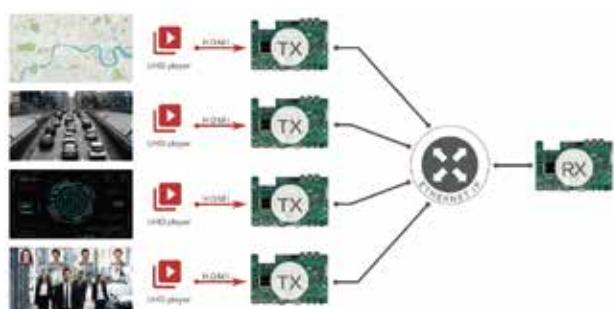
4K60fps over 1GbE (Graphics) - 1.65 bits/pixel



4K60fps over 1GbE (PICTURE) - 1.65 bits/pixel

2、这一成就背后的秘诀是什么?

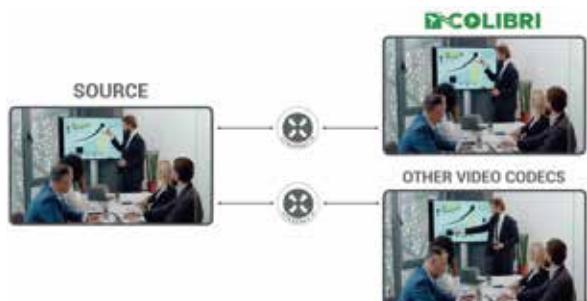
Colibri 能够为需要的数据展示更详细的图片,即 Colibri 可以在最需要看清细节的时候提供清晰的内容。



Colibri 已经针对专业 AV 的主要应用模式进行了优化: 在 1Gbps 和 2.5Gbps 网络上传输 4K60 的高清效果。同时 Colibri 具备面向未来的应用,支持 8K AV 流媒体的传输和分发。

零延迟

除了无可挑剔的图像质量外,Colibri 编解码器还保证了几乎零延迟的传输效果,这相当于 4K60fps 的 180 微秒。这种难以察觉的延迟使 Colibri 非常适合 KVM 或控制室等应用场景。



独特的多视图功能

Colibri 编解码器的其中一个特点是支持多视图显示,这意味着无限数量的高质量音 / 视频流可以被合并显示在一起,但不会造成图像质量的损耗。在当今需要协作的世界里,越来越多的应用场景要求同时显示不同的视觉源,市场上大多数的解决方案只支持数量非常有限的流媒体资源,而且通常需要大量额外的计算能力和内存资源。

Colibri 基于独特的切片处理技术,没有这样的限制。



可轻松集成到 FPGA 和 ASIC 中

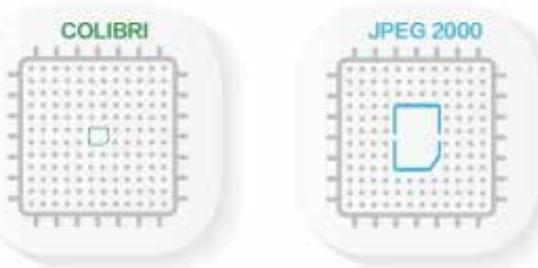
编解码器可能在软件中运行，但为了获得更优、更稳定的效果，他们更适合在 ASIC 或 FPGA 这样的硬件中工作。

Silex Insight 研发推出的 Colibri 作为硬件 IP 模块，为这两种方式提供可行性。

COLIBRI 是一个轻量级但功能强大的编解码器

我们的专家成功地将众多特性转化为一个轻量级的硬件模块，可以很轻松地集成到您的目标应用程序中，无论是低复杂度的 ASIC 还是 FPGA。

跟 Silex Insight 的其他硬件模块一样，Colibri 在设计时就考虑到了集成的简易性。除此之外，我们还提供多种客户支持，我们了解到没有两个项目是完全相同的，我们还可为您提供硬件定制讨论和服务，实现最佳性能和成本的平衡。

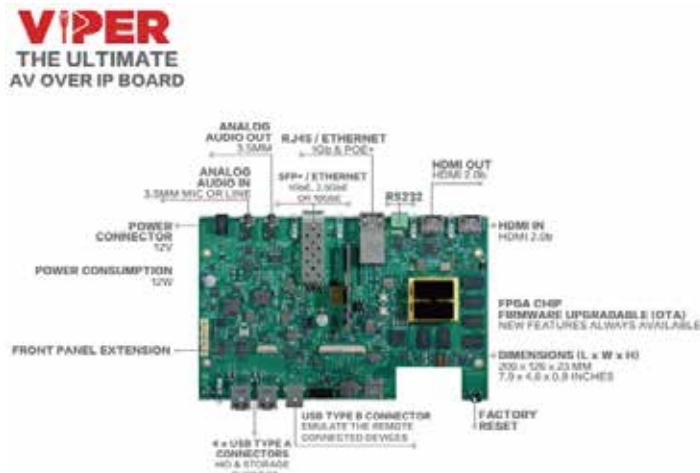


Colibri 是一个轻量级的编解码器，同样适合最低成本的FPGA

3、VIPER——基于Colibri的发送器和接收器解决方案

除 Colibri 视频编解码器外，Silex Insight 还将提供 4K60fps AV over IP 发送器和接收器解决方案，名为 VIPER。VIPER 适用于通过 IP 网络流式传输高质量音频和视频的完整解决方案，该解决方案兼具速度、质量、安全性和灵活性。也非常适合 Colibri 视频编解码器，支持基于 IP 的多视图和零延迟音频 / 视频呈现。并在 1Gb、2.5Gb 或 10Gb 以太网电缆上具有高达 4K/UHD 的高清效果，现已开始供货。

VIPER 是一个在 IP 网络上流式传输高质量音频、视频的完整解决方案



VIPER 板卡功能说明



VIPER 板卡提供一对发送器和接收器，在典型的专业 AV 设置中，一个发送端将对 AV 流进行编码并将其流式传输到 IP 网络上，而在接收端，一个或多个板卡将接收和解码该 AV 流，比如将其转换为视频会议和其他实时影音应用，包括酒店、机场或运动场馆中的监视、数字标牌和信息板等应用场景。

总结

Colibri 是独一无二的，可在 1Gb 以太网上进行高清图像内容的分发，它的研发基于我们十多年来对视频编解码器的设计经验，我们正在进入一个全新的时代。Colibri 涵盖了 ProAV 市场的所有要求：零延迟、高质量、支持 8K、低资源 / 功耗、支持多视图应用，是 KVM、控制室、会议等应用的理想选择。Colibri 易于集成，并提供出色的效果呈现，若您感兴趣可随时联系我们进行演示。

纳能微电子介绍

纳能微电子位于四川省成都高新区，成立于2014年，是一家国内领先的主营集成电路IP核设计与定制服务的高新技术企业，专注于数模混合高速SERDES IP核的自主研发和持续创新，拥有PCIE、USB3.1/USB3.0/USB2.0、JESD204B、V-By-One/LVDS/MIPI PHY IP及12.5G/16G高速SERDES IP核等多项核心技术，产品工艺制程已达8nm节点。纳能技术研发团队已经完成了超过100项IP授权与服务案例，获批电路设计专利近30项。

纳能微电子与国内外主流代工厂保持长期良好合作关系，目前在0.18um至8nm工艺节点，已经为大量国内外客户完成了十余类集成电路IP核的设计开发与流片验证，客户包括多家上市企业及知名研究单位。

纳能微电子自建高速实验室，拥有高速示波器、误码仪等测试设备，具有USB3.0、PCIE、SATA等接口协议一致性测试能力。

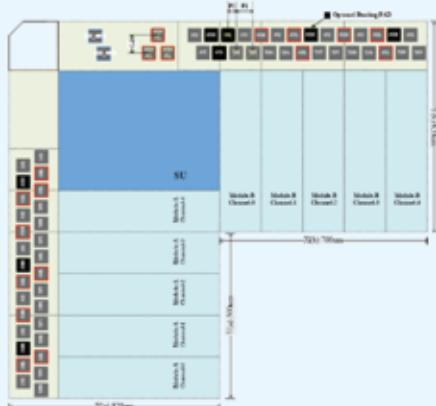
主要IP核产品：

- | | |
|--------------------------------|--|
| » PCIE3.0 PHY | » MIPI PHY IP |
| » USB3.1/USB3.0 (Type-C) PHY | » LVDS 收发器 IP |
| » USB2.0 OTG/USB1.1 PHY | » VByOne/eDP 视频接口收发器 |
| » USB3.0/PCIE/SATA3 COMBO PHY | » Fractional-N PLL/Free-Running Oscillator |
| » JESD204B物理层收发器 | » 6000V-IEC/HBM ESD模拟IO |
| » 1Gbps-12.5Gbps通用SERDES IP | » POR/LDO/DC-DC 电源管理类IP |

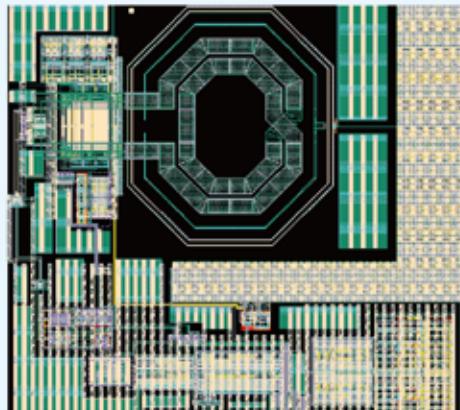
IP定制案例

◎ 6000V-8000V HBM/IEC ESD 定制设计方案

◎ 芯片面积优化管脚缩减定制方案



◎ 超低抖动LC振荡器锁相环定制方案



◎ 多协议兼容COMBO IP方案

先进工艺优势

- ◎ 率先进入SAMSUNG8nm工艺，并提供USB、PCIE及SATA PHY IP方案
- ◎ 率先进入SMIC14nm 工艺，并提供USB、PCIE、SATA PHY及10G/12.5G SERDES IP 方案
- ◎ 率先进入SMIC28nm 工艺，并提供USB、PCIE、SATA PHY IP方案
- ◎ 率先进入GF22FDX工艺并支持客户完成量产，提供SERDES IP核方案
- ◎ 率先进入TSMC22nm工艺并支持客户完成量产，提供USB、PCIE及SATA PHY IP方案

联系人：fanglt@jsic-tech.com



自动驾驶的高层次综合

适用于汽车的集成式 MBSE

Mentor | 市场开发经理 Anoop Saha 汽车市场营销总监 Andrew Macleod

高层摘要

自动驾驶汽车和 ADAS 的实现取决于能否融合来自 LiDAR、雷达、摄像机和其他装置的传感器数据。传感器融合任务将越来越多地使用定制处理硬件 FPGA 或 ASIC 来完成。而且需要更多的定制芯片来应用机器学习和 AI，以基于这些传感器数据做出决策。本白皮书介绍了如何使用高层次综合 (HLS) 方法加快设计流程和应对验证挑战，在某些情况下，该方法远优于手工编码的 RTL。

自动驾驶汽车需要复杂的传感器结构才能正常运作。这些传感器包括 LiDAR、雷达、视频等，它们持续产生大量与汽车周围环境相关的实时数据。传感器不断地将其输出发送到与处理单元连接的功能强大的域控制器以进行分析。来自不同传感器的离散数据随后会合并，产生与车辆的位置、速度、方向和周围环境有关的有意义信息。此过程称为传感器融合。

传感器融合通常利用定制硬件 FPGA 或 ASIC 完成。数据经过处理后，系统做出影响 ADAS 系统的决策，例如转弯、刹车或车速控制。硬件结合了复杂人工智能 (AI) 应用中的机器学习算法，以便于对传感器数据进行实时处理。

传感器融合面临的挑战包括设计和验证定制芯片，以及通常情况下设计和验证运行芯片的车辆硬件和软件系统，这也概括了 ADAS 和自动驾驶领域的工程团队所需的跨领域工作。实际上，鉴

于各种城市景观和人类驾驶行为，理想情况下，设计和验证任务甚至应该延伸至城市交通场景，而这些场景本身就是非常复杂的系统。要解决的问题贯穿芯片到城市的整个范围，必须最终进行通盘考虑，即使特定学科（例如芯片设计）内的工作和以往一样复杂也是如此。

用于自主传感器处理的复杂算法

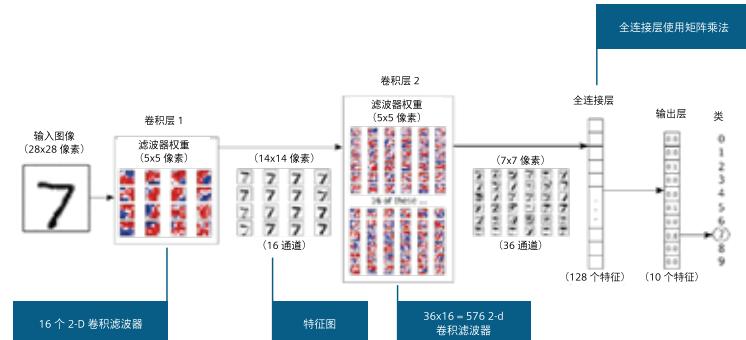


图 1：用于字符识别的简单 2 层 CNN

在硬件中实现机器学习算法本身就是一个挑战。例如，一种常见的对象检测算法是基于 CNN（卷积神经网络），它支持“自适应巡航控制”和“前 / 后碰撞警示系统”——这对于实现全自动驾驶汽车显然至关重要。CNN 由多层组成，每层执行多组卷积。每层的卷积滤波器都是经过编程的“特征检测器”，用于查找某些特征，例如水平线、垂直线等。

通常，输入和输出通道的数量会随着数据在各层中行进而翻倍，导致卷积滤波器和滤波器权重（系数）的数量激增。图 1 显示第一层有 1 个输入通道和 16 个输出通道，需要 16 个不同的卷积滤波器核。第二层有 16 个输入通道和 36 个输出通道，需要 $36 \times 16 = 576$ 个 2-D 卷积滤波器。在许多 CNN 中，最后一层或几层是全连接层，通常利用矩阵乘法实现。

已优化性能和功耗的硬件实现 CNN 需要多人经年累月的努力。抽象性质决定了硬件设计本身相当复杂。对于自动驾驶汽车的定制硬件，

设计人员需要探索各种架构以确保实现最佳的推理精度。

为了实现该精度，自动驾驶汽车的推理芯片需要应对如下额外挑战：

a. 性能：一台高清摄像机能够以每秒 60 帧的速度捕获 1920x1080 图像。一部汽车可能有 10 台或更多此类摄像机。推理引擎必须能够处理该速率传输进来的数据，做出有意义的决策。因此，CNN 的性能变得至关重要。

b. 功耗：功耗虽然不那么直观，但却是推理引擎的另一个重要指标。AI 推理是一种会耗费大量功率的操作，其中一个重要原因是需要大量访问远程存储器。对于电动汽车，减少 ADAS 系统的功耗很重要，这样电池电量可以更有效地用于汽车的物理操作。

c. 功能安全：对自动驾驶汽车而言，功能安全是另一个越来越重要的方面。算法应能检测到硬件的各种故障可能造成功能安全问题。通过前期验证来确保适当故障覆盖率的能力至关重要。

HLS 设计流程：从架构到经过验证的 RTL



图 2: ASIC 设计时间与每年的机器学习论文数量
(图片提供方: Samba Nova; 改编自 Jeff Dean, Scaled ML)

最大的挑战仍然在于传统 ASIC 设计流程的周转时间。实现新的 ASIC 硬件需要花费数月到一年的时间。将 ASIC 送交制造之前，大部分时间都花在 ASIC 的验证上。由于掩模成本高昂且较低节点的周转时间很长，设计和验证团队希望确保在流片之前达到较高的验证覆盖率。这对机器学习来说非常有挑战性，因为算法在迅速发展。硬件设计必须与软件算法和框架的快速发展保持同步，如图 2 所示。

最初，自动驾驶系统架构师或设计人员依赖 TensorFlow、Caffe、MATLAB、theano 之类的工具来帮助在高级抽象环境中捕获、收集和明确验证数据。这些高级深度学习框架支持探索众多参数，以便研究、分析、选择算法的最佳解决

方案。

确定算法后，设计人员便可使用 C++ 或 SystemC 捕获流程。C++ 的优点在于它是一种通用编程语言，已经广泛用于硬件和软件的高级算法 / 行为建模。SystemC 则允许用户通过增添更多实现细节来优化设计，这对于传感器处理单元的硬件实现至关重要。

下一步是开始设计自动驾驶应用的实际硬件算法模块。这里，设计人员面临以下选择：是手动编写 RTL 代码，还是使用高层次综合 (HLS) 从 C++ 或 SystemC 生成 RTL。RTL 过去一直是数字设计的起点，但它已变得过于昂贵且耗时（图 2），需要大型团队来生成成千上万行的 Verilog 或 VHDL 代码。微小的更改可能造成昂贵且费时的重新设计，而且很难为这些团队找到技能熟练的工程师。RTL 仿真的运行速度比 C++ 仿真要慢 106 倍，因此验证时间和成本攀升至不可控制。

关键问题：RTL 设计与验证

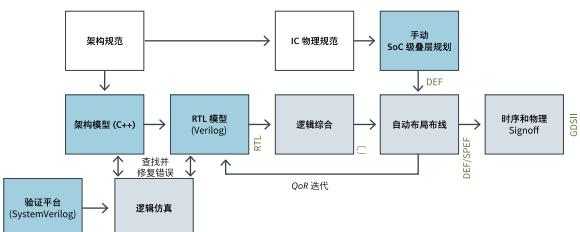


图 3: 关键问题：RTL 设计与验证（图片来源：NVIDIA）

与 RTL 不同，HLS 通过强大的随时目标定位和实现能力将功能与实现分开（图 3）。因此，HLS 通过更高程度的抽象来缩短算法设计时间，使代码量比 RTL 少 50 倍。这意味着设计团队可以缩小规模，开发时间更短，验证速度更快。算法设计和验证时间可以从一年缩短到几个月，增加新功能只需几天，而非数周。由于可以轻松修改和重新生成算法，因此后期功能变更可以在不影响流片日程的情况下进行。更高的抽象级别使得仿真速度极快，设计人员可以快速探索不同架构选项以实现最优的功耗、性能和面积。

一旦设计团队对结果满意，HLS 就能从 C/C++ 和 / 或 SystemC 描述生成高质量的 RTL。验证生产率同样需要一种与 RTL 目前所用类似的功能覆盖方法，但将受益于仿真运行时间缩短。形式属性检查和代码检查是该流程的一部分，目的是确保源代码对于综合和仿真而言都是“整洁的”。此外，还需要一些工具来测量代码覆盖率，包括行、分支和表达式覆盖率。转入更高级别的设计需要强大的调试和可视化工具，包括 IDE 和波形视图，以及对优化瓶颈与控制 / 数据流的可视化能力。其目标是实现“设计即正确”的 RTL，即 C++ 算法与

综合 RTL 之间的表示和仿真结果精确一致。

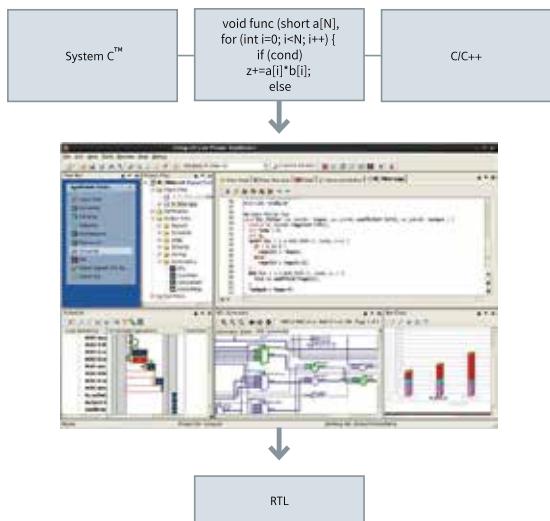


图4：高层次综合平台

为此，算法设计人员需要决定自动驾驶汽车系统应当使用哪种类型的硬件平台。设计人员可以将算法表示为 CPU、DSP 或 GPU 中运行的软件，但这些平台价格昂贵且有其他缺点。CPU 速度不够快或效率不够高；DSP 虽然擅长图像处理，但缺乏 Deep AI 所需的足够性能。GPU 擅长训练，但对于车载解决方案而言，其功耗过高。另一个选择是在 FPGA、ASIC 或专用形式的定制设计硬件平台中实现算法。虽然这需要更多的前期设计，但 FPGA 或 ASIC 可提供最优的功耗 / 性能结果。越来越多的设计团队选择在硬件中实现其算法设计的原因正在于此。

借助 HLS 很容易在 ASIC 或 FPGA 中实现设计。一种情况是使用 FPGA，其设计周期更简单，无需复杂且耗时的布线、布局和叠层规划方法。相比之下，ASIC 可以胜任大批量芯片生产，但需要的人力和成本要高得多。一些设计人员使用 FPGA 开发初始原型，借以分析软件和硬件设计。一旦满意并准备投入生产，他们便从 HLS 获取输出，快速将其重定向到所选的 ASIC 技术。

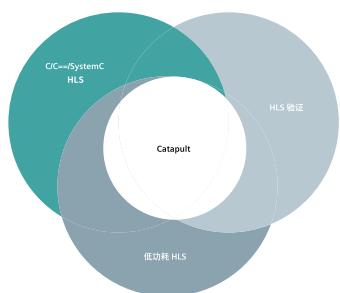


图5：Catapult HLS 平台实现了 HLS 与功率分析、RTL 功率优化以及验证基础设施的融合

Siemens Digital Industries Software 的 Catapult® HLS 平台和 PowerPro® 解决方案是业界领先的 HLS 平台，可提供可靠的高质量结果。借助 Catapult，设计人员可以利用行业标准 ANSI C++ 和 SystemC 来描述功能意图，并将其提高到生产率更高的抽象层次。Catapult 平台提供了高层次综合与以下功能的强大组合：可测量、探索、分析和优化 RTL 功耗的 PowerPro，以及用于无缝验证 C++ 和 RTL 的验证基础架构（图 4）。

自动驾驶 ASIC 示例

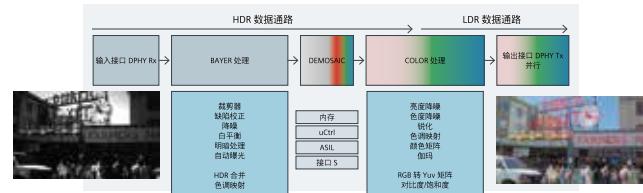


图6：适用于汽车应用的复杂、高质量图像信号处理

自动驾驶汽车的主要半导体供应商已经成功利用 Catapult 实现了算法密集型设计。接下来会简要介绍一些成功案例以帮助读者进行了解。

Bosch 意识到，要保持自己在汽车领域的领先地位，必须逐步转向自动驾驶解决方案。BOSCH Visiontec 团队负责开发最先进的 IP 和 IC，其中包含可实现识别汽车摄像头所拍摄图像的算法的高性能处理器。他们需要在不到一年的时间内实现三种图像处理设计，因此事关重大。让团队手动编写 RTL 代码，并在这一不断变化的环境中验证这些设计根本不切实际。因此，他们决定升级到 C++ 层次，并采用 Catapult 流程。

尽管技术规范在设计周期内不断演变，但通过采用包含功耗分析和优化功能的 HLS 流程，BOSCH Visiontec 团队仍得以在七个月内提前成功交付新设计。利用 Catapult 的微架构探索，通过持续改进并使用低功耗流程，该团队得以快速开发出更高质量的设计，并将总功耗降低 30%。由于该团队的成功，此流程将被用于未来的新设计以及针对新标准或工艺技术的更新设计。

Chips&Media 是为众多市场（包括汽车和自主传感器处理器模块）提供高性能视频 IP 的领先提供商。他们采用 HLS 设计流程来开发计算机视觉 IP，其中结合了深度学习和推理对象检测功能，可处理 4K 分辨率和 30fps 的输入视频。由于是第一次使用 HLS 方法，他们决定使用两条路线并行开发 IP。一个团队采用传统方法，使用手工编码的 Verilog 开发 IP；另一个团队从 C 开始并使用 HLS 将代码综合到 Verilog 中。然后，他们比较各个流程的结果。

RTL 编码花费了五个月时间，而学习 HLS 流程和 Catapult、编写 C 代码、综合为 RTL、验证并将 IP 集成到 FPGA 板中以成功演示视频 IP 产品，只用了两个半月的时间。HLS 团队

轻松探索了许多架构，这在传统 RTL 流程中是很难实现的。

STMicroelectronics 的成像部门将 Catapult HLS 用于一系列信号处理应用，包括汽车传感器（图 6）。HLS 的主要优点之一是无需额外工程资源即可提高 IP 价值。由于使用 SystemC 工作更容易，该团队得以高效地添加新功能，并探索不同的体系架构以实现最优的性能、功耗和面积。

验证时间和工作量也减少。他们能在数小时内运行成千上万的测试，而使用 RTL 则需要数周时间。验证团队发现，自动功能时钟门控节省了大量的重新编码和调试工作，并将功耗降低了 10%。另外，对于这些复杂的设计，生成的 RTL 的结果质量非常出色。由于使用 HLS，该团队在两年内创建了 50 多种图像信号处理设计，规模从 1 万门电路到 200 万门电路不等。

结语

自动驾驶设计人员正在利用已针对神经计算和计算机视觉进行优化的新芯片架构，以更胜以往的上市速度打造更优质的自动驾驶车辆解决方案。为了最有效地实现 ADAS 芯片，设计人员需要在更高的抽象层上工作，以提高设计和验证生产率。现有基于 RTL 的设计方法无法扩展以满足这种需求，因为自动驾驶汽车的 SoC 设计过于复杂，无法通过手工编码 RTL 进行高效设计。此外，验证时间越来越长而无法控制，因此有必要尽早验证设计。对于自动驾驶系统，HLS 经证明能比 RTL 更快速、更高效地交付基于算法的高质量设计。

在所有支持自动化互联汽车的嵌套系统（例如，复杂的车载传感器和软件网络）以及这些车辆在城市里的最终部署中，都存在类似的设计和验证压力。现如今，大多数人都认同，随着这些汽车的上街行驶，它们将与其他交通节点混合在一起，而所有这些交通节点都会越来越多地作为服务进行消费，而不是由个人拥有并停放在车道上。芯片到城市的思维（以及越来越多的集成式数字孪生设计工具组合）正在帮助实现这一未来前景。

参考文献

Jim McGregor, “AV Simulation Extends to Silicon,” [<https://www.tiriasresearch.com/downloads/av-simulation-extends-to-silicon/>] TIRIASResearch, May 2019

Junko Yoshida, “Robocar SoCs: Designers’ Worst Nightmare | Siemens takes on challenges of AV/ADAS chip design and validation,” [https://www.eetimes.com/document.asp?doc_id=1334711] EE Times, May 17, 2019

“David Fritz and Jim McGregor on Chips For Autonomous Vehicles, [<http://www.autonocast.com/blog/2019/5/22/144-david-fritz-and-jim-mcgregor-on-chips-for-autonomous-vehicles>], The Autonocast podcast, Episode#144, May 22, 2019

芯片到城市理念在交通发展过程中的意义

当前，汽车公司及其供应商将焦点放在汽车的制造和销售上。



未来的汽车公司及其供应商将会把焦点扩展到移动出行服务、车队部署和管理，以满足消费者和城市的需求



这需要涵盖半导体到城市的技术解决方案，包括电气、互联和自动驾驶设计、仿真、制造以及车队管理。



要想成为未来移动出行的全球领导者，汽车公司及其供应商需要一个合作伙伴来提供这一独特范畴的芯片到城市解决方案。

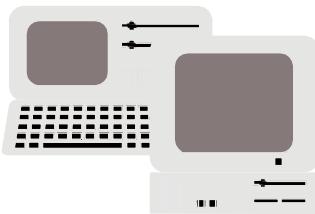


数据中心的演进： DDR5 DIMM 整体提高服务器性能

Rambus

简介

1981 年 IBM 个人电脑 (PC) 和 1984 年苹果 Macintosh 的出现，对更大容量、更快速度的随机存取存储器 (RAM) 起到了重要的推动作用。这些系统使计算机进入了数百万人的办公室和家庭。一个快速的良性循环随之而来：越来越复杂的应用需要更多的计算能力，而计算能力需要更大更快的内存，从而实现更复杂的应用。



几十年后，平板电脑和智能手机等消费类设备将现有内存技术的界限推向了极限，基于云计算和超大规模数据中心的兴起也是如此。

超大规模的数据中心。这些大规模的数据中心包含由数十万台服务器组成的机架，配备先进的多核和多线程 CPU，处理由智能手机、个人电脑、游戏机、物联网设备、支持高级驾驶辅助系统 (ADAS) 的车辆等产生和消费的泽字节 (1021 字节) 的数据。在这一环境中，

AI/ML 训练和推理等工作负载推动着数据洪流的指数级上升。

DDR5 标准旨在满足广泛使用情况下对高效内存性能日益增长的需求，如超大规模数据中心的高性能服务器。具体而言，DDR5 支持更高容量的 DRAM 器件，使服务器和系统设计者能够在单片封装中使用密度高达 64Gb 的 DRAM。DDR5 提供了许多显著的与其前身 DDR4 相比，有许多显著的改进。利用这些优势需要解决更高速度和更低电压的信号完整性设计挑战。在本白皮书中，我们将仔细研究 DDR 的历史、2021 年及以后的内存趋势，以及 DDR5 内存的优势和设计考虑。

第一部分：DDR DRAM 的历史

DDR1-DDR3

双倍数据速率 (DDR) 存储器的历史可以追溯到 20 世纪 80 年代末，当时 IBM 设计的 DRAM 采用了双边时钟功能。利用双沿时钟技术，时钟信号的前缘和后缘都可以用来发送一个比特。因此，数据速率将是时钟速率的两倍。

然而，直到 1997 年，三星才展示了它的第一个 DDR 内存原型，随

后在 1998 年 6 月首次推出了商用 64 兆 (Mb) DDR SDRAM 芯片。

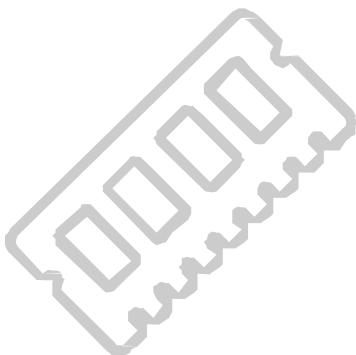
现代电子 (现在的 SK hynix) 在同年晚些时候推出了其 DDR SDRAM。

DDR(1) SDRAM 通过在每个时钟周期内传输两次数据，有效地实现了比其前代 SDRAM 速度提高 2 倍 (200 至 400 Mb/s)。此外，DDR1 的特点是内存中有多个库，可以单独寻址。这使得 DDR SDRAM 能够提供多个交错的内存访问，从而提高了有效带宽。

DDR2 SDRAM—与第一代 DDR 的前身相比，它提供了更高的时钟频率和加倍的吞吐量—于 2003 年首次亮相。然而，新的 DDR2 内存缓冲器无意中造成了延迟问题，是 DDR 的两倍，并且需要将总线速度提高一倍来缓解延迟。到 2004 年底，具有明显低延迟的新模块开始广泛使用。最终，DDR2 DRAM 的数据速率达到了 400 至 1066 Mb/s。

2007 年亮相的 DDR3 成功地保持了内部时钟速率，并通过加倍的预取深度支持更高的有

效传输速率（800 至 2133 Mb/s）。除了更快的数据速率外，DDR3 还降低了电源电压，减少了功耗，具有 8 个库和一个 8 位预取缓冲器，以及 4 个（活动）模式寄存器。此外，DDR3 芯片上市时的初始容量为 512Mb，最终实现了 8 千兆比特（Gb）的容量。

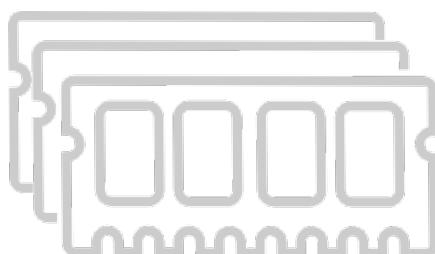


DDR4 和 DDR5

2014 年首次推出的 DDR4 规定设备容量最高为 16Gb。这使得双线内存模块（DIMMs）的容量高达 64GB，而 DDR3 的每个 DIMM 最大容量为 16GB。DDR4 的初始每针数据速率被规定为 1.6Gb/s

而最初的最大目标是 3.2Gb/s。正如 JEDEC 固态技术协会所指出的，DDR4 架构是一个 8n 预取，有两个或四个可选择的库组。这种设计允许 DDR4 内存设备支持单独的激活，以及在每个独特的库组中进行的读、写或刷新操作。这种架构提高了整体的内存效率和带宽，特别是在使用小的内存颗粒时。

DDR5 标准于 2020 年 7 月由 JEDEC 正式发布。DDR5 支持的带宽是其前身 DDR4 的两倍，预计将以 4.8Gb/s 的速度推出；比 DDR4 寿命终止时的最高速度 3.2Gb/s 高 50%。事实上，该标准提供了两倍的性能和更高的能效，以满足云和企业数据中心应用的密集计算要求。据 JEDEC 称，DDR5 旨在满足包括客户系统和高性能服务器在内的各种使用情况下对高效性能日益增长的需求。具体而言，DDR5 标准的架构是为了在更高速度下实现内存性能的扩展而不降低通道效率。



第二部分：2021 年及以后的内存趋势

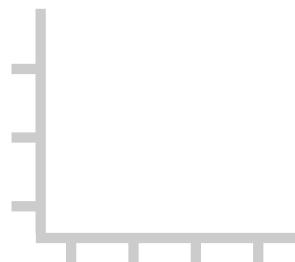
在各种大趋势的推动下，全球数据流量正在以几乎指数级的速度增长。例如，5G 网络正在使数十亿由人工智能驱动的物联网设备摆脱有线网络的束缚，而人工智能 /ML 对巨大数据集的贪婪欲望正以每年 10 倍的速度飞速增长。用于娱乐和商业应用的数据密集型视频流继续加速，随着游戏和电子竞技的普及，全球有近 10 亿玩家，对 4K 图形的需求不断增加。最后，不断发展的 ADAS 系统为复杂的自动驾驶车辆提供动力，增加了另一股数据洪流。

没有什么地方比数据中心更能感受到所有这些增长的影响。事实上，超大规模的数据中心已经成为全球数据网络的关键枢纽。使得数据中心成为“超大规模”的原因是它的架构允许可重复和快速部署计算能力，以满足客户的需求。

计算能力，以满足特定工作负载的需求。超大规模是更多商业应用和数据库从企业数据中心转移到云端的持续地震式转变的基础。截至 2020 年中期，全球共有 541 个超大规模数据中心，另有 176 个处于不同的发展阶段。这意味着自 2015 年以来，运营中的超大规模数据中心的数量翻了一番。

正如《EE Times》的 Anton Shilov 所指出的，DRAM 的发展通常遵循与 CPU 发展相似的方向。可以肯定的是，微处理器正在不断向更高的核心数量发展，提高每个核心的性能，并提高电源效率。所有这些因素都影响并最终决定了系统对系统内存的要求。可以肯定的是，先进的内核要求增加内存带宽，而同时不断发展的工作负载要求更高的 DRAM 容量和带宽。

DDR5 DRAM 有望通过同时向多个方向发展 DRAM 来满足下一代客户和服务器系统的要求。与其前身 DDR4 相比，DDR5 的每引脚数据传输率提高了一倍，内存设备的容量增加了 4 倍，降低了工作电压和功耗，并引入了几种方法来提高 DRAM 在更小工艺节点上的可靠性。下面将探讨 DDR5 相对于 DDR4 的这些优势以及更多的优势。



第3部分：DDR5与DDR4 DIMMs的比较

在本节中，我们将深入研究从 DDR4 到 DDR5 DIMMs 过渡过程中取得的最重要的六项规格进展，如下表 1 所强调。

Features	DDR4	DDR5	DDR5 Advantages
Speed	1.6 to 3.2 Gb/s rate 0.8 to 1.6 GHz clock rate	4.8 to 6.4 Gb/s data rate 1.6 to 3.2 GHz clock rate	Higher bandwidth DDR5-4800 initial designs
IO Voltage	1.2 V	1.1 V	Lower power
Power Management	On motherboard	On DIMM PMIC	Better power efficiency Better scalability
Channel Architecture	72-bit data channel (64 data + 8 ECC) 1 channel per DIMM	40-bit data channel (32 data + 8 ECC) 2 channels per DIMM	Higher memory efficiency Lower latency
Burst Length	BC4, BL8	BC8, BL16	Higher memory efficiency
Max. Die Density	16Gb	64Gb	Higher capacity DIMMs

Table 1. DDR5 advantages over DDR4 DIMMs

1. DDR5 可扩展至 6.4Gb/s

虽然 DDR4 DIMM 在 1.6 千兆赫兹 (GHz) 的时钟速率下最高速度为 3.2Gb/s，但最初的 DDR5 将提供 50% 的带宽，达到 4.8Gb/s。根据该标准，DDR5 内存最终将使 DDR4 DRAM 的数据速率翻倍，达到 6.4Gb/s。SK hynix 甚至宣布了将 DDR5 提升至 8.4Gb/s 的计划。新的功能，如决策反馈均衡 (DFE)，被纳入 DDR5 中，以实现更高的 I/O 速度。

2. 低电压意味着低功率

DDR5 降低了工作电压 (VDD)，从而降低了功率消耗。有了 DDR5，DRAM 和缓冲器芯片的注册时钟驱动器 (RCD) 电压从 1.2V 降至 1.1V。

然而，系统设计者必须认识到，更低的 VDD 意味着更窄的抗噪范围。

3. 新的电源架构

随着 DDR5 DIMMs 的出现，电源管理从主板转移到 DIMM 本身。DDR5 DIMMs 在 DIMM 上有一个 12-V 的电源管理 IC (PMIC)，使系统电源负载的颗粒度得到改善。PMIC 分配 1.1 VDD 电源，通过更好地在 DIMM 上控制电源，帮助解决信号完整性和噪音问题。

4. DDR5 与 DDR4 通道架构的比较

DDR5 具有一个新的 DIMM 通道架构。DDR4 DIMM 有一个 72 位总线，由 64 个数据位和 8 个 ECC 位组成。有了 DDR5，每个 DIMM 将有两个通道。每个通道将是 40 位宽。32 个数据位和 8 个 ECC 位。虽然数据宽度是相同的（总共 64 位），但有两个较小的独立通道可以提高内存访问效率。

在 DDR5 DIMM 架构中，DIMM 的

左侧和右侧分别由一个独立的 40 位宽通道提供服务，共享 RCD。在 DDR4 中，RCD 每侧提供两个输出时钟。在 DDR5 中，RCD 每侧提供四个输出时钟。在具有 x4 DRAM 的最高密度 DIMM 中，这允许每组 5 个 DRAM（单等级，半通道）接收自己的独立时钟。给每个等级和半通道一个独立的时钟，可以提高信号的完整性，有助于解决降低 VDD（来自上述第 2 项变化）所带来的低噪声系数问题。

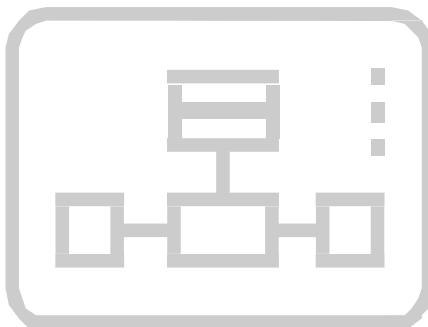
5. 更长的突发长度

DDR4 的突发斩波长度为 4，突发长度为 8。对于 DDR5，突发斩断和突发长度将被延长到 8 和 16，以增加突发有效载荷。突发长度为 16 (BL16)，允

许单个突发访问 64 字节的数据，这是典型的 CPU 高速缓存行大小。它可以只使用两个独立通道中的一个来完成这个任务。这在并发性方面有了很大的改善，而且有了两个通道，内存效率也更高了。

6.DDR5 支持更高容量的 DRAM

第六个也是最后一个需要强调的变化是 DDR5 对更高容量 DRAM 设备的支持。有了 DDR5 缓冲芯片 DIMM，服务器或系统设计者可以在一个单片封装中使用密度高达 64Gb 的 DRAMs。DDR4 在单片封装 (SDP) 中的最大容量为 16Gb DRAM。DDR5 支持片上 ECC、错误透明模式、封装后修复以及读写 CRC 模式等功能，以支持更高容量的 DRAM。更高容量设备的影响显然转化为更高容量的 DIMMs。因此，虽然 DDR4 DIMMs 的容量可以达到 64GB (使用 SDP)，但基于 SDP 的 DDR5 DIMMs 将其容量翻了四倍，达到 256GB。



第 4 部分：DDR5 设计考虑因素

尽管 DDR5 显然比其前身 DDR4 提供了显著的改进和优化，但新的内存标准引入了与更高速度和更低电压有关的多种设计考虑因素，引起了新一轮的信号完整性挑战。更具体地说，设计者将需要确保主板和 DIMM 能够处理更高的信号速度。在进行系统级模拟时，应检查所有 DRAM 位置的信号完整性。

对于 DDR4 设计来说，主要的信号完整性挑战集中在双数据速率的 DQ 总线上，而对低速的指令地址 (CA) 总线的关注较少。对于 DDR5 设计，即使是 CA 总线也需要特别注意信号的完整性。对于 DDR4，曾考虑使用差分反馈均衡 (DFE) 来改善 DQ 数据通道。然而，RCD 在 DDR5 芯片上的 CA 总线接收器也需要 DFE 选项来确保良好的信号接收。

主板上的电源传输网络 (PDN) 是另一个考虑因素，包括直到带有 PMIC 的 DIMM。鉴于更高的时钟和数据速率，设计者将希望确保 PDN 能够处理以更高速度运行的负载，并为 DIMM 提供最佳的信号完整性和清洁的电源。此外，从主板到 DIMM 的 DIMM 连接器必须能够处理新的时钟和数据速率。由于印刷电路板 (PCB) 周围的时钟速度和数据速率更高，必须更加重视系统设计的电磁干扰和兼容性 (EMI 和 EMC)。

利用 DIMMs 的 DDR5 的优势

幸运的是，DDR5 内存接口芯片大大提高了从主机内存控制器发送到 DIMMs 的命令和地址信号的完整性。每个通道的总线两条通道的总线进入 RCD，然后扇出到 DIMM 的两半。RCD 减少了主机内存控制器 “看到”的 CA 总线上的负载。简单地说，DDR5 数据缓冲器芯片有效地减少了数据总线上的负载，使 DIMM 上更高容量的 DRAM 不会降低延时。

结论

基于云计算和超大规模数据中心的兴起，将现有内存技术的界限推向了极限。这正是 DDR5 被设计用来满足高性能服务器需求的原因。

DDR5 提供了更高容量的 DRAM 设备，使服务器或系统设计师能够利用高达 64Gb 的 DRAM 密度，在基于 DDR5 SDP 的 DIMM 中达到 256GB 的容量。有了 DDR5，数据速率上升到 6.4Gb/s，甚至有可能上升到 8.4Gb/s，以提供对内存的高带宽访问。

虽然 DDR5 比其前身 DDR4 有显著的改进，但更高的速度和更低的电压带来了一系列新的信号完整性设计挑战需要解决。幸运的是，Rambus 公司的 DDR5 内存接口芯片大大改善了信号完整性，简化了 DIMM 设计，这将推动下一代服务器的性能。

SoC集成 – 可预测、可重复、可扩展

Bernard Murphy Arteris IP



从表面上看，片上系统（SoC）集成似乎没有那么难。你将收集并配置所需的所有知识产权（ip），然后将它们拼接在一起。也许你可以委托给大学新员工？但事情没那么简单。使 SoC 集成具有挑战性的是，包括 ip 和连接在内的许多部分。有些是移动的部件，随着 bug 的修复而改变。有些，比如互连，只有在集成时才能完全定义。

这些部分之间有很多相互依存的关系。做一个小的改变，比如导入 IP 的新版本或适应规格调整，结果可能会波及到你的集成。也许在设计的初期，这并不是什么大问题。但当你最终与数百个 ip 和数以万个连接后，这是一件非常重要的事情。然后你必须再做一些改变。肯定有更好的办法吗？

合并设计数据集成和 NoC 集成

现在可以编写许多设计数据汇编的脚本，配置 IP 模型并将它们组合到顶级网表中。专家将互连定义为一个独立的步骤，以管理具有服务质量（QoS）目标的连通性期望。在关键产品计划的核心部分，总有一种出人意料的手工操作，高度依赖于人的方法来组装皇冠上的珠宝。经验丰富的工程师和经过验证的脚本基础使其可以正常工作，但在创建新产品系列或关键团队成员离开时，看起来可能非常脆弱。

更好的方法是将经过验证的，强大的 IP-XACT 设计数据集成策略与经过验证的通过片上网络（NoC）技术生成互连的方法相结合。

通过 IP-XACT 设计数据配置

IP-XACT 的使用现在已经很成熟并且非常活跃。无论来自 Arm、Synopsys、Cadence 或任何其他供应商，团队都可以在 IP-XACT 模型中获得一致的 IP 表示。

一些设计师仍然将这些模型视为他们需要的信息（如注册数据）的被动存储。但是，在将这些模型直接用于基于 IP-XACT 的集成中时，它们正处于发展趋势的前沿。IP-XACT 组件最初从汽车和消费类半导体商店开始，现在正扩展到大型系统公司，通信巨头，医疗仪器专家等。他们仍然可以灵活地在需要的地方手动调整，但只是在需要的地方。我们曾经的手工组装或编写顶级网络列表的自豪感，正在被系统级需求的紧迫性所取代。

自然，这简化了与 NoC 生成的连接。当每个 IP-XACT 模型都已经配置了互连接口时，NoC 生成可以无缝地获取这些接口。设计师优化了 QoS、电源、布局和其他关键性能指标（KPI），确信 IP 接口是正确的。如果一个新的 IP 丢弃进来，NoC 可以被重新配置，以适应那些接口变化，从而减少人为错误的机会。

界面接口的生成

每个 IP-XACT 模型都有详细的寄存器映射信息：基于零的寄存器偏移、位域宽度、描述、访问类型等。互连设计器在构建 NoC 时为每个 IP 连接定义内存映射偏移。这种组合一起实现了完整的（硬件）内存映射。软件创建或运行检查，以确保没有重叠，并且每个位确实可以与定义的其他选项一起读取或写入。您可以在模拟或正式验证中运行这些检查。

集成商可以使用每个寄存器、位域、访问宏和可能的序列宏的符号名自动生成一套完整的软件头文件。无论通过 IP 还是 NoC 更新，每当基础设计发生变化时，文件都会自动更新。软件团队可以继续他们的开发和调试，相信头文件将准确地针对最新的设计更新。再一次，减少人为错误的机会。

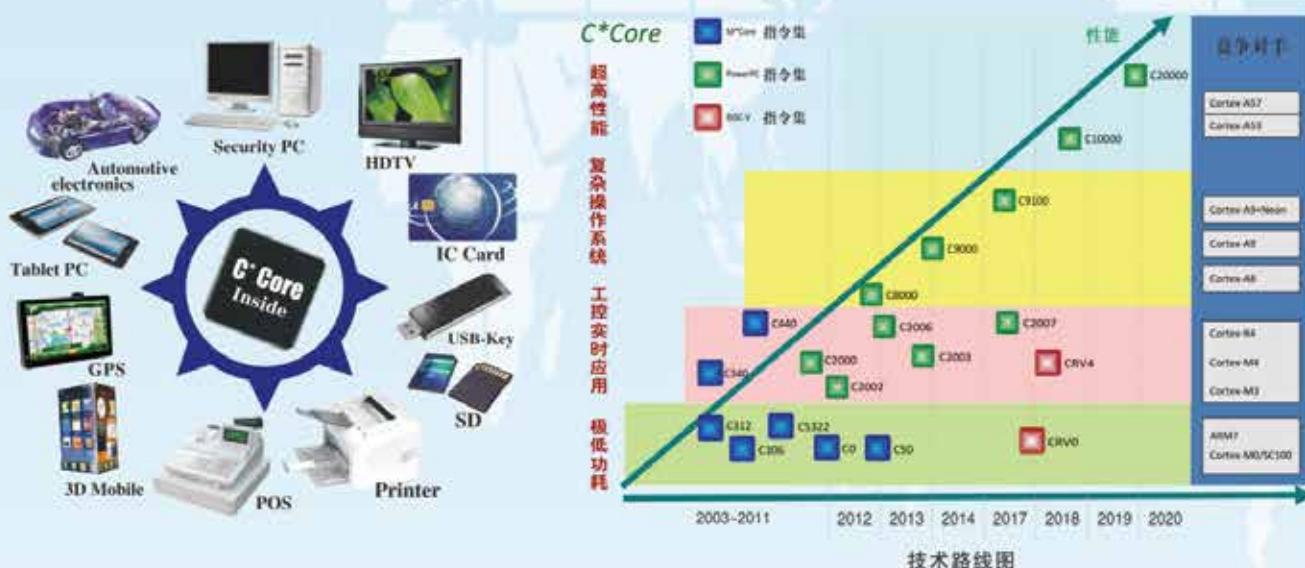
文件和可追溯性

有一种用于产品构建的企业组件在设计流程中没有得到太多关注。在过去的好时光里，在过去的好日子里，技术酒吧会从一个基本上冻结的规范开始，根据这个规范，他们会为内部或客户需求构建产品文档。再做几份工程审查，他们就能签下这份文件了。现在，规格和实现决策在更大的设计中以更快的周期推进，错误也更容易发生。审查对于自由格式的文本仍然是必要的，但是您可以从设计中派生出时钟、重置、内存映射等表。为了确保文档始终与设计同步，这对于自动化到文档中来说是公平的。XML 标准使到设计定义的连接更加简单。

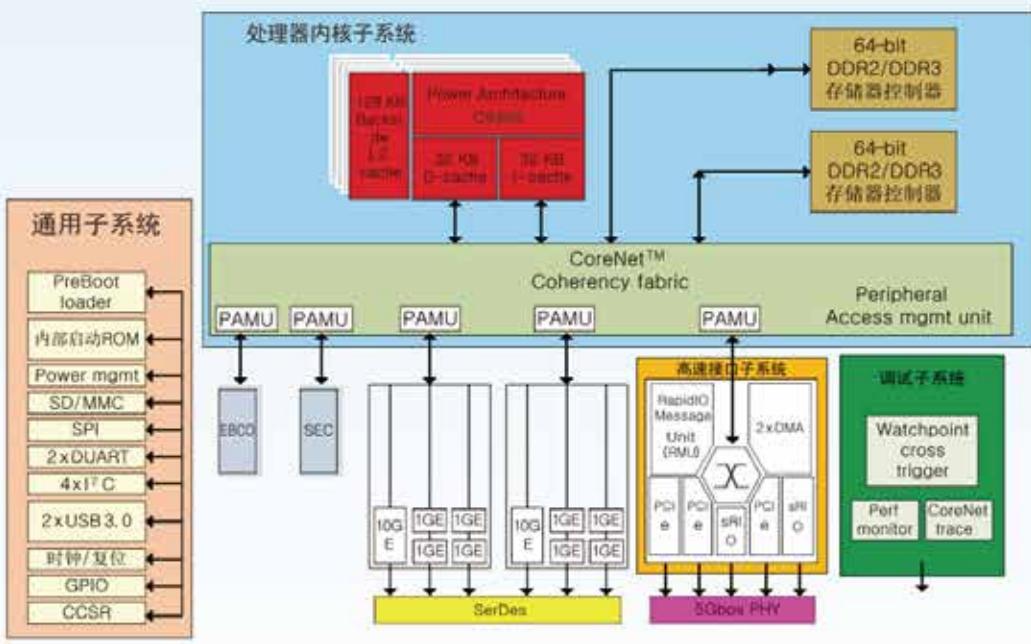
企业的另一个需求是生成可追溯性文档，这对于任何安全关键设计都是必不可少的。这是必要的，在汽车，航空航天和国防，工业或医疗领域。可追溯性是另一个历史上需要大量手动创建和检查的领域。更多的自动化可以简化这些任务，至少接近设计。这是一个具有令人兴奋的可能性的新兴领域。

公司简介

苏州国芯科技股份有限公司是领先的国产化CPU IP和IC设计服务供应商，公司引进IBM PowerPC系列CPU及指令集架构授权和飞思卡尔（原摩托罗拉）先进水平的低功耗、高性能32位RISC嵌入式CPU技术及其SoC设计方法；以高起点建立苏州国芯自主产权的完全兼容PowerPC架构及M*Core架构的系列C*Core CPU。



高性能SoC设计平台CSOCH2040，基于苏州国芯自主知识产权的C*Core 32位高性能信息安全处理器C9100MC，支持ISA V2.05指令集架构 (Power Instruction Set Architecture)，兼容NXP E500MC核。



高性能SOC设计平台CSOCH2040



IP 技术与市场同步变革

IBS, 驭势资本

半导体IP市场未来年均复合增长率为9.13%

随着超大规模集成电路设计、制造技术的发展，集成电路设计步入SoC时代，设计变得日益复杂。为了加快产品上市时间，以IP复用、软硬件协同设计和超深亚微米/纳米级设计为技术支撑的SoC已成为当今超大规模集成电路的主流方向，当前国际上绝大部分SoC都是基于多种不同IP组合进行设计的，IP在集成电路设计与开发工作中已是不可或缺的要素。

与此同时，随着先进制程的演进，线宽的缩小使得芯片中晶体管数量大幅提升，使得单颗芯片中可集成的IP数量也大幅增加。根据IBS报告，以28nm工艺节点为例，单颗芯片中已可集成的IP数量为87个。当工艺节点演进至7nm时，可集成的IP数量达到178个。单颗芯片可集成IP数量增多为更多IP在SoC中实现可复用提供新的空间，从而推动半导体IP市场进一步发展。

目前，IP行业规模虽然并不大，但其居于产业链上游，对全产业链创新具有重要作用，能够带动大量下游行业发展。根据ESD Alliance、IPnest等组织的数据，2019年EDA与IP行业规模合计108亿美元，而其下游包括嵌入式软件、半导体代工、电子系统等

产业，规模在万亿美元级别。

IBS数据显示，半导体IP市场将从2018年的46亿美元增长至2027年的101亿美元，年均复合增长率为9.13%。其中处理器IP市场预计在2027年达到62.55亿美元，2018年为26.20亿美元，年均复合增长率为10.15%；数模混合IP市场预计在2027年达到13.32亿美元，2018年为7.25亿美元，年均复合增长率为6.99%；射频IP市场预计在2027年达到11.24亿美元，2018年为5.42亿美元，年均复合增长率为8.44%。

按照2018全球IP行业市场规模与芯片设计行业规模的比例来看，IP在芯片设计整体营收中占比4.04%。未来随着IP使用量的提高，该比例可能有所提高。

未来发展方面，目前，半导体产业已进入继个人电脑和智能手机后的下一个发展周期，其最主要的变革力量源自于物联网、云计算、人工智能、大数据和5G通信等新应用的兴起。根据IBS报告，这些应用驱动着半导体市场将在2030年达到10,527.20亿美元，而2019年为4,008.81亿美元，年均复合增长率为9.17%。就具体终端应用而言，无线通信为最大市场，其中智能手机是关键产品；而包括电视、视听设备和虚

拟家庭助理在内的消费类应用，为智能家居物联网提供了主要发展机会；此外，汽车电子市场持续增长，并以自动驾驶、下一代信息娱乐系统为主要发展方向。

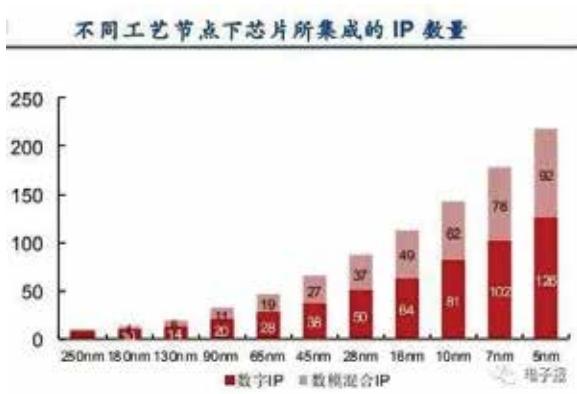
规划方面，根据IBS统计，全球规划中的芯片设计项目涵盖有从250nm及以上到5nm及以下的各个工艺节点，因此晶圆厂的各产线都仍存在一定的市场需求，使得相关设计资源如半导体IP可复用性持续存在。28nm以上的成熟工艺占据设计项目的主要份额，含28nm在内的更先进工艺节点占比虽小但呈现出了稳步增长的态势。

中国IP市场：超额完成“十三五”规划目标，自给率稳步提升

中国拥有全球最大的电子产品生产及消费市场，因此对集成电路产生了巨大的需求。当前国内集成电路生态环境不断改善，“十三五”期间，工信部先后在深圳、南京、上海、北京、杭州、无锡、合肥、厦门、西安和成都等10个城市批准建立了10家芯火创新基地。目前，已有深圳芯火创新基地通过工信部的验收。研发水平也在持续提升。根据最新消息，在2021年召开的ISSCC会议上，中国，包括香港澳门的录用论文超越日本及中国台湾，中国大陆的论文数量达到



来源：IBS、驭势资本



来源：IBS、驭势资本



来源：IBS、驭势资本

21篇，比2020年增长40%。虽然与全球排名第一的美国相比，在论文总数、产业界投稿比例和实际录用比例等当面仍存在比较大的差距，但与过去相比有了重大进步。不过挑战依然严峻，比如产业长期可持续发展的根基不牢，2020年设计业取得的耀眼成绩的背后有其特殊性，研发投入严重不足，人才短缺严重的。

2020年我国集成电路设计行业实现了3819.4亿元（预计）的销售，已经超额完成了规划纲要为我们确定的发展目标，中国集成电路设计业取得了令世人瞩目的重大进步，到2035年，要实现将中国初步建成社会主义现代化强国的目标，集成电路产业担负着伟大而艰巨的任务，尤其是芯片设计业，是集成电路产业研发的主力军，责任更是重大。

虽然我国的集成电路设计产业发展起点较低，但依靠着巨大的市场需求和良好的产业政策环境等有利因素，已成为全球集成电路设计产业的新生力量。从产业规模来看，我国大陆集成电路设计行业销售规模从2013年的809亿元增长至2018年的2,519亿元，年均复合增长率约为25.50%。从全球地域分布分析，集成电路设计市场供应集中度非常高。根据IC Insights的报告显



来源：IBS、驭势资本

示，2018年美国集成电路设计产业销售额占全球集成电路设计业的68%，排名全球第一；中国台湾、中国大陆的集成电路设计企业的销售额占比分别为16%和13%，分列二、三位。与2010年时中国大陆本土的芯片设计公司的销售额仅占全球的5%的情况相比，中国大陆的集成电路设计产业已取得较大进步，并正在逐步发展壮大。

从产业链分工角度分析，随着集成电路产业的不断发展，芯片设计、制造和封测三个产业链中游环节的结构也在不断变化。2015年以前，芯片封测环节一直是产业链中规模占比最高的子行业，从2016年起，我国集成电路芯片设计环节规模占比超过芯片封测环节，成为三大环节中占比最高的子行业。

随着中国芯片制造及相关产业的快速发展，本土产业链逐步完善，为中国的初创芯片设计公司提供了国内晶圆制造支持，加上产业资金和政策的支持，以及人才的回流，中国的芯片设计公司数量快速增加。ICCAD公布的数据显示，2020年我国芯片设计企业共计2218家，比去年的1780家增加了438家，数量增长了24.6%。2020年全行业销售预计为3819.4亿元，比去年的3084.9亿元增加了23.8%，增速比上年的19.7%提升了4.1个百分点。按照美元与人民币1:6.8的兑换率，全年销售约为561.7亿美元，预计在全球集成电路产品销售收入中的占比将接近13%。综合各方面来看，中国IP行业发展速度与成长空间都比较好。此外结合芯片设计行业IP运用量越来越大的情况，中国半导体IP行业成长空间更加广阔。



来源：IBS、驭势资本



来源：IBS、驭势资本

AIoT时代下，IP的应用范围不断扩张

一个新的行业共识是：AIoT将成为未来二十年全球最重要的科技，并成为工业机器人、无人机、无人驾驶、智能陪伴、智慧建筑及智慧城市等新兴产业的重要基础。在新基建的战略背景下，中国的5G、云计算和AIoT等领域发展迅速，中国客户对AI应用的需求也非常迫切。市场研究机构IoT Analytics发布的物联网跟踪报告显示，过去10年全球所有设备连接数年复合增长率达到10%，这一增速主要由物联网设备贡献，到2020年全球物联网的连接数首次超过非物联网连接数，物联网发展达到了一个新的历史时刻。

从监测数据来看，2010年物联网连接数为8亿，而当时非物联网设备为80亿。但此后10年，物联网连接数高速增长，而非物联网连接数仅有微小的增长，到2020年物联网连接数达到117亿，而非物联网连接数保持在100亿左右，这是物联网连接数首次超越非物联网连接数。预计到2025年，物联网连接数将增长到309亿，而非物联网连接数仅有103亿，几乎原地踏步。进入AI+IoT结合的AIoT时代，受数据中心驱动，市场空间持续打开。另外具备开源生态的指令集RISC-V，因具备自由开放、成本低、功耗低等方面的优势，成为IP行业全新际遇，或将重塑行业格局。

IP技术与市场同步变革

1. 低功耗IP撬动物联网万亿市场

芯片作为物联网基础层的核心，是抢占物联网时代的战略制高点。未来，物联网芯片也将超过PC、手机领域，成为最大的芯片市场。然而，随着联网设备的迅速增加，目前被广泛使用的无线连接技术已经不能满足物联网的需求。具备低功耗、长距离、大量连结、低成本特点的低功耗IP应运而生。随着物联网规模化商用元年

的到来，哪个技术标准可以占领低功耗IP制高点，抢滩万亿级物联网市场也成为行业内关注的重点。国内的低功耗模拟IP经过数年发展，沉淀出一批代表性企业，例如成都锐成芯微，其模拟IP产品结合了独有的超低功耗技术，可为SoC设计提供完整的低功耗IP平台化解决方案。方案包括超低功耗LDO，低功耗DCDC，低功耗RC OSC，低漏电I/O，ADC/DAC，Audio CODEC以及各类传感器IP。电源和时钟类IP的功耗都低至几十nA，可实现SoC低功耗模式下待机功耗低至350nA。广泛应用于IoT，MCU和其他对功耗敏感的应用产品。

2. 非易失性嵌入式存储器IP推动智能化时代加速到来

2019年，全球嵌入式非易失性存储器市场规模为3.299亿美元。市场增长的原因是，基于IoT的设备和服务在发展中国家的渗透率不断提高。对无处不在的连接的需求使得必须快速部署具有安全通信能力的廉价，低功耗产品。因此，估计基于物联网的设备和服务的激增将在预测期内极大地刺激需求。嵌入式非易失性存储器是用于满足各种嵌入式系统应用程序的小型芯片。它主要用于智能卡，SIM卡，微控制器，PMIC和显示驱动器IC，用于数据加密，编程，修整，标识，编码和冗余。制造商专注于为基于IoT的设备中使用的MCU提供安全的eNVM。与eNVM关联的高效率和紧凑设计有望替代相对笨重的传统独立非易失性存储器。它是基于物联网的微控制器设备的关键组件之一。使用低功耗和低成本的嵌入式非易失性存储器可以显著降低消费类电子产品的成本，预计在未来几年中，这也将满足产品需求。

3. 从物联到智联，蓝牙IP大有可为

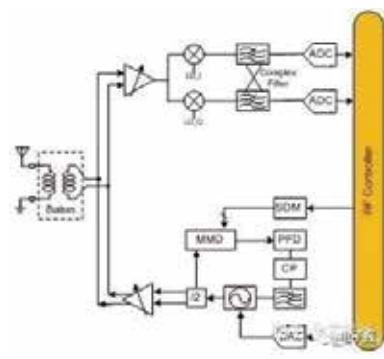
随着物联网万物互联时代开启，物联网设备对低功耗连接技术的需求呈现井喷式增长，2019年全球蓝牙设备出货量就将超过40亿台。由于蓝牙

已经被整合到几乎所有的智能手机中，相对有优势可允许开发人员在各种应用程序之间构建物联网系统，并以最有效的方式在一个足够灵活的平台上构建物联网系统，以满足各种操作限制。市场对低功耗蓝牙芯片需求量大涨，相关的蓝牙器件IP也随着需求进入新一轮的革新升级，高性能、低功耗、满足市场化需求成为蓝牙IP的首要标准。以成都锐成芯微提供AIoT所需的无线连接方案为例，其开发出建立在成熟55纳米技术平台上的BLE IP，可应用于可穿戴产品、超低功耗人机对接设备、以及医疗健康、运动健身、安防、家庭娱乐等多种产品应用。

ACTT的低功耗蓝牙IP是一个高集成度、低功耗的完整的PHY IP，符合蓝牙低功耗规范，满足蓝牙5.0标准，使得此IP成为传感器网络、可穿戴设备及人机接口设备等应用的理想选择。为了加速客户的产品上市时间，ACTT可通过多种灵活授权与支持模式提供包含蓝牙软件、媒体访问控制(MAC)层、基带、模拟以及射频前端的完整BLE系统解决方案。与其他方案相比，此款IP的RF部分面积更小，同时功耗更低，且已经通过大批量量产检验。

4. 高速接口IP，通往智能化未来的主航道

随着工艺进步，集成电路的性能继续沿着摩尔定律划定的轨迹前进，与此同时，芯片设计复杂度增长的速度远比工艺和性能提高的速度快，因此，以IP核重用为标志的SoC设计方



ACTT BLE 蓝牙 RFIP 架构框图

法在近些年取得了蓬勃发展，用于手机、数字电视、消费电子等大批量市场的集成电路基本上都是SoC芯片的天下。接口是SoC的基本功能之一，是实现SoC中嵌入式CPU访问外设或与外部设备进行通信、传输数据的必备功能。通过对11600个IP核的统计发现，接口类IP核的数量为1234个，占总数的11%，是紧随模拟和混合信号、物理库、存储器之后，数量第4多的IP核。

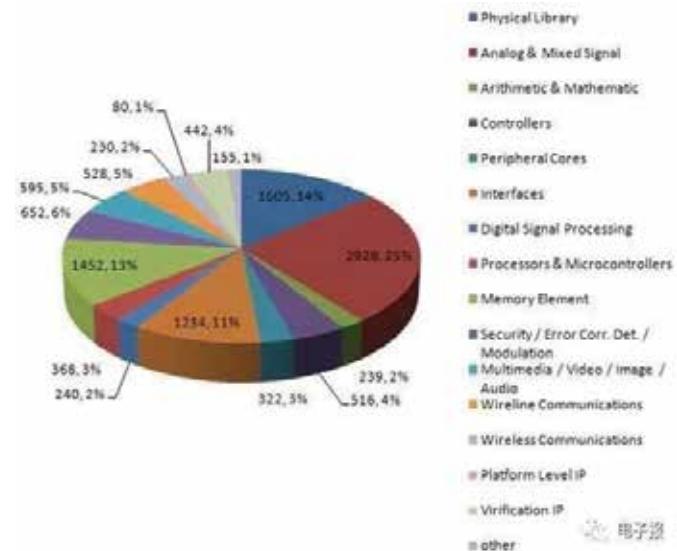
在需求方面，根据CSIP的IP需求调查，IP交易领域主要集中在三个方面，一是开发难度较大和应用复杂的高端CPU和DSP；二是标准的接口IP（例如USB接口、PCI Express等）；三是模拟IP（如PLL，ADC等）。这三类IP需求占到总需求的一半多。而其他的交易类型如标准的内存模块，以及一些面向特殊应用的IP，则占据国内需求的三分之一，参见右图。

由于PC的广泛使用，以及消费类电子产品的普及，USB已经成为最常用的串行接口，数据传输速率从1.0版的1.5Mbps，到1.1版的12Mbps，再到2.0版的480Mbps，USB 3.0的数据速率已经达到惊人的5Gbps，事实上目前还没有那个外设在实际使用当中能达到这样高的速度。USB 3.0还挤压了其他总线的市场空间，如IEEE 1394的数据速率也达到3.2Gbps，在以往的数码摄像机中被广泛采用，在一些移动存储设备中也有采用。不过，新推出的设备已经基本不再采用IEEE 1394接口了。如新的数码摄像机普遍采用光盘或硬盘做为存储介质，用USB接口传输视频文件。标准的不断升级推动着IP核的不断升级，下图是USB IP核按标准分布的情况，包括PHY和控制器。

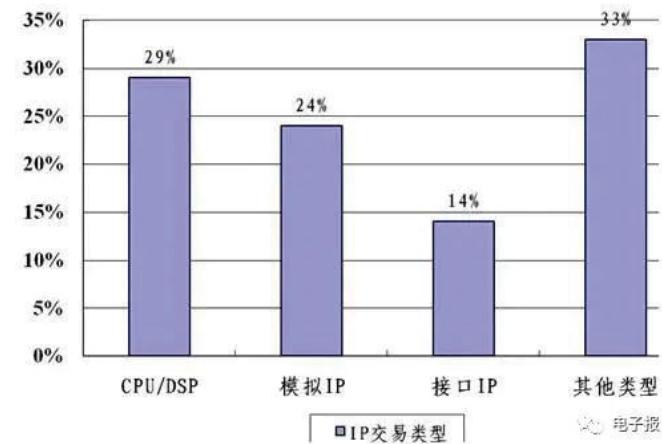
新标准和新版本的不断出现，推动着接口IP核的丰富和发展。伴随工艺的进步，PHY等模拟类IP核的开发难度越来越大，SoC设计企业越来越依赖于成熟的高质量IP核。目前，在对国内SoC设计项目的调查中发现，一些高速接口IP核还依赖于国外企业，而且这些IP核的供应商较少，国内企业的选择面较窄，IP核的价格也十分昂贵。国内IP核企业在这方面大有可为，应该利用国内研发成本较低的优势，开发出替代国外IP核的产品，前提是充分保证IP核的质量和稳定性。

IP行业：进入以数据为中心推动的时代

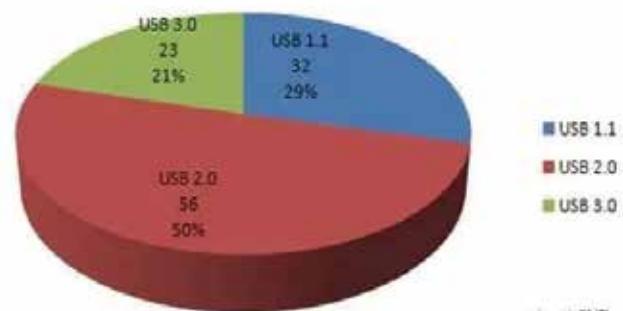
IP产业的发展主要分为两个阶段，一个是20世纪80年代中后期至2010年前后，PC兴盛、移动终端逐步发展；另一个阶段则是2010年开始的、以智能终端数据化为驱动力的高速发展阶段。纵观IP产业发展，我们从市场需求和供给两个角度



IP核的总体分布，来源：国家IP核库、电子创新网



国内SoC设计对IP核的需求，来源：国家IP核库、电子创新网



USB IP核的版本分布，来源：国家IP核库、电子创新网

研判，未来IP行业将在5G+物联网对芯片用量和品类需求的持续增长+IP供应商研发实力持续增强的驱动下，产业链进一步专业化，迎来以数据为中心的第三次腾飞。

*文章转载自《电子报》。

汽车芯片紧缺， 如何提升车规级芯片的设计速度？

程文智

以前大众很少关注的“汽车芯片”，随着汽车厂商缺芯减产的新闻进入了大众视野。汽车芯片短缺问题自去年底爆发以来，在全球范围内影响了大部分主流汽车制造商。市场调研机构 IHS Markit 发布的一份白皮书显示，在没有考虑德克萨斯州停电和日本地震的情况下，芯片短缺会导致 2021 年一季度全球减产 100 万辆汽车，短缺现象将持续到三季度。

汽车芯片短缺的原因，在于需求增加、疫情影响、意外事件影响等。而要解决短缺的问题，我们首先需要弄清楚汽车芯片与消费类芯片有的不同之处，并寻找加快芯片设计的突围之策。

汽车芯片的特殊性

汽车级芯片的设计与消费级芯片是有很大区别的，设计一款车规级芯片需要有需求管理、安全关键设计、功能故障仿真、审查和报告，以及第三方评估的安全认证。

这里面最重要的两个关键点是安全性和可靠性。其中安全性包括系统安全和功能安全，在系统安全方面，各类安全算法 IP 是必须的；功能安全方面，独立的安全管理处理器同样必不可少。

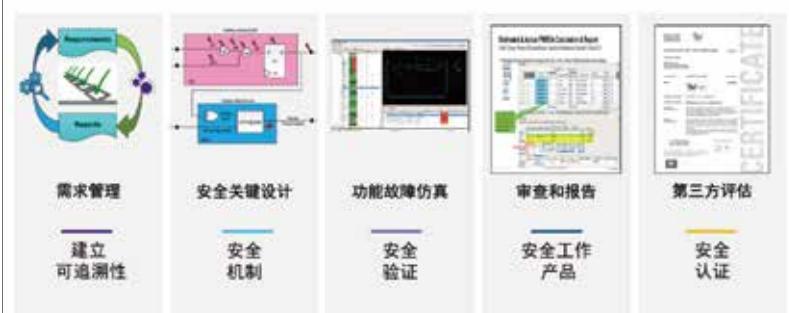
根据新版 IOS 26262-2018 标准的定义，功能安全是指不存在由于

电气和电子系统故障行为引起的危险而造成的不合理风险。包括 IP 在内的所有汽车产品必须满足该新标准所定义的功能安全要求。

由于汽车级产品的功能安全要求，设计者在设计之初就必须考虑，在产品设计制造，或者运行的过程中，是否存在系统性故障？如果产品在运行的过程中遇到随机硬件故障，比如电压尖峰、宇宙辐射等，该怎么办？产品能自己应付吗，可能会导致事故吗？

当然，除了需要考虑这些问题之外，更加重要的是，需要考虑如何预防，

汽车SoC的设计挑战



图：汽车 SoC 的设计挑战。（来源：Synopsys）

减少汽车产品问题的方法



图：减少汽车产品问题的方法。（来源：Synopsys）

或者减少这些情况的发生，或者发生时尽可能地防止严重事故产生。这里分为：一是产品在开发与制造过程中的问题，这个一般可以通过仿真和验证来发现和消除错误；还有一个是产品运行过程中发生的故障，这个又分为系统性故障和随机故障，系统性故障可以通过应用过程或设计措施来防止确定性原因，随机故障则需要采取故障注入测试等措施来提前发现和预防。

在新思科技接口 IP 产品的工程师团队看来，汽车级的产品的可靠性需求更贴近于硬化 IP，其中有两个重要的部分，一是 PPM 指标，二是温度任务概述定义。

从上图的 PPM 曲线可以看出，与消费级产品相比，汽车级产品通常有更长的寿命要求，一般是 15 到 20 年，PPM 曲线要求更低，一般是在低于 1，甚至为零。

因为哪怕是一个小小的汽车级半导体发生故障，就有可能引起交通事故、导致人员伤亡。因此，必须保证“零不良率”。无论是生产 100 万个产品，还是生产 1000 万个产品，都要保证 100% 良率。

当然，这个要求是可以理解的，但是却是无法实现的，因为无法使批量生产的工业产品达到 100% 良率。为了实现这个良率，一般在生产汽车级芯片时，对半导体工厂实行“产线认定”。认定时间一般需要半年到一年。而且，一旦该产线被认定为生产汽车级产品之后，原则上是不可以更改生产设备和制程条件的。

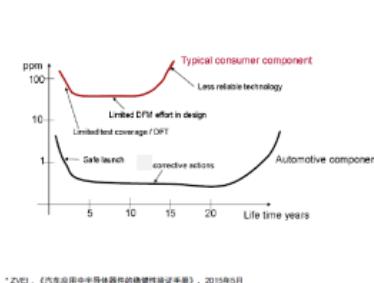
对于温度任务概述的定义，一般情况下，汽车级产品需要在 -40°C ~150°C 范围内都能正常工作，而消费级产品只需要能在 0°C ~125°C 范围内正常工作就可以了。

美国汽车电子协会制定出了 AEC-Q100 标准来衡量汽车级产品的可靠性等级。所有的汽车级电子产品都要通过这一衡量标准。该标准

以汽车级可靠性为目标设计IP

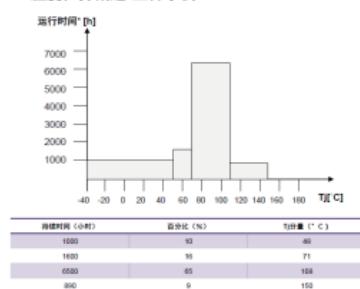
Synopsys根据多个汽车项目定义了内部参考温度概述

针对低PPM的汽车级可靠性与消费级的对比



*ZVEI，《汽车应用中半导体器件的健壮性验证手册》，2015年6月

温度任务概述*业界示例

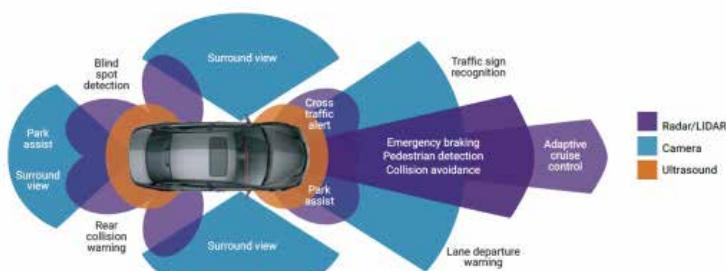


图：以汽车级产品与消费级产品的可靠性对比。

包括故障仿真和故障分级、加速环境压力测试、加速寿命仿真测试、可靠性测试（比如电迁移）、以及电气验证测试（例如 ESD、闩锁）等。

如何加快汽车级芯片设计速度

如今，人们对汽车的需求并不仅仅只是代步，也有了舒适性、娱乐性，以及自动化方面的要求。而随着人们对这些需求越来越高，汽车上原有的汽车架构也需要变化，来满足这些需求。因此汽车级芯片也随着这些需求的增长，变得越来越庞大和复杂。



图：汽车 ADAS 应用。（来源：Synopsys）

比如 ADAS 需要使用到的 SoC 芯片，会需要用到通用多核高性能处理器、高带宽传输的 LPDDR5/4 等；在视觉处理子系统中，由于需要处理雷达、摄像头等多类传感器收集的数据，就需要利用 MIPI 接口来传输数据、DSP 来处理数据，也需要用到 AI 加速器来识别数据，以完成汽车对外界的感知；经过处理器处理后的信息需要在 GPU 的支持下，通过 DP、eDP、甚至 HDMI、MIPI DSI 等接口输出到各类型的屏幕上，供驾驶员查看。

Automotive SoC Architectures



图：汽车 ADAS 应用。（来源：Synopsys）

此外，由于 ADAS 需要快速处理海量信息，并及时完成相应，对 SoC 性能要求非常高，因此在芯片制程上，ADAS 走在最前沿，目前在由 14nm 向 7nm 演进，激进的厂商已经率先使用了 5nm 制程，甚至更加先进的制程。

车载娱乐用的 SoC 芯片紧随其后，开始从 28nm 向 16nm 演进，甚至目前已经开始出现 7nm 制程的需求了。

网关用 SoC 相对而言对性能要求没有那么高，目前正稳步推进从 28nm 向 16nm 推进。

汽车级芯片产品的要求和复杂性都在不断上升，那么芯片厂商如何能够快速地打造一款满足市场需求的产品呢？答案当然是有！

为了减少组装和将 IP 集成到 SoC 中的总体工作量和成本，新思科技推出了符合 ISO 9001 质量和 ISO 26262 功能安全流程的 DesignWare IP 子系统，能帮助客户打造符合市场要求，和满足 ASIL 安全标准 SoC 产品，加快产品上市速度。

新思科技的这些子系统由预先验证且全集成的解决方案组成，可利用新思科技的汽车 IP 以及面向特定 SoC 应用的工具。

面向汽车应用的DesignWare IP组合



图：新思科技面向汽车应用的 DesignWare IP 组合。

此外，DesignWare IP 子系统还提供额外的功能和价值，而不仅仅是简单地集成 PHY 和控制器，例如在 PHY 和控制器之间提供通用寄存器接口以及调试逻辑等。接口 IP 子系统中包括面向汽车的关键协议，如 DDR、PCIe、USB、MIPI 和以太网，以及多协议子系统等。

ASIL Ready DesignWare IP加速实现ISO 26262标准*

DesignWare IP	ASIL功能安全级别	温度等级
ARC EM22FS处理器 ARC HSA4xFS处理器 ARC EV7xFS处理器 带安全增强包的ARC EV6xARC ARC开发套件 安全工具包	ASIL B & ASIL D	
嵌入式存储器 SMS SHS EEPROM和Trim-NVM	ASIL D	1 & 2 级
Ethernet QoS Ethernet XGMAC Ethernet XPCS	ASIL D	
PCI Express 2.1控制器&PHY PCI Express 3.1控制器&PHY PCI Express 4.0控制器	ASIL B	1 & 2 级
USB 3.0控制器&PHY MIPI CSI-2主机和设备 控制器和MIPI D-PHY LPDDR4控制器&PHY	ASIL B	1 & 2 级
	ASIL B	1 & 2 级

* ISO 26262第3部分硬件认证“自我评估”

比如，在 2020 年 10 月份，新思科技交付了业内首个符合 ISO 26262 的 ASIL D 级处理器 IP 核 DesignWare ARC EM22FS，它是基于超紧凑型 ARC EM 处理器系列的双核锁步处理器 IP 核。此 IP 核包括全面的安全文件，如故障模式、影响和诊断分析 (FMEDA)、安全手册、安全案例报告、ISO 26262 功能安全评

估报告以及其他安全相关文件，以加快汽车 SoC 的功能安全分析和认证。据悉，目前，DesignWare ARC EM22FS 功能安全处理器和 ARC MetaWare 安全工具包已有现货供应。

当然，除 IP 子系统外，新思科技还提供了 DesignWare IP 虚拟器开发套件 (IP VDK)，使软件工程师能够在硬件设计完成前几个月开始软件开发工作，从而在芯片到位后的几天内启动整个系统。

IP VDK 包括用于汽车 SoC 中常用处理器子系统的参考虚拟原型。IP VDK 能够提供可配置的 DesignWare IP 模型以及 Linux 软件堆栈和参考驱动程序。

结语

汽车级芯片与消费级芯片相比，不论是其复杂性，还是对质量和可靠性的要求，差别都非常大。这几年来，国产芯片在消费级芯片方面的很多领域发展速度都很快，替换了不少国外芯片厂商的产品。现在在汽车领域，国产芯片企业也有大量的机会。

特别是目前广大车企正在为芯片供应头疼的时候，如果国产芯片企业能够利用自身和外界可以利用的优势，快速设计，并生产出满足汽车级产品特殊要求的产品，肯定是能够获得客户的认可。

而新思科技的 DesignWare IP 解决方案可用于车载信息娱乐系统、驾驶员高级辅助系统 (ADAS)、网关和主流微控制器 (MCU)，并能够确保汽车应用的高质量和可靠性。并且 DesignWare IP 采用了经过 ISO 9001 认证的质量管理系统，执行的是 IATF 16949 标准适用条款，完全能够满足其他严格的汽车质量要求。也就是说，新思科技提供的 DesignWare IP 组合可以帮助汽车 SoC 设计工程师，更加快速地设计出适合市场需求的车规级 SoC 芯片来。



您值得信赖的

ASIC一站式设计服务供应商

Brite SMIC



2008年成立
2010年与中芯国际达成战略合作

灿芯半导体 www.britesemi.com
上海 | 合肥 | 苏州 | 新竹 | 圣何塞
E: sales_bs@britesemi.com

在边缘实现人工智能视觉

OpenFive 的 AI 视觉平台简化了定制边缘 SoC 的部署

seamlessmicro

介绍

随着人工智能技术的普及，计算机视觉在过去几年中取得了巨大的进步。大数据交互和大规模并行计算改变了为理解非结构化 2D 和 3D 数据而对机器进行编程的方式，比如摄像头提供的视频。程序员使用深度卷积神经网络算法替代了编写一套规则的方式，使机器能够从一个大型的、有标记的数据集中归纳出一个解决方案。这项名为“人工智能视觉”的新技术，使机器在精确识别物体和图像方面具备了超人的能力，人工智能视觉催生了机器中由许多智能传感器组成的摄像头。

AI vision 现在被部署在许多新的应用中，比如

- 自动驾驶
- 智慧城市与农业
- 工业和仓库机器人
- 送货无人机和机器人清洁工
- 增强现实
- 智能零售和智能家居

传统上，AI 视觉的大部分处理都是在具有大规模并行计算能力的云中进行的。然而，随着 AI vision 的大规模部署，从摄像头到云处理的流视频将超过可用的网络带宽。一个 1920x1080 像素的摄像机在拍摄 30 帧每秒图像时将产生大约 190 兆字节每秒的数据。由于部署了数千万台设备，即使使用 H.265 压缩，也需要每秒超过 5 拍字节的数据。此外，隐私问题和双向网络延迟正在将人工智能处理移至数据源头的边缘。定制 SoC 则需要满足边缘 AI 视觉的功耗限制。

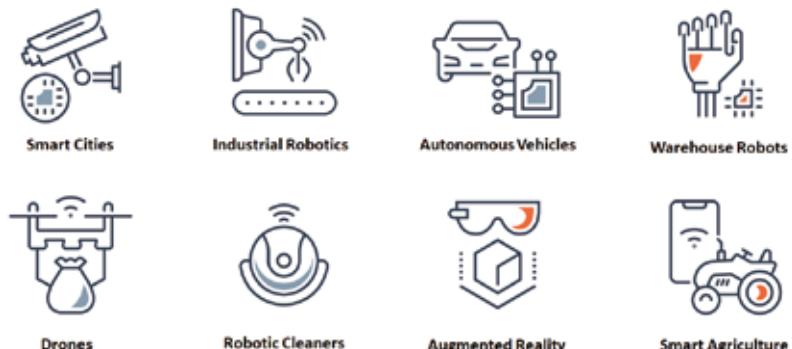


Figure 1. AI vision applications

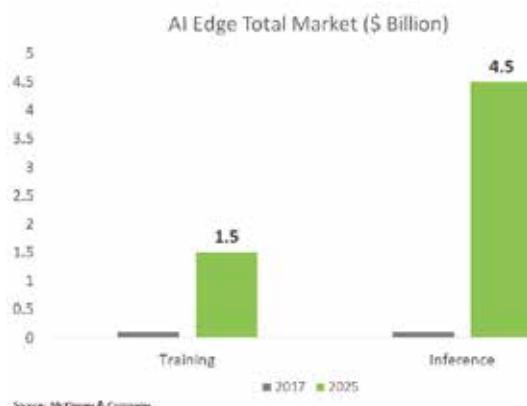


图 2 AI edge 2025 年总市场规模将超过 60 亿美元

人工智能推动asic的新增长

与传统的机器学习技术相比，人工智能的优越性能使它被应用在从消费级工业级再到底层应用的所有市场上。这刺激了在云和边缘领域新的包含了人工智能的硬件的增长。更具体地说，如图 1 所示，边缘 AI 硬件总市场将在 2025 年增长到 60 亿美元，其中 45 亿美元用于推理，15 亿美元用于硬件培训 [1]。

今天，许多硬件基于通用 CPU 和 GPU 运行 AI。然而，随着性能要求的不断提高，越来越多的专用 SoC 与定制的 AI 加速器一起被开发出来，以在严格的功耗限制下满足这些要求。到 2025 年，70% 的人工智能边缘训练和推理硬件将使用定制 ASIC[1]。

从摄像头到网络上的元数据

典型的人工智能视觉 SoC 必须分析来自一个或多个摄像机的视频流，并对场景进行实时推断，例如对象的类型和对象的意图。根据这些推断以及

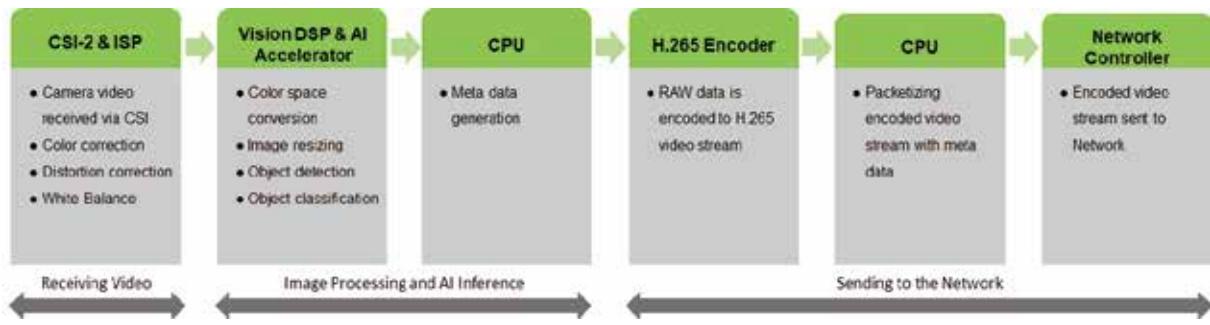


图 3 从摄像机到网络的典型数据流

来自其他传感器的数据，人工智能视觉 SoC 需要做出决策，例如控制机器人的方向，并将元数据发送到云端。

图 3 显示了人工智能视觉 SoC 中的数据流示例。摄像头通过 CSI 接口将原始视讯流发送给人工智能视觉 SoC。输入的原始视频流在 ISP 中进行预处理（颜色和失真校正，白平衡等）。视觉 DSP 抓取视频的每一帧，并执行颜色空间转换和图像大小调整。视觉 DSP 和人工智能加速器通过运行多个神经元网络运算从正在调整大小的图像上提取相关信息。CPU 产生该元数据并可将该元数据嵌入视频流中。然后用 H.265 编码器压缩视频流。然后，CPU 对压缩流和元数据进行分组，网络控制器通过网络将这些分组发送回云。

借助 OpenFive 的 AI 视觉平台加速发展

使用定制加速器构建和部署定制人工智能视觉 SoC 需要大量时间和专业知识。一般情况下，



您要寻找所有相关的 IP，并将它们与您的定制加速器集成，然后使用软件开发工具包将其产品化。同时，你正在和你的竞争对手争先恐后地抢占市场。你还要为能第一个向市场推出产品而和竞争对手赛跑。

OpenFive 的 AI-Vision 平台是一个加速定制 AI-Vision soc 部署的解决方案。OpenFive 的 AI 视觉平台由多个可定制的子系统组成，这样您就可以将您的精力放在终端应用的关键差异化上。

AI 视觉平台的应用程序处理子系统可以运行高级应用程序，如导航、网络和图形用户界面。它由 SiFive 的多核 Linux 处理器提供动力，并且可以配置 4 到 8 个内核。庞大的 Linux 软件生态系统涵盖了所有底层硬件，并提供了快速构建目标应用程序所需的 api。

与 ISP 一起的视觉子系统处理从连接到 CSI-2 或 USB 的摄

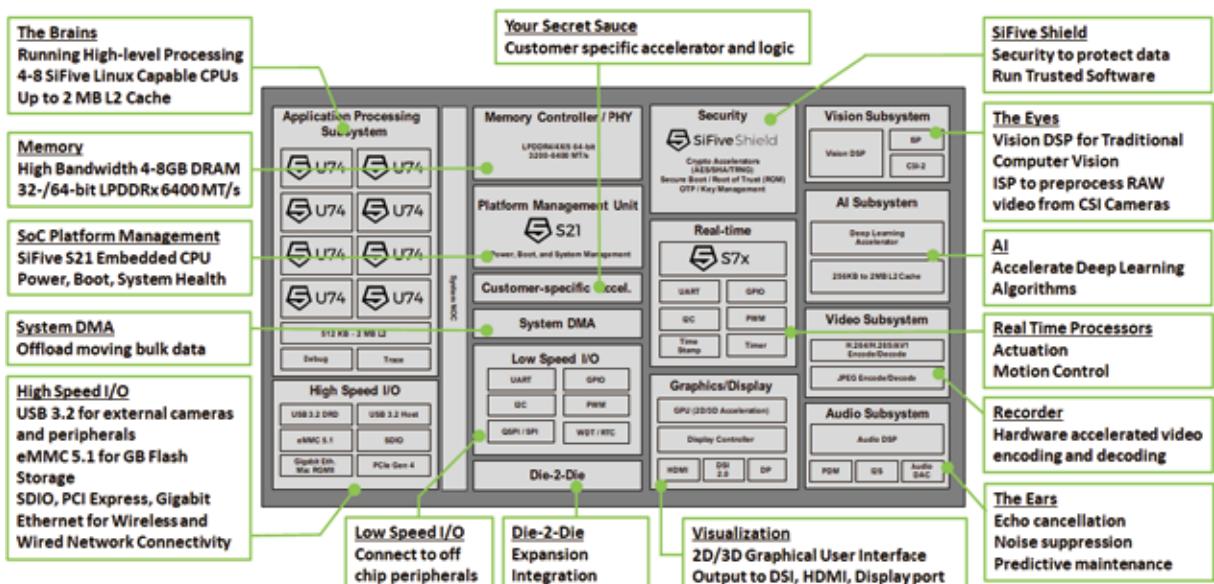


图 5 OpenFive 的 AI 视觉平台

像头的传入视频流。视觉 DSP 在视频流上运行计算机视觉算法，如 SLAM。此外，视频可以通过硬件加速的 H.264、H.265、AV1 和 JPEG 编解码器进行解码和编码。

实时处理器，如 SIVIVE S7，具有紧密集成的外围设备，提供实时传感和控制。高级命令通常从应用程序处理子系统发送，用于实时处理器来管理电机控制和驱动。

AI Vision 平台拥有支持千兆字节高速内存的 LPDDR4/4x/5 并可从四颗 SPI NORFLASH 或 eMMC 5.1 启动。该平台具有多种 I/O-I2C、UART、SPI、SDIO 和 GPIOs，可与传感器、无线网络等非芯片外围设备进行桥接。为了实现高速连接，USB 3.2 可以连接到各种调制解调器、外部摄像头和外围设备。

整个 AI 视觉平台都使用 SiFive Sheild 方案保护，提供加密硬件，以加速执行 AES、SHA、TRNG 等算法。SiFive Shield 的信任和安全引导机制确保只有可信软件能在 AI Vision 平台上运行。

如果需要图形用户界面，AI 视觉平台具有一个可视化子系统，其具有的 2D/3D GPU 可用于绘制图形丰富的界面，并可通过 DSI、HDMI 或 DisplayPort 接口驱动显示面板。

由于音频对边缘感测也是一个重要的环节，音频子系统集成了 I2S 和数字麦克风输入和音频 dac，可通过扬声器播放音频。此外，音频 DSP 还可以用于回音对传入音频流的回声消除和噪声抑制。

人工智能子系统利用 Yolov3、Resnet 50、MobileNet 等深卷积神经网络，对视频流进行目标检测、目标识别和分割。这个 AI 子系统可以用您自己的自定义 AI 加速器来替换或增强。

除了定制 AI 加速器，OpenFive 还可以集成其他自定义加速器。通过使用 die-2-die 接口添加额外的芯

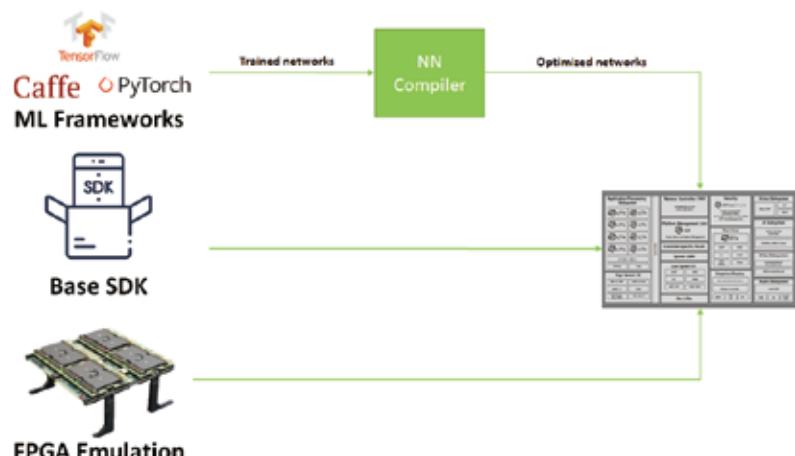


图 6 启动软件和算法开发

片组模具，可以进一步提高性能。

SDK 与 FPGA 仿真

OpenFive 的 AI 视觉平台的一个主要优点是利用一个基本的软件开发工具包和一个 FPGA 仿真平台尽早开始软件开发。通过预集成驱动程序和子系统，您可以在设计 SoC 时集中精力构建和测试应用程序。早期确定的增强和优化功能可以在流片之前加入 SoC。

此外，如果你已经在流行的机器学习框架（如 TensorFlow、Caffe 和 PyTorch）中训练过你的 AI 模型，你可以利用我们生态系统合作伙伴的神经网络编译器加载到 OpenFive 人工智能视觉平台的人工智能加速器上。

开始定制你的人工智能视觉系统芯片

OpenFive 的 AI 视觉平台加快了 AI SOC 的快速部署，以适应快速发展和不断增长的边缘 AI 市场。OpenFive 的 AI 视觉平台预集成的硬件和软件意味着您可以专注于您的关键优势，并尽快进入市场。

参考资料

1.G.Batra、Z.Jacobson、S.Madhav、A.Queirolo 和 N.Santhanam，“人工智能硬件：半导体公司的新机遇”，2019 年 1 月 2 日 [在线]。

<https://www.mckinsey.com/industries/semiconductors/our-insights/artificial-intelligence-hardware-new-opportunities-for-semiconductor-companies>

Industries we cater to...



Storage +
Data Centre



Wireless +
Mobile



AI + Machine
Learning



Aerospace +
Defence



Networking



Automotive



Consumer



IOT + Cloud

Spec to Silicon to Embedded Software Services



6 DESIGN CENTRES
WORLDWIDE



IP / ASIC / SoC Services

- IP/ASIC/Subsystems/SoC Development
- Architecture & Digital Design
- Synthesis, Timing & STA
- Functional Verification & GLS
- Emulation & Post SI Validation
- Physical Design
- Physical Verification & Silicon Sign Off
- DFT
- Analog & Mixed Signal Design
- Circuit Design
- Analog Layout



Embedded & Firmware Services

- Integrated Product Design and Maintenance
- Embedded Platform Software and Migration
- Systems Integration
- Embedded OS ,BSP, Device Drivers and Firmware Development
- ML, AI , IOT and IIOT
- RISC V and LLVM based Compiler Customization
- Applications, UI / UX Development, Cloud and DevOps
- Boot and Secure Boot Software
- Hardware Bring-Up , Validation and Certifications

灵活、面向未来、高性能 推理的简化操作集计算

Imagination | James Imber

深度学习的多功能性和强大功能意味着现代神经网络在机器翻译、动作识别、任务规划、情感分析和图像处理等领域有着广泛的应用。随着该领域的不断成熟，不可避免的，专业化程度也越来越高，而且呈现加速的趋势。这使保持现有技术水平成为一项挑战，更不用说预测神经网络的未来计算需求了。

神经网络加速器 (NNA) IP 的设计者手头有一项艰巨的任务：确保他们的产品具有足够的通用性，能够应用于当前和未来非常广泛的应用，同时保证高性能。在 Imagination 公司最前沿的 IMG Series4 NNA 所针对的移动、汽车、数据中心和嵌入式领域中，对带宽、面积和功耗有更严格的限制。Imagination 公司的工程师们已经找到了创新的方法来应对这些严峻挑战，并提供超高性能和面向未来的 IP。

利用率与灵活性

每个 IMG Series4 多核 NNA 的核心是行业领先的卷积引擎阵列，每秒可执行 10 万亿次操作。四核 Series4 NNA 每秒可完成惊人的 40 万亿次操作，简称 40TOPS。其架构的一个显著特点是效率：数据尽可能紧密地打包在卷积引擎的输入上，

以实现最大可能的利用率，这意味着芯片面积保持最小。Series4 NNA 包含几个高度优化、可快速配置的硬件模块，用于池化、标准化和激活功能等操作。

这种专业化程度显然在网络与硬件很匹配的情况下获得了巨大的回报，也就是说，当网络由卷积层、池化层、激活层等“传统”层组成，但是这样的体系结构如何扩展以支持更复杂的操作，比如注意机制和非最大化抑制？

有两个明显的选择：

- 在硬件中添加新的专用块。
- 使硬件具有高度可编程性和通用性。

其中第一个主要问题是，它会导致硬件膨胀和暗硅——如果在一些应用程序中需要多 1% 的计算时间，那么我们需要一个固定的功能模块吗？不——我们必须获得尽可能重复使用硬件。这也意味着硬件总是保持最前沿的工艺技术。添加固定功能模块说明硬件未来会过时，NNA 的设计师们之前遇到过不少硬件适用性受限于操作类型的案例。第一种方法导致硬件膨胀或强制使用额外的“协处理器”，如 GPU、DSP 或 CPU：硅面积、带宽、能量和复杂性都会增加。

大多数 NNA 设计人员都选择第二种方案。这种方法的例子是基于

向量 ALU 和脉动阵列的设计。复杂性从硬件转移到软件，这一切都符合计算机体系结构中历史悠久的 RISC（精简指令集计算机）哲学。然而，要付出巨大的代价——计算密度的降低。为达到 40 TOPS 的目标，Series4 NNA 架构师必须容忍芯片面积和功耗的大幅增长。

Imagination 的研究人员认为，一定存在第三种方式。他们的策略是利用新颖的编译技术和他们称之为“简化操作集计算”(ROSC)的新设计理念来换取灵活性。Series4 NNA 具有巨大的计算密度，用于运行标准层，如卷积层、池化层、激活层和完全连接的图层，这些层占据了神经网络中大部分计算需求。从本质上讲，它具有冗余的计算能力。

简单地说，ROSC 就是从这个简化的“操作集”中重新配置和重组操作，以构建各种各样的其他操作：乍一看，这些基础操作似乎很难实现。这种重新分配任务通常会导致较低的利用率，因为硬件模块并未用于其主要目的；但是，由于 Series4 NNA 具有如此多的原始计算能力，即使利用率为 1%，例如每秒 400 千兆次操作，在其上运行复杂操作的速度通常仍远远快于在“片外”执行复杂操作的速度，例如在 CPU 或者 GPU 上。以这种方式在设备上

保持处理可节省宝贵的系统资源，包括 CPU/GPU 时间、功率和带宽。

复杂操作可以实施为多个硬件通道的较简单操作计算图。因此，Series4 NNA 使用带有张量分块的新型片上存储器系统来保持数据本地化，这可以被用来以最小的系统开销在多个硬件通道上运行复杂的操作。

ROSC 概念背后的关键是，专用硬件模块通常可以配置以执行其他任务。即使由于这种重新分配任务而导致使用率下降，硬件的巨大计算能力也弥补了这一不足。这使得 Series4 架构师能够吃上蛋糕——无需额外的硬件复杂性或面积，Series4 可以在原始性能很重要的地方具备闪电般的速度，并且在必要时，具有足够的灵活性来处理任意复杂的高级操作。

不要低估架构!

Series4 有五种主要可配置的计算硬件模块类型，可称为：

- 卷积引擎
 - 池化单元
 - 标准化单元
 - 元素操作单元
 - 激活单元

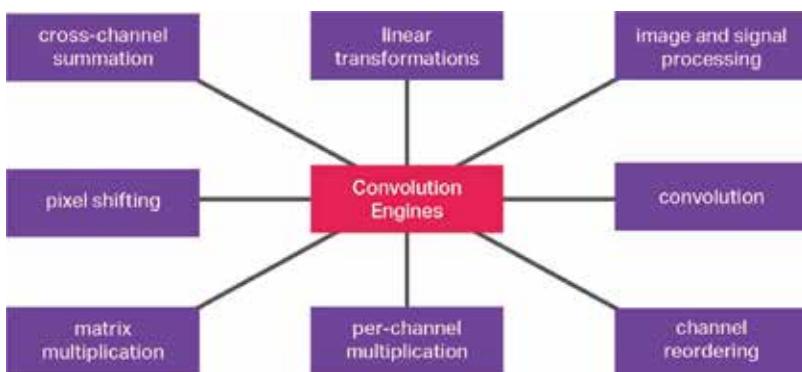


图 1：单个硬件模块通常可以配置为执行范围非常广泛的任务

这些可配置的硬件模块每一个都比乍一看可能做的更多。例如，Series 4 卷积引擎可以配置为执行图 1 所示的操作（以及其他许多操作），而无需依赖于其他计算硬件模块。使用几个这样的模块的组合，可以实现更广泛的操作范围。事实上，Series4 可以使用高级的图形降低编译器技术来配置，以覆盖现代神经网络中遇到的几乎所有操作。

标签可能具有误导性。仅仅因为一个硬件模块被标记为“卷积引擎”或“池化模块”并不意味着这是它所能做的全部——在正确的人手中，这些模块可以做的远远超过他们在 tin 上所说的！下面给出了使用多个硬件模块组合实施复杂操作的两个示例。

Softmax

Softmax 是神经网络中的一种常见操作，通常用于需要离散概率的场合。在某些情况下，它也用于使张量进行归一化，以便沿某个轴或多个轴的所有元素都在 $[0, 1]$ 范围内，且总和为 1。在网络中，Softmax 通常只占计算的一小部分。例如，在大多数 ImageNet 分类网络中，Softmax 占计算的最大比重不到 0.01%。为了与 ROSC 避免将芯片面积浪费为“暗硅”的策略保持一致，Series4 没有专用的 Softmax 硬件；相反，它是在其他可用操作方面实现的。这使它成为我们如何应用上述原则的一个最佳例子。从本质上讲，该策略是用一系列数学上相同但由硬件直接支持的操作构成的操作（“计算子图”）来替换 Softmax。

Softmax 是一个复杂的操作，需要五个阶段，如图 2 所示。其中四个交叉通道最大化削减、指数、跨通道求和削减和除法——在 Series4 上也没有专门的硬件！但是，我们可以在 Series4 上以创造性地方法运行它们，如下所述。

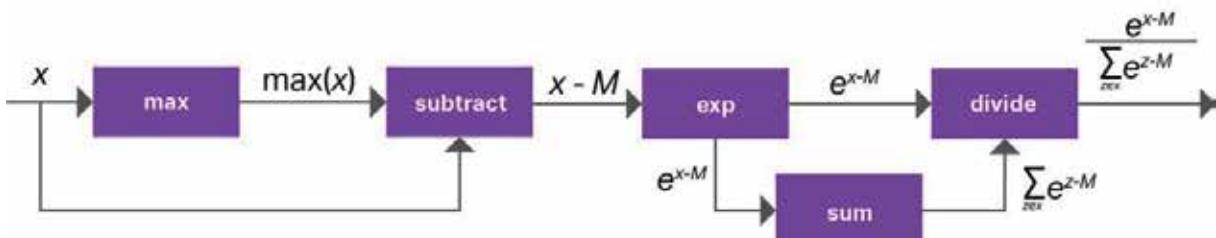


图 2: 将 Softmax 分解为其组成部分

一个 1×1 的卷积与权重张量和一个完全由1组成的过滤器可以用来实现跨通道的求和。

除法可以用一个张量与另一个张量的倒数相乘来实现。Series4的LRN(本地响应归一化)模块可以配置为计算倒数。

交叉通道最大值可以通过将信道转换置到空间轴上并执行一系列空间最大池化操作来实现。之后，它被转置回通道轴上。

由于指数仅限于负值和零输入值，激活LUT可以配置为指数衰减函数。

总之，这将产生一个替换子图，其中包含大约10到15个操作(取决于输入张量的大小)，这些操作在几个硬件过程中执行。ROSC的见解是，这个图比在CPU或协处理器上执行更快、更简单。避免了完全可编程和专用固定功能硬件的两种极端情况，并且编译过程中包含了最容易管理的复杂性。

此外，用于Softmax的操作替换可以重用为其他高级操作。一旦实现了这些高级操作，就很容易看到如何构建一个可重用操作替换库，从而使将来的操作更容易降到Series4。这就是ROSC如何引领未来。

三维卷积

卷积引擎和Series4中的相关数据输入和输出针对一维和二维卷积进行了高度优化——这非常有意义，因为在大多数CNN(卷积神经网络)中，这些引擎占据了绝大多数计算量。

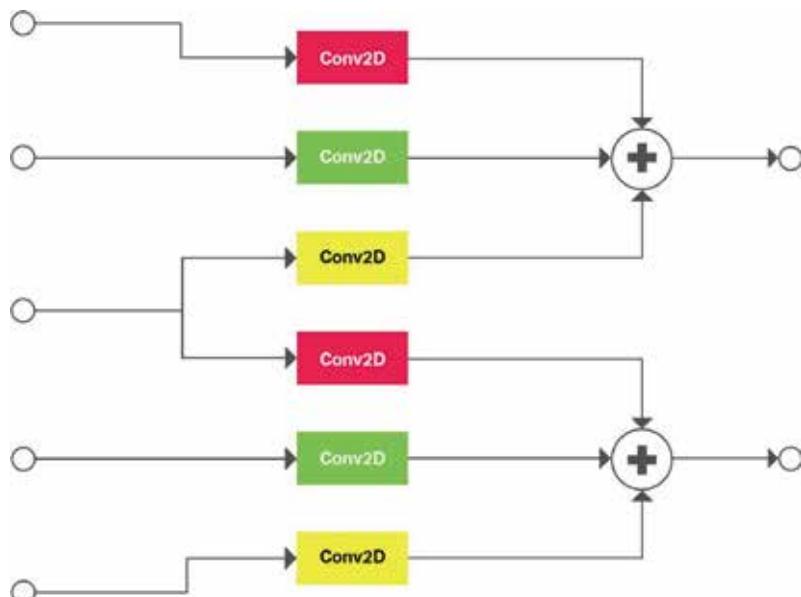


图3：用二维卷积和元素求和实现的三维卷积

但是，Series4硬件不支持三维和更高维度的卷积。三维卷积是复杂运算的一个具体例子，可使用图形降低技术将其降低到Series4。在这种情况下，该子图是根据二维卷积和元素加法构建的。无论编译器在哪里“看到”原始置身事外中的三维卷积，在Series4上运行的机器代码生成前，编译器都会

用该子图形的等效版本替换它。

图3显示了一个三维卷积的例子，在深度轴上，内核大小为3，步长为2。卷积在深度轴上展开。相同颜色的卷积具有相同的权重。这种策略很容易扩展到高维和其他三维操作，如三维池和三维反褶积。这种三维卷积的方法是一个很好的例子，说明了如何将软件设计与硬件的优点相结合，从而扩展其适用性。

结论

高性能的神经网络加速器很难设计，因为它们需要平衡两个看似矛盾的目标：它们需要大量的并行性和计算密度，以便在几分之一秒内完成一个典型神经网络中的数百万个操作；它们需要足够的灵活性来处理这些问题现代神经网络中有数百种不同类型的操作，还有那些尚未被发明的操作！通常必须在高效、更固定的函数方法和效率较低但更通用的方法之间进行折衷。

Imagination公司的工程师们已经开发出一种令人兴奋的创新方法，它提供了两全其美的效果。Series4不包含任何近似ALU的可编程性所需的东西，而是有几个非常有效的硬件模块，设计用于执行特定的、通常发生的操作的计算。使用新的编译技术可以实现完全的灵活性，通过这种技术，可以从一组简化的基本操作中构建非常广泛的操作。这种方法被称为简化运算集计算(简称ROSC)。通过以这种方式协调硬件和软件设计，Series4拥有经得起未来考验的、世界一流的性能和计算密度，同时又不牺牲灵活性。

上海佩纶半导体有限公司

主营业务



芯片设计服务

Soc Turnkey
芯片定制
后端设计
驻场（数字/版图）



供应链运营服务

流片 封装 测试





通过定制的PCIe 6.0 IP 控制器将带宽提高到128gb /s

PLDA

如您所知PCIe6.0规范预期在2021年晚些时候完成并发布（图2），PLDA已经在为那些寻找最先进的SOC/ASIC PCIe 6.0 IP解决方案的“早鸟”客户努力工作。

尽管市场上并未普遍提供支持PCIe 5.0的系统，但汽车电子、人工智能和物联网系统设计人员已经开始寻求超越PCIe 5.0支持的带宽。无人驾驶汽车就是这种需求的完美例证——为了持续不断地实时感知周围环境并对其做出反应，自动驾驶系统需要访问包含天气、障碍物、交通和道路状况的历史数据。必须管理和存储这些海量数据，这些数据转储涉及无人驾驶汽车在路上行驶的每一分钟、每个小时、每天和每年。当然，无人驾驶汽车环境的很大一部分是与其他车辆的互动。因此，无人驾驶汽车必须配备数量众多的传感器，以每秒1GB的速度创建和传输机器对机器的数据。大数据存储以及数据馈送，传感器和车辆库的智能管理将是绝对必要的。在此示例中可以看出，PCIe 6.0是不同设备要素间互连方案的不二之选。

在PLDA，我们致力于开发最先进的高速接口IP，尤其是PCIe解决方案。诚然PCIe已是普遍使用于各类应用场景中，并且可以交付“货架”产品，却丝毫不影响PCIe在诸多高端应用中依然成为“战略性”技术方案。使用最新的PCIe规范意味着越来越多的功能与几何倍速增长的验证测试，IP开发变得越来越复杂。这种复杂程度需要有专门的专家团队长期一起工作，致力于提供高IP的质量、性

能可靠性。

为了在x16链接上实现128GB / s的性能，PCIe 6.0突破了以前的一些规则。现在，在电气层上，它使用PAM4调制（“四电平脉冲调幅”），使其能够以2bit/cycle运行，而不是以前的NRZ调制（图1）运行1bit/cycle。尽管这意味着PCIe 6.0可以有效地将其带宽提高到PCIe 5.0的两倍，但它同时也带来更高的误码率（BER）。为了补偿高BER，该规范实施了一项称为前向纠错（FEC）的新功能，该功能避免每个位错误都导致数据包重传。它与强大的CRC（循环冗余校验）结合使用，可将链路重试概率保持在 5×10^{-6} 以下。这项新的FEC功能仅增加不到2ns的延时。

PCIe 6.0规范还引入了L0p，从而可以在更少通道数上传输相同流量，这意味着可能可以关闭其他通道，从而在不影响流量的情况下降低功耗。

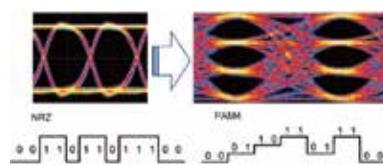


图1：NRZ调制和PAM4调制之间的比较

我们距离PCIe 6.0规范0.9版的发布还有几天的时间。对于熟悉发布过程的用户都知道0.9版通常是准终版，这意味着0.9版PCIe 6.0体系结构应该不会有任何重大的功能调整或修改。我们预计该规范的1.0版将在今年第二季度公开放布。（图3）



图2：PCIe演进



图3：PCI-SIG的PCIe 6.0规范路线图预估

随着PCIe 6.0规范的逐步完善，PLDA正在全力推进设计其XpressRICH架构PCIe 6.0控制器IP。今天，我们很高兴地宣布该IP将支持以下功能：

- 向下兼容至PCIe 1.1
- 完全参数化可配置
- 原生支持Tx / Rx或TLP用户界面

-支持PIPE、LPC和SerDes模式

-相同RTL可用于ASIC和FPGA实现

此外，PLDA更培育了一个完整的生态系统，该生态系统由互补的合作伙伴组成，我们共同为交付客户满意的最优化IP解决方案使命而协作奋斗。当前，我们正在与高端主流PHY IP供应商合作，共同设计各种预集成的PHY和控制器解决方案，以实现一流的PCIe 6.0解决方案。另外，PLDA还在建立强大的验证IP生态体系以及进一步加强生态系统的工具。

如果您的系统需要PCIe 6.0，那么现在就是联系我们讨论技术路标和需求的最佳时机。



成都锐成芯微科技股份有限公司

Chengdu Analog Circuit Technology Inc.

●超低功耗 IoT/MCU 方案

- 全套 nA 级模拟 IP，量产验证品质
- 涵盖 PMU, AD/DA, USB, I/O, PLL, RC, OSC
- 特别针对 IoT/MCU 的功能和性能优化
- 极具成本优势的设计架构
- 平台化方案加速产品设计，缩短开发周期

●高可靠性 MTP 供应商

- 高可靠性>10Yrs/150°C
- 擦写次数高达 20K ~ 100K
- 高达 20nS 读取速度
- 极具成本优势的设计架构

●低功耗蓝牙解决方案

- 超低功耗
- 超小面积
- 射频性能优异
- 具有良好的兼容性

●高性能高速接口 IP 供应商

- 大批量量产检验
- 高兼容性
- 完整的解决方案

Tel: 028-61682666

Email: sales@analogcircuit.cn

成都、上海、新竹、南京



台积电22nm的全面产品组合

Arasan MIPI C-PHYSM, MIPI D-PHYSM 1.1, MIPI D-PHYSM 1.2 and eMMCTM

关于 TSMC 22nm

根据摩尔定律，随着时间的流逝，晶体管变得越来越小，从而使计算和通信设备变得更加智能和高效。要跟上不断缩小的晶体管尺寸并非易事，因此需要从平面体 CMOS (28nm) 过渡到3D FinFET (16nm/14nm及以上) 技术。但是，强烈希望从28nm迁移到16nm/14nmFinFET，这是高性能应用的理想选择，伴随着IC架构的高昂成本，这并不是所有企业都能接受的，并且限制了IoT和混合信号领域的应用。因此，具有说服力的台积电22nm技术问世，该节点可在性能和成本之间取得平衡。台积电 (TSMC) 22nm技术非常适合需要比28nm更好的性能但又不想为FINFET上的16nm/12nm及更高价格支付更高成本的企业应用。

台积电的超低功耗22nm技术 (22ULP) 是采用台积电行业领先的28nm技术开发的，并于2018年第四季度获得了所有工艺认证。与28nm (28HPC) 的轻量级高品质相比，22ULS将图像处理，数字电视，机顶盒，智能手机和消费品等应用的面积减少了10%，速度提高了30%以上，或者功率降低超过30%。

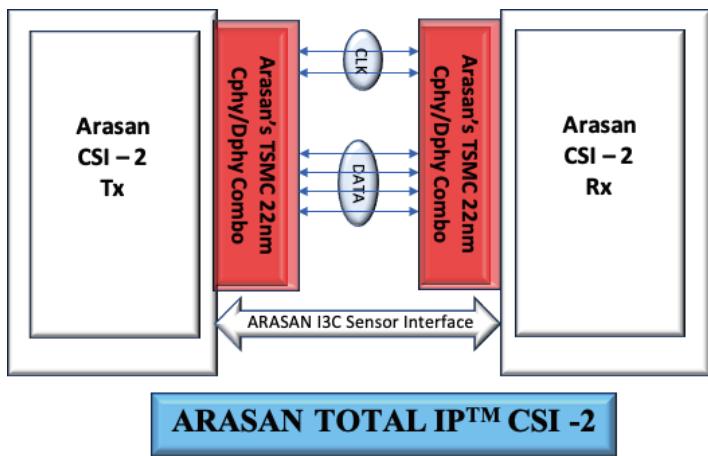
22nm超声波低泄漏(22ULL)技术的创新已经在2018年第四季度完成并

开始了物联网和可穿戴设备的开发。与40ULP和55ULP(静态随机存取存储器)相比，最新的ULL和ULL SRAM系统提供更少的功率。

在Arasan Chip Systems, Total IPTM所有领先的IP现在都可用于台积电的22nm，如 high-speed interfaces，像 MIPI C-PHYSM，MIPI D-PHYSM 1.1 和 MIPI D-PHYSM 2.1 以及 EMMCTM SD/IO.

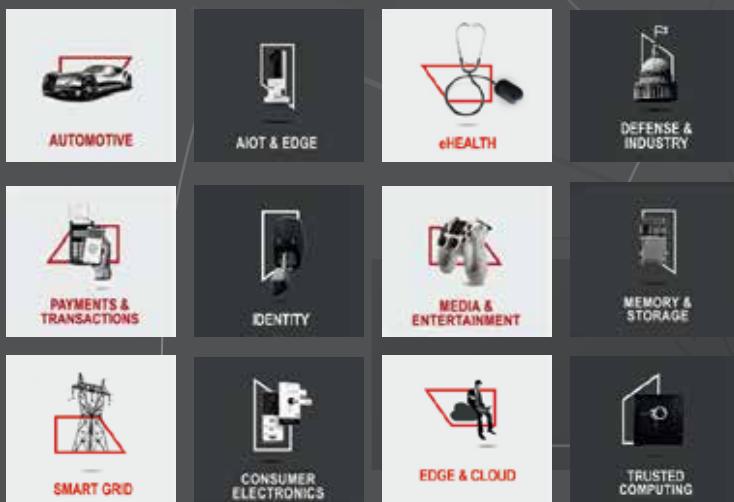
MIPI C-PHYSM

The MIPI C-PHYSM 接口是一种现代同步数字网络总线，适用于智能手机、增强现实耳机和物联网平台等应用，可用于高速、低速应用。MIPIC-PHYSM规范创建了一个通用的解决方案，用于以每个物理导体的高吞吐量传输数据，这使得该设备与传统的无线总线相比非常特殊。除了应用这一革命性方案的电路级策略和关注点之外，还实现了三相编码的原理，以及更高的映射标准和协议级的一些分支，包括快速时钟恢复和用于未映射项的有效边带信令。通过这种实现，MIPI C-PHYSM是演进的数字总线级常规信号的实施例，其结合了单端和差分信号的优点，以便在不损失电磁噪声抗扰性的情况下保持低管脚计数。





端到端 嵌入式安全 解决方案的 唯一供应商



未来，安全的价值将超过设备本身
技术专家，丰富经验，持续创新，PESC 战略至诚服务客户

Arasan的MIPI C-PHYSM IP核完全符合MIPI C-PHYSM规范1.2版，同时也符合D-PHYSM1.2规范。它支持MIPI[®]相机串行接口（CSI-2）和显示串行接口（DSI-2）协议。

它是一个通用的PHY，可以配置为发射器、接收器或两者。该IP内核针对面积和功耗进行了专门优化。与D-PHYSM相比，MIPI C-PHYSM面向高分辨率显示器，以更低的功耗和芯片尺寸更有效地传输数据。它采用比MIPI C-PHYSM更低的信号速率，但支持低成本、低分辨率的图像传感器、高达6000万像素的传感器和4K视频显示屏。

与MIPI C-PHYSM v1.2峰值传输速率2.5 Gbps/相比，Arasan的MIPI C-PHYSM v1.2在2.28位/符号处达到了3.5Gb/s的峰值带宽，或者在9线接口上达到了17.1 Gbps，10线-4通道接口上的6Gbps通道。

Arasan的MIPI C-PHYSM可立即用于经验证的TSMC 22nm，并已通过Arasan Total IPTM芯片验证，用于MIPI相机接口CSI-2[®]和MIPI显示接口DSI[®]和DSI-2[®]。Arasan的MIPI D-PHYSM还提供28nm和16nm工艺。

MIPI D-PHYSM 1.1 and 1.2

MIPI D-PHYSM将高分辨率摄像头和屏幕绑定到处理器上。它是一种同步时钟转发的连接，具有高抗噪性和高电阻。MIPI D-PHYSM在低速和高速模式之间进行低延迟切换。

由于它提供了灵活、高速、低功耗和低成本的解决方案，因此它是用于相机和智能手机显示器的必需PHY。它也用于许多其他用途，包括直升机，大型智能手机，监控摄像头和工业机器人。借助专利桥接解决方案，MIPI D-PHYSM仍广泛应用于汽车应用领域，包括摄像头传感设备、雷达防撞、车载信息娱乐系统和仪表盘。

由于连接收发器的主从关系，链路所需的服务和数据速率是不对称的。对于只有一条主要数据传输路径的监视器和摄像机用例，非对称结构大大降低了连接的难度。该操作是可选的、双向的和半双工的。

在Arasan Chip Systems，支持最高1.5 Gbps速度的MIPI D-PHYSM v1.1 IP和支持最高2.5 Gbps速度的MIPI D-PHYSM v1.2 IP可立即用于台积电22nm制程技术。MIPI D-PHYSM IP针对低功耗的可穿戴设备和物联网显示应用进行了进一步优化，这些应用需要低吞吐量的低分辨率小屏幕，但电源至关重要。

MIPI D-PHYSM IP也可以作为Tx-only IP，提供给希望节省硅面积和进一步降低功耗的公司使用。TSMC 22nm上的MIPI D-PHYSM IP与Arasan自己的MIPI DSISM Tx

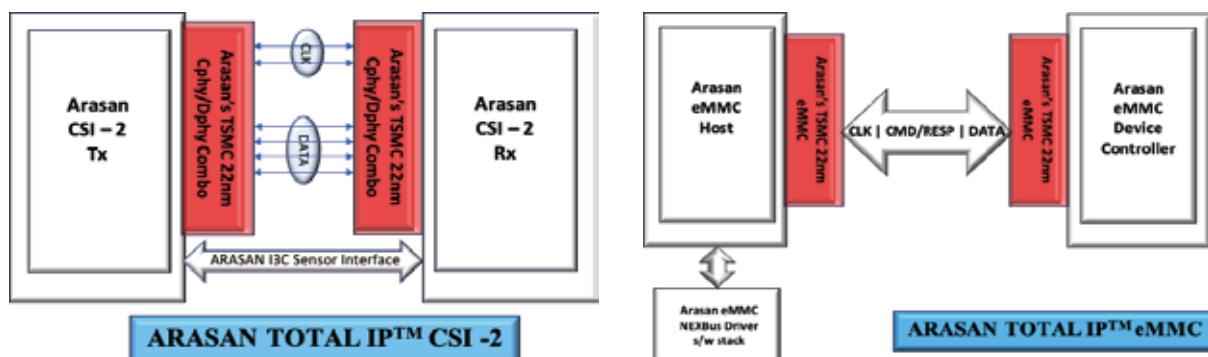
和MIPI DSISM Rx IP核心无缝集成并验证，作为其用于可穿戴设备和物联网的IPTMMIPI显示接口的一部分。

eMMCTM

如果说过去二十年的技术发展已经向我们揭示了一些东西，我们仍然渴望得到更多。为了满足这些标准，需要更好的商品。有时，如果没有键盘或覆盖数百GB的多媒体库，您甚至可能无法想象智能手机。更快的连接还可以通过高清和专用电话摄像头来制作媒体，从而提高了媒体的使用率。现在你可以在几分钟内拍摄4K图像并在智能手机上保存大量文件。在世界各地的智能手机中，eMMC是最常用的存储选项。在性能方面，emmc4.5的读取速度从140MB/s提高到了emmc5.1的250MB/s。

Arasan的22nm eMMCTM TTotal IPTM具有通用I/O PAD，这些I/O PAD是多用途I/O PAD，可通过编程在不同模式下运行：1) 具有预定源/汇聚阻抗的输出，2) 开漏，3) 输入，4) 三态，5) 弱上拉或下拉。I/O PAD经过特殊设计，可与Arasan的eMMCTM 5.1 IP无缝集成。

Arasan于2013年在台积电28nm节点和随后的16nm节点上推出了业界首款eMMCTM，可立即投入使用。Arasan将在TSMC 5nm上提供eMMC PHY，并将作为其整个IPTM eMMC 5.1解决方案的一部分提供。



SweRV Support Package

为您部署 SweRV 所需的一切



SweRV EH1 是由 Western Digital 开发的第一代 RISC-V 内核。SweRV 将嵌入在数以百万计的 WD 设备中。而且 SweRV 是开放的，所以您可以自由地使用它来构建自己的 SOC 片上系统。只是，从单纯的 RTL 到硅实现的过程长路漫漫，您需要我们帮忙吗？

我们所推出强大的 SweRV 内核支援方案 (SweRV Support Package，简称 SSP)，

提供了完善的包含晶片设计、实现、至测试和软体编程等各阶段所需之文档、脚本、验证环境和用例等各方面支援，并且支持第三方开发工具，使客户能以竞争力最高的技术和最低的开发成本应用 SweRV 核心进行系统单进晶 (SoC) 之整合。

Codasip 已被 Western Digital 选定为 SweRV 的独家官方支持服务提供商。

“开放内核和专业的技术支持 双剑合璧！”

Advertiser	广告商名称	网址	页码
北京华大九天科技股份有限公司		www.empyrean.com.cn	IFC
INTRINSICID		www.intrinsic-id.com	01
M31 Technology Corporation		www.m31tech.com	03
德氮微电子（深圳）有限公司		www.decosemi.com	05
Cadence		www.cadence.com	07
PLDA		www.plad.com/cn	11
Onespin		www.onespin.com	13
ASICSWS		www.asics.ws	17
CAST		www.cast-inc.com	21
Seamless Microsystems		www.seamlessmicro.com	29
Imagination		www.imagination.com	35
Hardent		www.hardent.com	37
成都纳能微电子有限公司		www.nanengmicro.com	43
苏州国芯科技股份有限公司			53
Brite		www.britesemi.com	61
Perfectvips		www.Perfectvips.com	65
上海佩纶半导体有限公司			69
成都锐成芯微科技股份有限公司		www.analogcircuit.cn	71
SECURE-ic		www.secure-ic.com	73
Codasip		www.codasip.com	75
国奇科技		www.qualchiptech.com	IBC

投稿指南

《IP与SoC设计》杂志和网站www.ip-soc.com欢迎您提供技术性文章、新闻和新产品介绍等等。

为丰富杂志内容、增加在集成电路设计界的知名度，扩大其涵盖范围并更好地服务于本地厂商，《IP与SoC设计》杂志面向广大IP/Design Service/EDA/Foundry厂商征集优秀文章、最新产品和及时性信息。

如果您有什么好的见解需要和我们分享，请联系编辑。

中文稿件(有英文原稿的请附上)优先采用,本刊有权自主修改、编辑文章内容。

技术文章

- 1.一篇技术文章的字数应该在2000至6000字之间；
- 2.请分别提交文字和插图(文字当中没有内嵌的图片或图形)；
- 3.文章应该包含适当的设计信息或基本原理、照片、图形、仿真和实测数据；
- 4.请注明作者姓名、职务及所在公司或机构的名称；
- 5.论文将经过《IP与SoC设计》编辑审查委员会的审查程序；

新品发布

- 1.请尽量提供简体中文稿件(可附上英文原文)，中文稿件会被优先采用。
- 2.请清晰地写明新产品的名称、型号、性能、独特之处和用途等。
- 3.产品介绍应少于300字(英文少于150字)。
- 4.来稿请附产品照片，其分辨率不低于300dpi。
- 5.留下能提供进一步信息的人的姓名、电话、E-mail。

产品特写

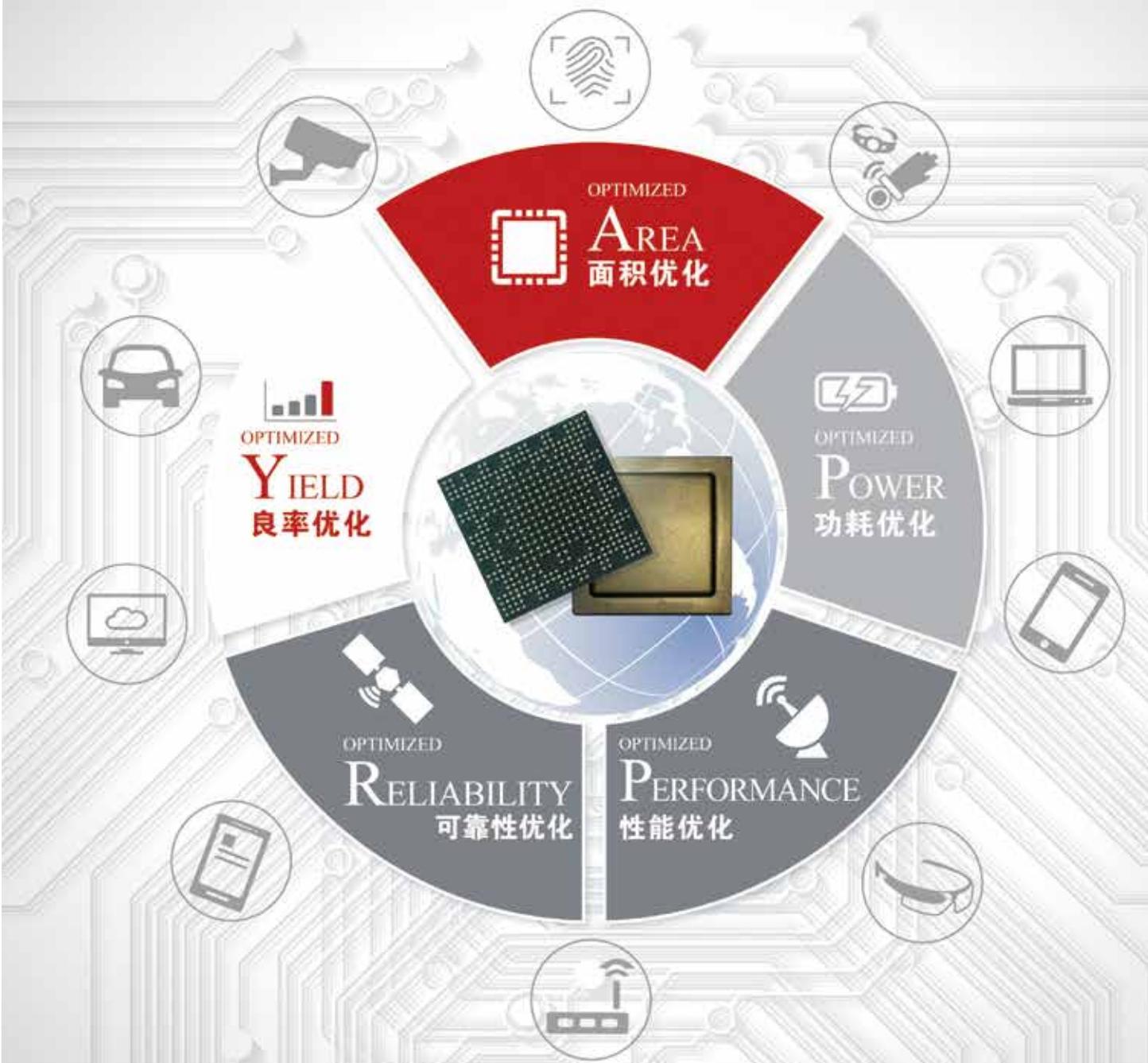
- 1.产品特写集中报道一个具体产品(或产品系列)，字数应该在1000字左右，最多不超过2000字；
- 2.请提供一个描述产品的图片，它将出现在产品特写开始的标题区域(无需说明文字)；
- 3.重要——请分别提供文字和插图(文本中无嵌入的图片)。文本应该是一个Word文件，每幅图像必须是上述文件格式之一的一个单独文件。为了说明插图在文字中的位置和说明文字，可以提供另一份文字和插图在一起的文件(可选)。
- 4.产品特写不包括作者署名。
- 5.请提供联系信息，包括公司名称、联系方式、公司网址。

详情请联系：朱慧 邮箱：zhuh@jsic-tech.com 电话：15895811108



APPYR优设计方案 一次量产成功保证!

High-end SoC Design & Turnkey Services Provider.
We Guarantee "Direct Volume Production Success"!



优化设计 铸造优秀中国芯!

Optimal Solutions for Total Quality!

www.qualchiptech.com



无锡国家“芯火”双创基地(平台)

WUXI NATIONAL XINHUA INNOVATION BASE(PLATFORM)

地址:无锡市新吴区菱湖大道111号无锡国家软件园天鹅座C座