

IP Reuse



SoC Design

IP与SoC设计

5G—以更佳的安全性和优势
赢得安全IP供应商的竞争

 www.ip-soc.com



关注我们



了解更多

一站式EDA及相关服务提供商

EDA

- 模拟/数模混合IC设计全流程
- 数字SoC IC设计与优化
- 晶圆制造专用EDA工具
- 平板显示设计全流程

- 晶圆制造工程服务
- 设计支持服务

相关服务



华大九天

北京·南京·深圳·上海·成都

info@empyrean.com.cn

www.empyrean.com.cn



高速数字处理和接口IP方案

... ISP ...

- 全功能解决方案及设计平台
- 业界最小die size
- 超低功耗
- 多种工艺已验证和量产
- 模块化功能，可开源设计

... HDMI ...

- HDMI 2.0 Tx Controller向下兼容HDMI 1.4B
- HDMI 2.0 Rx Controller向下兼容HDMI 1.4B
- 业界最佳兼容性设计
- 多种主流工艺验证和量产
- 已为主要STB，Media Box SoC和TV SoC厂家采用

... MIPI ...

- MIPI Rx CSI-2 Controller
- MIPI Rx CSI-3 Controller
- 低功耗小size
- 多种主流工艺验证
- 已搭配自有ISP大量量产

... SerDes ...

- TSMC40G工艺验证
- 速率最高可达16Gbp/s
- 支持协议：
 - *40GbE
 - *16G Fiber Channel
 - *Infiniband FDR
 - *SAS 3.0
 - *Others

地 址：深圳市南山区艺园路田厦IC产业园5C1
联系人：李先生
邮 箱：sales@decosemi.com

目录 1

DIRECTORY

编辑手记

EDITOR' S NOTE

06 IP设计应发力，国内芯片产业一个都不能少

封面专题

COVER FEATURE

08 5G——以更佳的安全性和优势赢得安全IP供应商的竞争 —— Silex Insight

技术应用

TECHNICAL APPLICATION

12 机器学习实战：GNN（图神经网络）加速器的FPGA解决方案 —— Achronix

18 基于硬件仿真加速器的PCIe接口验证方法探究和实现 —— Cadence

22 基于FDSOI存储器单元设计的VarMan快速蒙特卡洛和高良率分析 —— Silvaco

28 选择处理器IP内核时应考虑的实际问题 —— Codasip

36 适用于远程动态测距 —— 苏州芯联成
兼低功耗与高像素的3D深度传感器（ToF）芯片分析

40 选择合适的IP实现Die-to-Die连接 —— Synopsys

44 Imagination Tensor Tiling技术 —— Imagination
面向汽车应用的高灵活可扩展多核架构

46 片上电感的优化设计 —— 芯和半导体

50 实现硅光子的美好前景 —— mentor

54 改善XR环境中的头部追踪 —— Ceva

关于《IP与SoC设计》

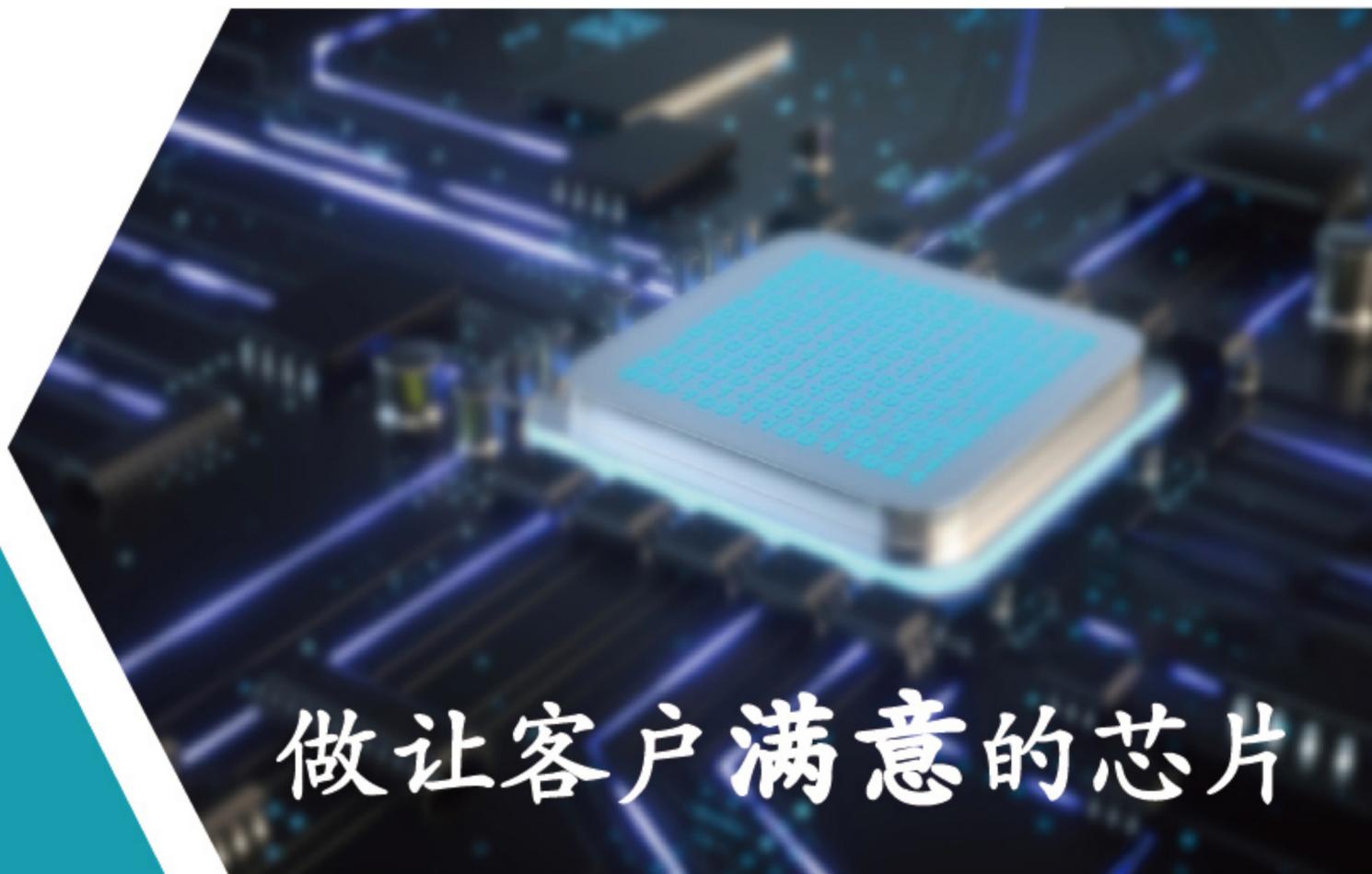
《IP与SoC设计》专注于IP和SoC设计技术，基于当前集成电路产业发展的趋势，依托无锡“芯火”平台，全面报道全球IP与SoC设计技术的发展和国内外应用经验，整合全球IP与SoC资源和技术资讯，扩展中国读者的全球视野，搭建一个IP与SoC的资讯交流、产业促进的平台，为中国IC设计行业和企业提供IP与SoC专业知识，以及相关信息服务。

公司网址：www.ip-soc.com

S¹emi

www.s1semi.com

上海申首半导体科技有限公司



做让客户满意的芯片



ASIC设计
IP采购定制
流片封装测试

公司2016年成立
累计流片 **>30** 颗

芯片设计制造封测
一站式
服务提供商

联系我们

上海

Address: 上海市浦东新区盛夏路560号605B室

Tel: 13916106613

Mail: rimbo@s1semi.com

P.C.: 201203

桂林

Address: 桂林市七里店路大学科技园1#楼307房

Tel: 13795215412

Mail: ypjiang@s1semi.com

P.C.: 541001

青岛

Address: 青岛市莱西市经济开发区北京路84号401室

Tel: 13671684959

Mail: leili@s1semi.com

P.C.: 266600

目录 2

DIRECTORY

产业观点

INDUSTRY VIEW

56 国产模数转换ADC芯片的现状、困境和历史机遇

62 IP核：实现“十四五”规划目标的基石

需求与解决方案

DEMAND & SOLUTION

68 低功耗设计方法以及IP解决方案 —— M31

72 具有形式验证的自动连接检查 —— onesoin

76 创意电子Chiplet整体解决方案开启旗舰级SOC设计新时代 —— GUC Chiplet

78 硅前阶段对侧信道攻击抵抗能力验证的重要性 —— Secure-IC

新品发布

NEW PRODUCTS

82 Precise-ITC FlexE SHIM IP内核 —— Precise-ITC

84 业界MAX高密度可扩展VU19P原型验证平台 —— 上海新致华桑
缩短ASIC芯片设计进程

产品特写

PRODUCT FEATURES

86 敏捷开发——uBright数字化IP交付平台 —— 优矽科技

广告索引

ADVERTISEMENT INDEX

《IP与SoC设计》索阅卡

《IP与SoC设计》

—— IP Reuse and SoC Design ——

出版：无锡国家“芯火”双创基地（平台）

出版人：樊晓华

技术主编：曹华锋、房龙涛

执行编辑：朱 慧

发行部：(0510)85386687-8035

杂志网站：www.ip-soc.com

联系邮箱：zhuh@jsic-tech.com

地址：无锡新吴区菱湖大道111号无锡
软件园天鹅座C座

纳能微电子介绍

纳能微电子位于四川省成都高新区，成立于2014年，是一家国内领先的主营集成电路IP核设计与定制服务的高新技术企业，专注于数模混合高速SERDES IP核的自主研发和持续创新，拥有PCIE、USB3.1/USB3.0/USB2.0、JESD204B、V-By-One/LVDS/MIPI PHY IP及12.5G/16G高速SERDES IP核等多项核心技术，产品工艺制程已达8nm节点。纳能技术研发团队已经完成了超过100项IP授权与服务案例，获批电路设计专利近30项。

纳能微电子与国内外主流代工厂保持长期良好合作关系，目前在0.18um至8nm工艺节点，已经为大量国内外客户完成了十余类集成电路IP核的设计开发与流片验证，客户包括多家上市企业及知名研究单位。

纳能微电子自建高速实验室，拥有高速示波器、误码仪等测试设备，具有USB3.0、PCIE、SATA等接口协议一致性测试能力。

主要IP核产品：

- » PCIE3.0 PHY
- » MIPI PHY IP
- » USB3.1/USB3.0 (Type-C) PHY
- » LVDS 收发器 IP
- » USB2.0 OTG/USB1.1 PHY
- » VByOne/eDP 视频接口收发器
- » USB3.0/PCIE/SATA3 COMBO PHY
- » Fractional-N PLL/Free-Running Oscillator
- » JESD204B物理层收发器
- » 6000V-IEC/HBM ESD模拟IO
- » 1Gbps-12.5Gbps通用SERDES IP
- » POR/LDO/DC-DC 电源管理类IP

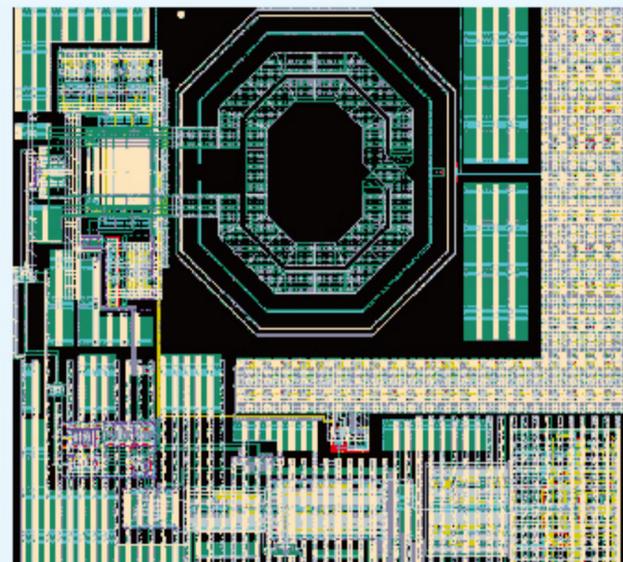
IP定制案例

6000V-8000V HBM/IEC ESD 定制设计方案

芯片面积优化管脚缩减定制方案



超低抖动LC振荡器锁相环定制方案



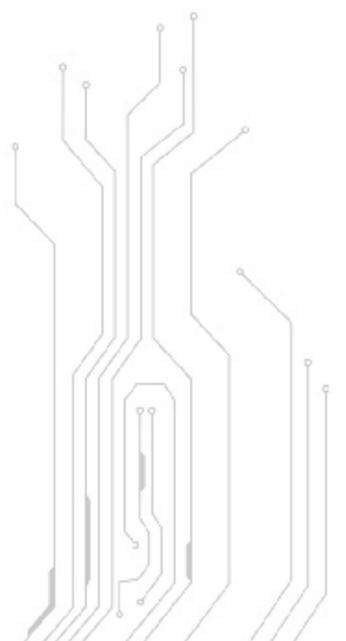
多协议兼容COMBO IP方案

先进工艺优势

- 率先进入SAMSUNG8nm工艺，并提供USB、PCIE及SATA PHY IP方案
- 率先进入SMIC14nm 工艺，并提供USB、PCIE、SATA PHY及10G/12.5G SERDES IP 方案
- 率先进入SMIC28nm 工艺，并提供USB、PCIE、SATA PHY IP方案
- 率先进入GF22FDX工艺并支持客户完成量产，提供SERDES IP核方案
- 率先进入TSMC22nm工艺并支持客户完成量产，提供USB、PCIE及SATA PHY IP方案



公司地址: 四川成都益州大道1858号·天府软件园G5·2102
 联系电话: 028-85653455
 公司网站: www.nanengmicro.com
 产品咨询: sales@nanengmicro.com





IP设计应发力， 国内芯片产业一个都不能少

2020年已接近尾声，伴随着国内集成电路设计业的爆发式增长、IC设计成本的提升和对效率及定制化要求的提高，半导体IP业务因其性能高、功耗优、成本适中、可缩短设计周期等特点，迎来了蓬勃发展。根据IPnest数据，2019年全球半导体IP行业实现收入39.38亿美元，同比增长5.21%。虽然2020年的行业收入及增长率还没有发布，但我们对2020年的增长率仍保持乐观态度。

对IC设计者来说，IP已成为设计SoC的首要考虑因素，基本上设计者会选择几个满足设计需求的Foundry以及工艺节点，然后根据工艺节点去评估对应的IP是否完善、价格是否合适等因素来确定最终的工艺。通常来说，代工厂及工艺节点的选择相对简单且价格也较为固定透明（流片政策补贴普遍高于IP补贴）。而对于IP，其门类繁多，厂家更是五花八门。虽说部分EDA大厂的IP生态完备，但价格令设计者望而却步。相比于流片可以通过MPW来降低门槛，IP就没有此等好事了（部分处理器IP供应商开始尝试灵活的授权模式）。在一个先进工艺节点的SoC设计中，IP的成本可

能会超过流片的成本。因此如何寻找经过硅验证的、性价比较高的IP成为设计者的头等大事。

业界有一个共识，半导体IP业务是一项难做的生意，因为它需要投入巨大的研发成本。很多IC设计者都会觉得IP的成本太高，笔者觉得这是因为经过验证的商业IP使用起来相对便捷，以至于IC设计者忽略了IP设计团队付出的时间、人力和资金的投入。

目前国内IP厂商在技术上已经有了长足的进步，在一些技术方向和细分领域，甚至超越了国外的厂商。从IC设计的角度出发，国内IP厂商在部分IP领域已可比肩国外厂商。随着国内半导体产业对国产化的需求激增，国产IP的技术实力在将来会进一步增强。经过这几年国内集成电路设计产业的发展，国内涌现了一批优秀的IP公司，如芯原微、芯动科技、锐成芯微、和芯微、芯启源、纳能微、旋极星源、苏州国芯、宜矽源、德科集成、芯来科技等，产品涉及CPU、GPU、接口、控制器、存储、多媒体、射频模拟等，其中部分企业除了提供IP，还提供设计服务。随着国产IP的成长，在与国外IP厂商的竞争

中，更具优势。

虽然这几年国内IP厂商取得较大的成就，但也面临一些问题，例如：产品的同质化比较严重，同一种产品工艺线不够完善（需要国内客户及代工厂的支持），研发投入不够，还有就是市场推广不够。国内IP厂家的业务，很多还是基于熟人或者朋友介绍的生意，很多客户找到我们（《IP与SoC设计》）咨询相关国产IP资源，我们介绍的几家国产IP厂商，对方竟然鲜有耳闻，因此国产IP厂商在市场推广方面还有待加强。据笔者了解到，国内不少规模不大的IP厂商的产品性价比还是非常高的，技术及性能方面不逊于国外产品。对于企业而言，产品虽是第一位，但在这个“酒香也怕巷子深”的时代，如果缺少相匹配的市场宣传，前期的客户难以积累。让客户认识你的产品，才是走进市场、展开合作的第一步！

基于当前国际形势，生产行业都在提及国产化。关于芯片产业，大家提到最多的可能是设备、材料、EDA、代工厂。其实IP的国产化同样重要！

自有IP & 平台式ASIC领航者 为您实现芯希望

完整的基础与
高速接口IP

广泛的应用领域
开发经验

一条龙
在地供应链

10G/16G/28Gbps SerDes与GE PHY IPs

- 通过30个以上40/28nm设计方案验证
- 适用以太、数据网络、光纤通信与5G等应用

Ariel™物联网SoC开发平台

- 超低功耗40纳米嵌入式Flash工艺
- 适用AIoT、工业物联网、智能电网、穿戴设备等应用

欢迎莅临智原于ICCAD 2020展位 **025~ 026号**

了解智原团队如何协助您加速SoC设计开发，确保量产质量！

演讲：连结未来—智原5G网络通信硅智财解决方案

时间：12/11 (五)，10:40~11:00

地点：重庆悦来国际会议中心一楼喜悦厅B

讲者：孔晓彬，智原科技营销



FARADAY

5G——以更佳的安全性和优势 赢得安全IP供应商的竞争

Silex Insight

5G 有望给无线连接的应用带来巨大的变化，更高的吞吐量、更好的质量和更低的延迟将使许多新型的应用成为可能，包括智能交通基础设施、自动驾驶汽车、无线机器人、工业制造 4.0 等。与 4G 相比，5G 的一项关键扩展是端到端的加密，以确保数据在 5G 网络上传输时能得到保护。5G 也向全 IP 网络迈进了一步，它将取代专用的回程协议并确保所有接入类型的融合。

因此，如果您是 5G 网络通信或是 5G 网络内部通信的设备或系统的供应商，将需要包括有效的数据加密和 IP 网络功能，在不降低吞吐量或影响延迟的情况下，做到这一点的最有效的方法是将 IP 和加密处理转移硬件上，而这硬件是由易于集成的超高性能 IP 块构建的，比如 Silex Insight 的 IP 模块。

5G 是未来无线经济的推动力

大多数行业观察家预计 5G 最终将开启物联网 (IoT) 时代：数十亿个智能设备通过无线“空中”连接，将数据传输到数据中心的各项应用。

对于许多应用而言，机密性是非常关键的要素，应该保护个人、敏感或 / 和有价值的免遭窃听和窃取，比如无线支付、传输医疗数据的监护仪等。另外，完整性也是至关重要的！数据在传输过程中不应被篡改或修改，比如智能门锁、其他决策支持系统的自动访问控制等。

5G 指的是一种移动中端到端的数据保护系统，这意味着从进入 5G 网络到离开网络整个期间都要受到保护，这包括连接设备（智能手机、传感器、机器人等）与前端之间的无线链接；基站的分布式单元和中央单元之间的链路；5G 接入与核心网络

之间的回程链接；以及核心网络节点之间的链接。

总体而言，5G 的安全性是基于久经考验的 4G 机制，但这些机制已经被扩展来适应安全的“无线”机对机连接，这些增强的关键要素就是增加了端到端数据传输加密和完整性的保护。

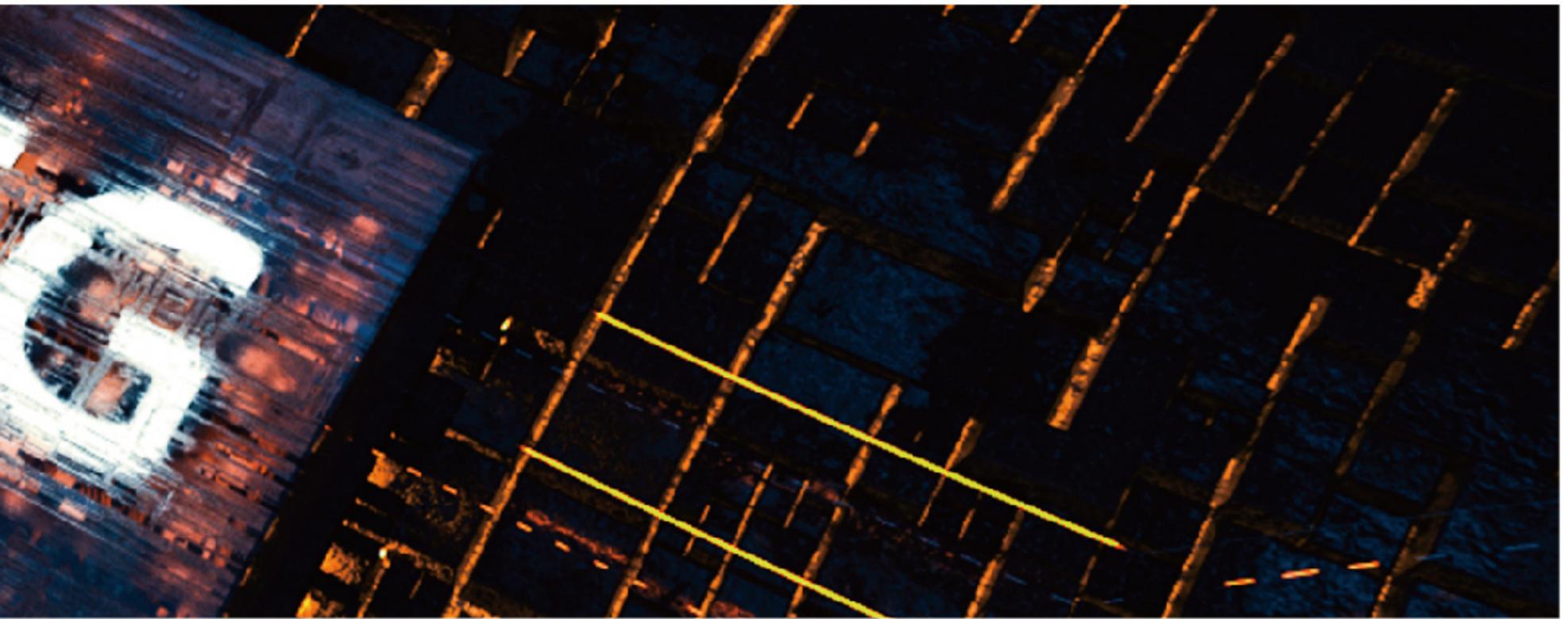
除了机密性和完整性之外，许多新型的应用还具有严格的可靠性和延迟限制，比如智能机器、机器人、交通基础设施，以及自动驾驶汽车，对于上述任何一种应用，信号丢失或超出规定的延迟都可能导致问题的发生，甚至在某些情况下将威胁到人员的生命安全。为了支持此类应用，5G 规范包括了对可靠性和低延迟的内置保证。

若您是兼容 5G 设备的供应商，您需要进行这些保障和措施。但是，最大的挑战是要在具备成本效益和竞争力的解决方案中实现足够的吞吐量和最小的延迟。

供应商的竞争

3GPP 委员会制定的 5G 标准中明确规定了系统要成为 5G 网络一部分时应如何表现，主要与互操作性、弹





性和标准化有关。

5G 并未规定运营商应该如何设计实施设备层来提供一个完整的、安全的系统，可以根据规模、客户群、最大预测负载、服务水平协议等，通过多种方式这样实现。

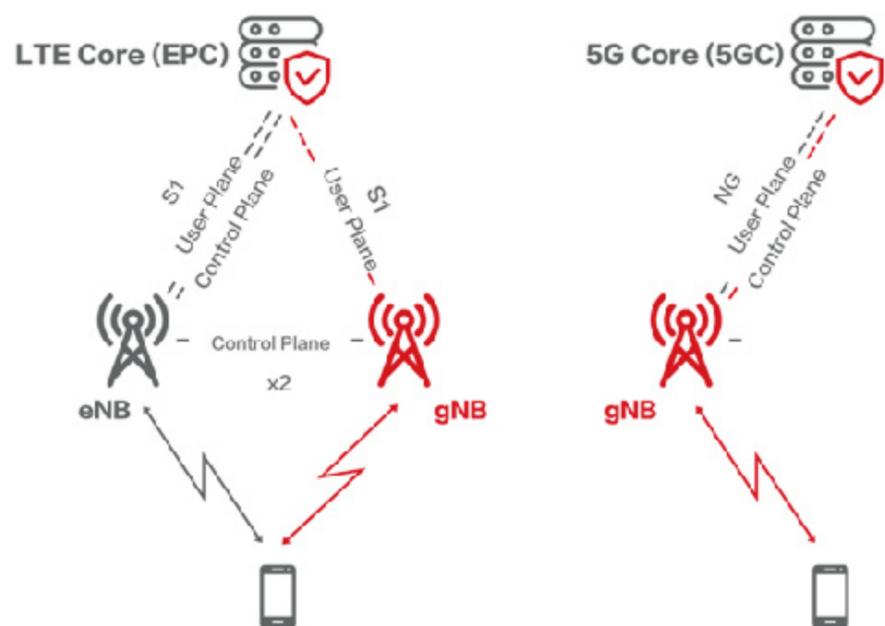
如果您是 5G 设备、机架、系统或芯片的供应商，您仍然有很多选择和操作空间，比如由您决定实现哪些可选的增值功能。此外，各厂商之间的安全措施和可靠性保证的实现可能各不相同。

例如：5G 区分了信号平面（承载管理信号）和用户平面（承载应用程序数据），5G 要求设备和前传之间的无线链路必须经过加密和完整性保护，但是这些功能在用户平面上的实际使用是可选的，并且由操作员来控制。

原因是什么？加密和完整性保护对计算资源提出了很高的要求，这可能与延迟和可靠性的限制产生冲突。5G 允许设备协商最大数据速率，来保护用户的平面数据，如果速率较高，则连接的可靠性优先，而应用数据将不受保护。

基于上述原因，如果您的系统可以降低对加密和完整性的计算需求，那么它将获得更高的受保护数据吞吐量，这是最佳的选择。

增加吞吐量的一种可靠方法是将加密和完整性保护转移到硬件上，而不是在主处理器的软件中运行，在单独的内核上作为嵌入式进程在硬件中运行，将减少主系统的安全成本。而且，它可以硬件速度运行，比同类硬件上的软件例程要快得多。



EPC: Core Network in LTE
5GC: Core Network in 5G
eNB: Radio Base Station in LTE
gNB: Radio Base Station in 5G

S1: Interface between base station and core network in LTE
NG: Interface between base station and core network
X2: Logical interface between base stations in LTE

适用于 SNOW 3G、ZUC 以及其他加密算法的硬件模块

为了进行加密和完整性保护，5G 标准规定了几种公认的算法和密码。

Silex Insight 作为全球领先的安全 IP 供应商，已经在与严苛且高风险市场的客户合作中验证了自

对于加密，算法基于以下几种：

SNOW 3G

ZUC

AES-CTR

对于完整性，使用了以下几种算法：

SNOW 3G

ZUC

AES-CMAC

己的能力，因此非常了解存在的问题和需求。这些模块的设计从一开始就考虑到易于集成的方式，并且体系架构确保了高度的灵活性，对于各种不同的情况，都考虑到了所需要的吞吐量和延迟，并以最低的成本选择最佳的配置。

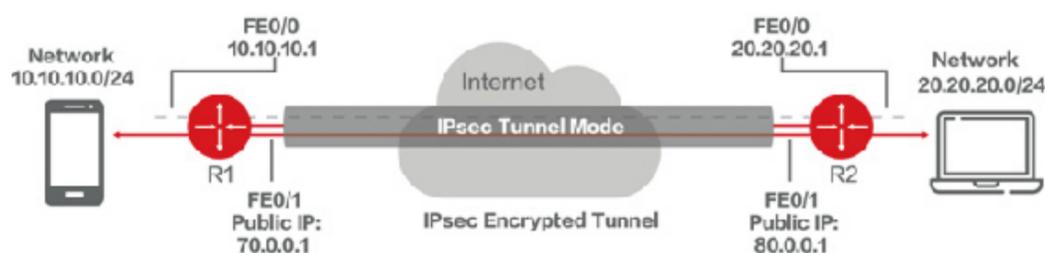
与替代方案相比，Silex Insight 具备几个明显的优势：

1. 适用于 ASIC 或 FPGA 解决方案的通用 RTL 代码
2. 可扩展且灵活，实现最佳的性能 / 资源平衡
3. 经过验证可适用于 SoC、FPGA 架构和技术
4. 易于集成，并提供专家指导和协助
5. 自检 RTL 测试平台，包括 ETSI 测试载体

在混合中添加 IPsec

移动网络向 4G 的发展中也是从使用专用移动回程网络协议向使用互联网的 IP / IPsec 协议的转变，5G 时代这种标准化得以继续和深化。这最终将导致所有接入类型，包括有线以太网、点对点无线、蓝牙、Wi-Fi、4G/LTE 或 5G，都融合到可实现所需弹性和灵活性的多功能 IP 网络上。

最终，诸如 IPsec、MACsec、SSL/TLS（用于身份验证）之类的互联网协议也已成为 5G 系统上的标准，它们将帮助创建经过身份验证和加密保护的通道，在站点和网络元素之间发送数据。但是当调用它们时将增加计算量，尤其是当必须建立许



多连接并行运行时，特别是当 SSL/TLS 身份验证握手时将涉及复杂的数学运算，这些运算可能会临时使用处理器的大部分功能。

IPsec 启用跨公共互联网的加密通道，可保护远程位置之间发送的 LAN 数据包

具有前瞻性并且关注质量的供应商还将把这一过程转移到硬件上，Silex Insight 为此开发了许多核心 IP 模块，它们涉及 MACsec、IPsec、SSL/TLS 处理，并符合最新的标准和规范，同时，它们为通过异构 IP 网络的安全数据通道提供数据完整性，数据源真实性、机密性，以及身份验证。对于 5G 网络元件，可以对其进行配置达到最大的数据吞吐率：在 ASIC 中高达 1.5 Tbit / s。

总结

5G 更能成为我们这个互联社会的基石，因为其无与伦比的无线速度和吞吐量，以及首次实现的可靠性和延迟，它将开启大量具有增值功能或服务的应用场景。

对于 5G 设备供应商而言，挑战

在于设计一个安全、可靠且具有前瞻性和竞争力的系统，这样做的一个关键要素是将安全性和网络处理转移给快速硬件，可用于无线链路和后端网络。

Silex Insight 作为可靠的供应商之一，可以提供高性能 IP 模块，可以经济高效、安全、快速的方式集成此类加速器。包括端到端数据加密所必需的加密算法，业内最快的 SSL/TLS 握手引擎之一，以及超高性能的 MACsec 和 IPsec 处理。

(FPGA 上达到 100 Gbit/s, ASIC 上达到 1.5Tbit/s)





Imagination
Inspire 2019
NEW GPU
GENERATION
2020
Graphics, AI & Compute

NEW GPU
GENERATION
2020
Graphics, AI & Compute

万物的 GPU

A系列GPU是Imagination 25年行业经验的结晶。凭借灵活的设计和可扩展的架构，“万物的GPU”将帮助您获得绝对竞争优势。

imaginationtech.com

 Imagination



机器学习实战： GNN（图神经网络）加速器的 FPGA解决方案

应用Achronix Speedster7t FPGA设计高效、可扩展的GNN加速器
作者：袁光（KevinYuan），Achronix资深现场应用工程师

1. 概述

得益于大数据的兴起以及算力的快速提升，机器学习技术在近年取得了革命性的发展。在图像分类、语音识别、自然语言处理等机器学习任务中，数据为大小维度确定且排列有序的欧氏（Euclidean）数据。然而，越来越多的现实场景中，数据是以图（Graph）这种复杂的非欧氏数据来表示的。Graph不但包含数据，也包含数据之间的依赖关系，比如社交网络、蛋白质分子结构、电商平台客户数据等等。数据复杂度的提升，对传统的机器学习算法设计以及其实现技术带来了严峻的挑战。在此背景之下，诸多基于Graph的新型机器学习算法—GNN（图神经网络），在学术界和产业界不断的涌现出来。

GNN对算力和存储器的要求非常高，其算法的软件实现方式非常低效，所以业界对GNN的硬件加速有着非常迫切的需求。我们知道传统的CNN（卷积神经网络）硬件加速方案已经有非常多的解决方案；但是，GNN的硬件加速尚未得到充分的讨论和研究，在本文撰写之时，Google和百度皆无法搜索到关于GNN硬件加速的中文研究。本文的撰写动机，旨在将国外最新的GNN算

法、加速技术研究、以及笔者对GNN的FPGA加速技术的探讨结合起来，以全景图的形式展现给读者。

2. GNN 简介

GNN的架构在宏观层面有着很多与传统CNN类似的地方，比如卷积层、Polling、激活函数、机器学习处理器（MLP）和FC层等等模块，都会在GNN中得以应用。下图展示了一个比较简单的GNN架构。

但是，GNN中的Graph数据卷积计算与传统CNN中的2D卷积计算是不同的。以图2为例，针对红色目标

节点的卷积计算，其过程如下：

- Graph卷积：以邻居函数采样周边节点特征并计算均值，其邻居节点数量不确定且无序（非欧氏数据）。
- 2D卷积：以卷积核采样周边节点特征并计算加权平均值，其邻居节点数量确定且有序（欧氏数据）。

3. GraphSAGE 算法简介

学术界已对GNN算法进行了非常多的研究讨论，并提出了数目可观的创新实现方式。其中，斯坦福大学在2017年提出的GraphSAGE是一种用于预测大型图中动态新增未知节点

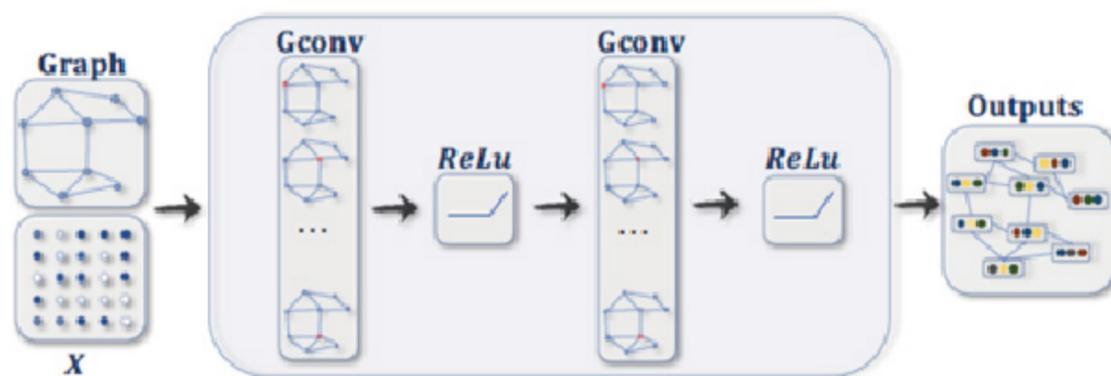


图1：典型的GNN架构（来源：<https://arxiv.org/abs/1901.00596>）

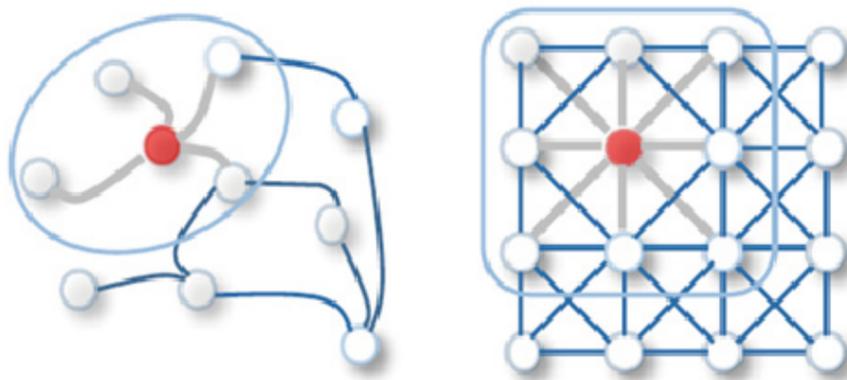


图2：Graph卷积和2D卷积（来源：<https://arxiv.org/abs/1901.00596>）

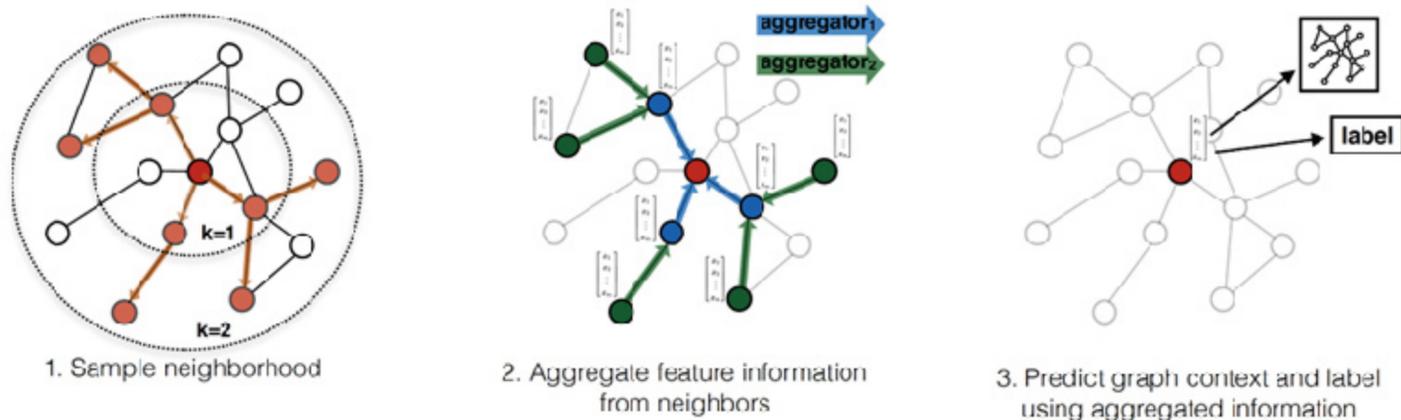


图 3: GraphSAGE 算法的视觉表述 (来源: <http://snap.stanford.edu/graphsage/>)

类型的归纳式表征学习算法，特别针对节点数量巨大、且节点特征丰富的图做了优化。如下图所示，GraphSAGE 计算过程可分为三个主要步骤：

- 邻节点采样：用于降低复杂度，一般采样 2 层，每一层采样若干节点
- 聚合：用于生成目标节点的 embedding，即 graph 的低维向量表征
- 预测：将 embedding 作为全连接层的输入，预测目标节点 d 的标签

为了在 FPGA 中实现 GraphSAGE 算法加速，我们需要知悉其数学模型，以便将算法映射到不同的逻辑模块中。下图所示的代码阐述了本算法的数学过程。

对于每一个待处理的目标节点 X_v ，GraphSAGE 执行下列操作：

- 1) 通过邻居采样函数 $N(v)$ ，采样子图 (subgraph) 中的节点
- 2) 聚合被采样的邻节点特征，聚合函数可以为 $mean()$ 、 $lstm()$ 或者 $polling()$ 等
- 3) 将聚合结果与上一次迭代的输出表征合并，并以 W^k 做卷积

- 4) 卷积结果做非线性处理
- 5) 迭代若干次以结束当前第 k 层所有邻节点的处理
- 6) 将第 k 层迭代结果做归一化处理
- 7) 迭代若干次以结束所有 k 层采样深度的处理
- 8) 最终迭代结果 Z_v 即为输入节点 X_v 的嵌入 (embedding)

4.GNN 加速器设计挑战

GNN 的算法中涉及到大量的矩阵计算和内存访问操作，在传统的 x86 架构的服务器上运行此算法是非常低效的，表现在速度慢，能耗高等方面。

新型 GPU 的应用，可以为 GNN 的运算速度和能效比带来显著收益。然而 GPU 内存扩展性的短板，使其无法胜任海量节点 Graph 的处理；GPU 的指令执行方式，也造成了计算延迟过大并且不可确定，无法胜任需要实时计算 Graph 的场景。

如上所述种种设计挑战的存在，使得业界急需一种可以支持高度并发实时计算、巨大内存容

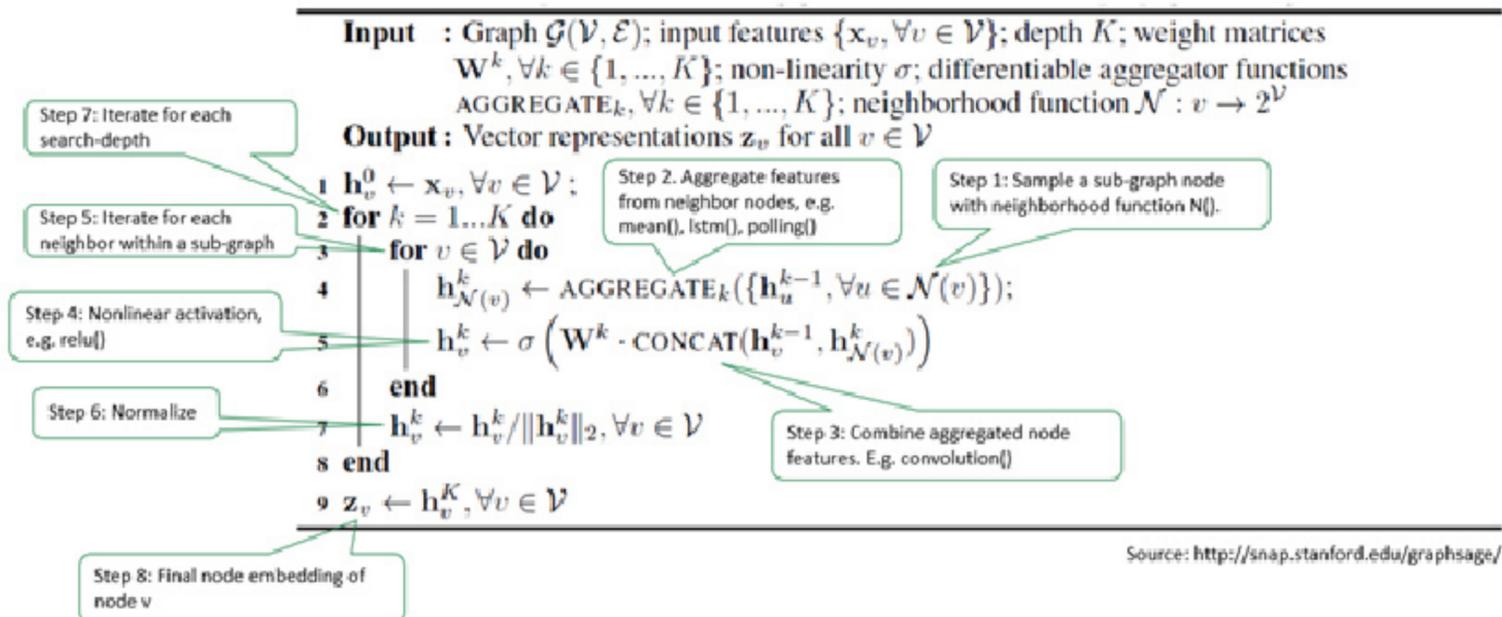


图 4: GraphSAGE 算法的数学模型 (来源: <http://snap.stanford.edu/graphsage/>)

量和带宽、以及在数据中心范围可扩展的 GNN 加速解决方案。

5.GNN 加速器的 FPGA 设计方案

Achronix 公司推出的 Speedster7t 系列高性能 FPGA，专门针对数据中心和机器学习工作负载进行了优化，消除了 CPU、GPU 以及传统 FPGA 存在的若干性能瓶颈。Speedster7t FPGA 基于台积电的 7nm FinFET 工艺，其架构采用革命性的新型 2D 片上网络（NoC），独创的机器学习处理器矩阵（MLP），并利用高带宽 GDDR6 控制器、400G 以太网和 PCI Express Gen5 接口，在保障 ASIC 级别性能的同时，为用户提供了灵活的硬件可编程能力。下图展示了 Speedster7t1500 高性能 FPGA 的架构。



图 5: Achronix Speedster7t1500 高性能 FPGA 架构
(来源: <http://www.achronix.com>)

如上所述种种特性，使得 Achronix Speedster7t1500 FPGA 器件为 GNN 加速器设计中所面临的各种挑战，提供了完美的解决方案。

GNN 设计挑战	Speedster7t1500 解决方案
高速矩阵运算	MLP 机器学习处理器矩阵
高带宽低延迟存储	LRAM+BRAM+GDDR6+DDR4
高并发低延迟计算	FPGA 使用可编程逻辑电路，在硬件层面确保低高并发延迟计算
内存扩展	基于 4*400Gbps 的 RDMA，确保在数据中心范围以极低延迟扩展内存访问
算法不断演进	FPGA 使用可编程逻辑电路，在硬件层面确保算法可升级重配
设计复杂	丰富的硬 IP 减少开发时间和复杂度，NoC 简化模块间互连并提高时序

表 1: GNN 设计挑战与 Achronix 的 Speedster7t1500 FPGA 解决方案

5.1 GNN 加速器顶层架构

本 GNN 加速器针对 GraphSAGE 进行设计，但其架构具有一定的通用性，可以适用于其他类似的 GNN 算法加速，其顶层架构如下图所示。

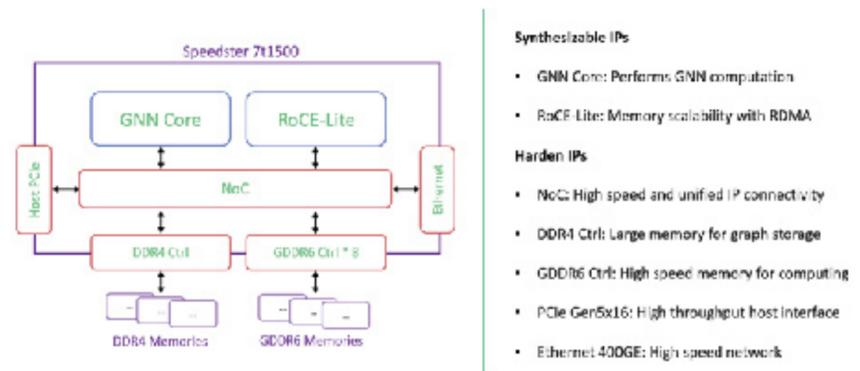


图 6: GNN 加速器顶层架构 (来源: Achronix 原创)

图中 GNNCore 为算法实现的核心部分，其设计细节将在下文展开谈论；RoCE-Lite 为 RDMA 协议的轻量级版本，用于通过高速以太网进行远程内存访问，以支持海量节点的 Graph 计算，其设计细节将在本公众号的后续文章中讨论；400GE 以太网控制器用来承载 RoCE-Lite 协议；GDDR6 用于存放 GNN 处理过程中所需的高速访问数据；DDR4 作为备用大容量内存，可以用于存储相对访问频度较低的数据，比如待预处理的 Graph；PCIeGen5x16 提供高速主机接口，用于与服务器软件交互数据；上述所有模块，皆通过 NoC 片上网络来实现高速互联。

5.2 GNNCore 微架构

在开始讨论 GNNCore 微架构之前，我们先回顾一下本文第 3 节中的 GraphSAGE 算法，其内层循环的聚合以及合并（包含卷积）等两个操作占据了算法的绝大部分计算和存储器访问。通过研究，我们得到这两个步骤的特征如下：

	聚合操作 (Aggregation)	合并操作 (Combination)
存储器访问模式	间接访问，不规则	直接访问，规则
数据复用	低	高
计算模式	动态，不规则	静态，规则
计算量	低	高
性能瓶颈	存储	计算

表 2: GNN 算法中聚合与合并操作对比 (来源: <https://arxiv.org/abs/1908.10834>)



Acctt

成都锐成芯微科技股份有限公司

Chengdu Analog Circuit Technology Inc.

● 超低功耗 IoT/MCU 方案

全套 nA 级模拟 IP，量产验证品质
涵盖 PMU, AD/DA, USB, I/O, PLL, RC, OSC
特别针对 IoT/MCU 的功能和性能优化
极具成本优势的设计架构
平台化方案加速产品设计，缩短开发周期

● 高可靠性 MTP 供应商

高可靠性 >10Yrs/150°C
擦写次数高达 20K - 100K
高达 20nS 读取速度
极具成本优势的设计架构

● 低功耗蓝牙解决方案

超低功耗
超小面积
射频性能优异
具有良好的兼容性

● 高性能高速接口 IP 供应商

大批量量产检验
高兼容性
完整的解决方案



Tel: 028-61682666

Email: sales@analogcircuit.cn

成都、上海、新竹、南京

可以看出，聚合操作与合并操作，其对计算和存储器访问的需求完全不同。聚合操作中涉及到对邻节点的采样，然而 Graph 属于非欧氏数据类型，其大小维度不确定且无序，矩阵稀疏，节点位置随机，所以存储器访问不规则并难以复用数据；在合并操作中，其输入数据为聚合结果（节点的低维表征）以及权重矩阵，其大小维度固定，存储位置规则线性，对存储器访问不存在挑战，但是矩阵的计算量非常大。

基于以上分析，我们决定在 GNNCore 加速器设计中用两种不同的硬件结构来处理聚合操作与合并操作，功能框图如图 7 所示：

聚合器 (Aggregator)：通过 SIMD (单指令多数据处理器) 阵列来对 Graph 进行邻居节点采样并进行聚合操作。其中的“单指令”可以预定义为 $\text{mean}()$ 均值计算，或者其他适用的聚合函数；“多数据”则表示单次

$\text{mean}()$ 均值计算中需要多个邻居节点的特征数据作为输入，而这些数据来自于子图采样器 (SubgraphSampler)；SIMD 阵列通过调度器 Agg Scheduler 做负载均衡；子图采样器通过 NoC 从 GDDR6 或 DDR4 读回的邻接矩阵和节点特征数据 h_v^0 ，分别缓存在 AdjacentListBuffer 和 NodeFeature Buffer 之中；聚合的结果 $h_{N(v)}^k$ 存储在 AggBuffer 之中。

合并器 (Combinator)：通过脉动矩阵 PE 来执行聚合结果的卷积操作；卷积核为 W^k 权重矩阵；卷积结果通过 ReLU 激活函数做非线性处理，同时也存储在 PartialSumBuffer 中以方便下一轮迭代。

合并的结果通过 L2BN 归一化处理之后，即为最终的节点表征 h_v^k 。

在比较典型的节点分类预测应用中，该节点表征 h_v^k 可以通过一个全连接层 (FC)，以得到该节点的分类标签。此过程属于传统的机器

学习处理方法之一，没有在 GraphSAGE 论文中体现，此设计中也没有包含这个功能。

6. 结论

本文深入讨论了 GraphSAGEGNN 算法的数学原理，并从多个维度分析了 GNN 加速器设计中的技术挑战。作者通过分解问题并在架构层面逐一解决的方法，综合运用 AchronixSpeedster7t1500 FPGA 所提供的竞争优势，创造了一个性能极佳且高度可扩展的 GNN 加速解决方案。

GNN Core

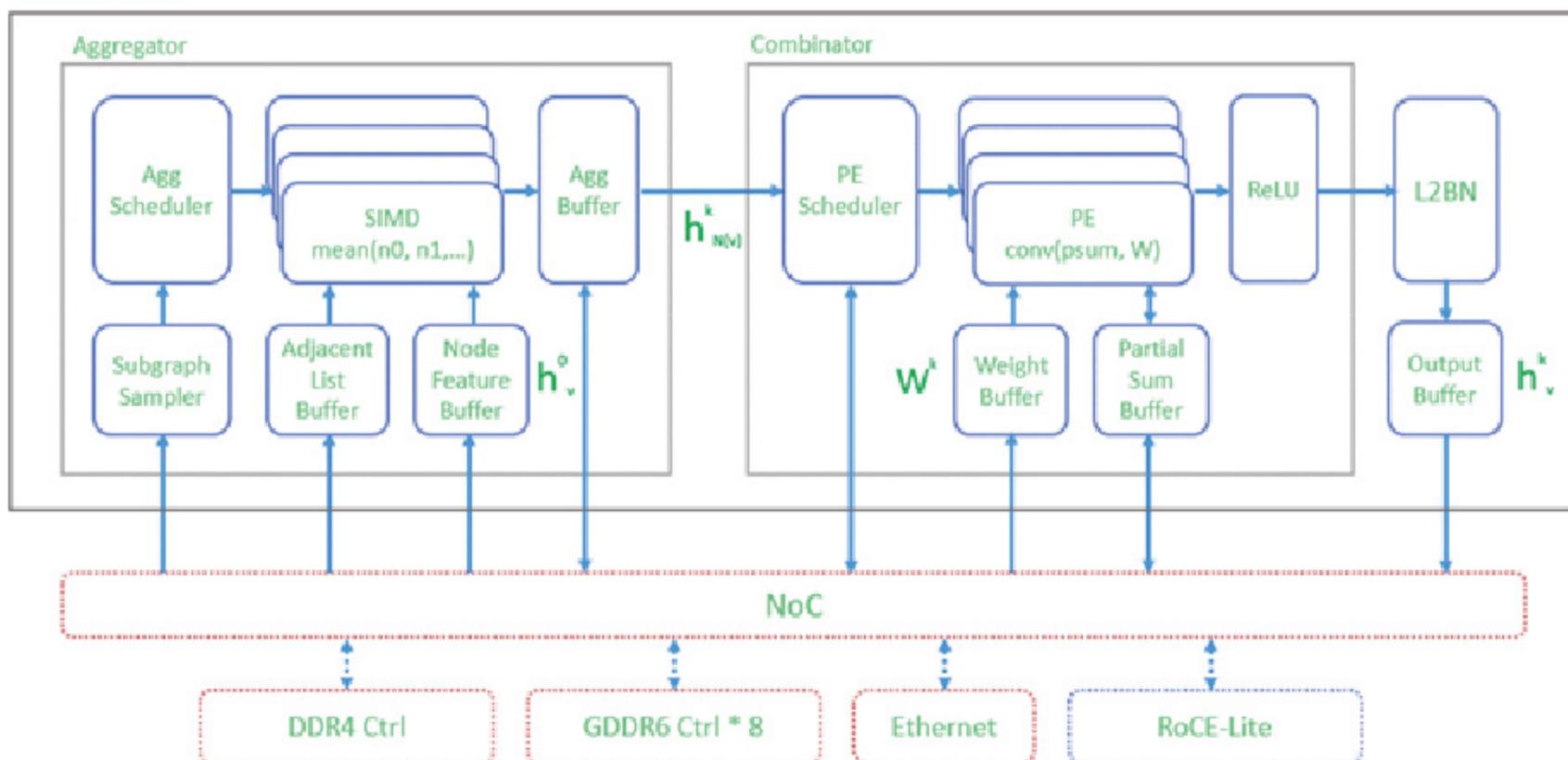
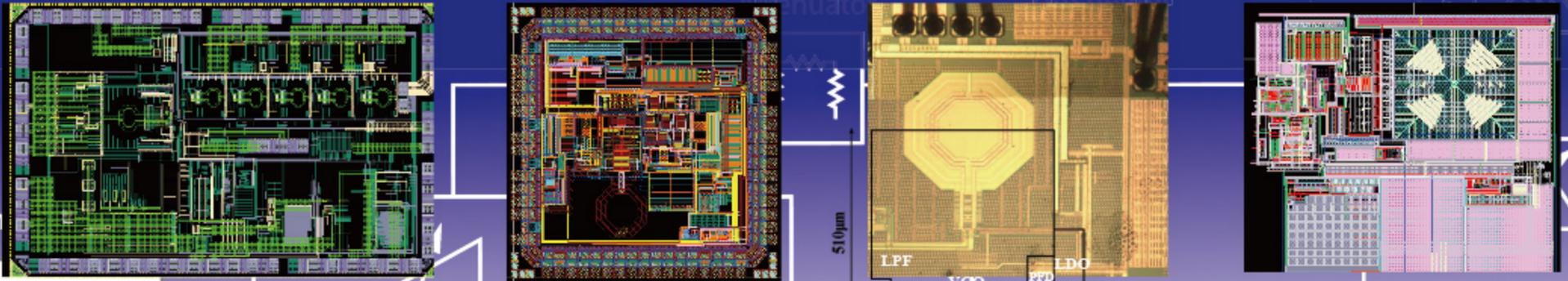


图 7: GNNCore 功能框图 (来源: Achronix 原创)

国内领先的模拟和射频芯片设计服务及 IP 提供商

CMOS 40...180 nm, RF CMOS 65...180 nm, SiGe BiCMOS 130...350 nm



尔芯电子能够提供广泛的射频集成电路设计服务，拥有 350nm 到 40nm 的 RFCMOS 和 SiGe 的经验，频率高达 40GHz。可以支持您的定制规格或利用我们广泛的 IP 来支持您的需求。设计范围从单个的模块，如 LNA、VCO、PLL 或 MIXER 到完整的无线电子系统。我们与一流的晶圆厂、封装、测试的战略关系，加上我们丰富的设计专业知识，确保射频和微波设计满足客户的预期。

Design service : Sub-6GHz Transceiver

支持 Sub-6G 工作频段，采用零中频结构，射频带宽最高可支持 200MHz，可配置小数频率综合器，提供窄带和宽带两种模式选择，快速带宽 / 直流消除 / 镜像抑制 / 载波馈通等校正技术，fast SPI 配置，为系统集成提供便捷灵活的接口。WIFI/BLE/SDR 等项目和产品经验涵盖 ADC/DAC。

工艺：CMOS 和 SiGe

制程：180nm/130nm/90nm/65nm/55nm/40nm

※根据客户需求定制高性能和低功耗版本

Silicon IP : PLL

Frequency band:

550MHz

Phase noise:

<-117dBc/Hz@100kHz

<-140dBc/Hz@1MHz

RMS Jitter: 217fs (10k-25MHz)

Spur: <-65dBc

工艺：CMOS 和 SiGe

制程：180nm/130nm/90nm/65nm/55nm/40nm

※可以根据客户需求定制

Frequency band:

2.8-3.8 GHz

Phase noise:

<-120dBc/Hz@1MHz

<-98dBc/Hz@100kHz

RMS Jitter: 0.86ps (10kHz~10MHz)

Spur: <-65dBc

工艺：CMOS 和 SiGe

制程：180nm/130nm/90nm/65nm/55nm/40nm

※可以根据客户需求定制

Frequency band:

20-26GHz

Phase noise:

<-110dBc/Hz@10MHz

RMS Jitter: 低于 80fs (10k-40MHz)

Spur: <-70dBc

工艺：CMOS 和 SiGe

制程：180nm/130nm/90nm/65nm/55nm/40nm

※可以根据客户需求定制

Silicon IP : LDO/Buck/POR/RTC

低纹波和低噪声线性低压差 LDO 和 Buck

极低功耗，亚阈值工作区间

制程：CMOS 和 SiGe, 180nm/130nm/90nm/65nm/55nm/40nm

※根据客户需求定制高性能和低功耗版本



南京尔芯电子有限公司

基于硬件仿真加速器的 PCIe 接口验证方法探究和实现

作者：郝强，工程师，上海高性能集成电路设计中心。
研究方向：集成电路系统级设计与验证

摘要

PCIe 接口是处理器芯片上使用非常广泛的一种高速接口。通过 PCIe 接口，处理器可以与多种高速外部设备进行连接，完成不同场景的应用。因此，在处理器的 RTL 级设计开发阶段，对 PCIe 接口设计的验证显得尤为重要，需要通过不同的验证平台保证 PCIe 接口设计的功能正确性和性能稳定性。本文对基于 Cadence 硬件仿真加速器创建处理器设计的 PCIe 接口验证平台的方法进行探究，同时结合实际项目完成该方法的实施，并完成该种验证解决方案的总结。

引言

随着处理器设计技术的不断发展，处理器的功能和性能得到极大的丰富和提升。其中，处理器总线技术的发展起着重大的推动作用。PCIe 总线作为处理器系统总线的延伸，使得处理器可以与外部高速设备相连，能够完成多种应用功能扩展。因此，PCIe 总线接口成为现代处理器设计中最为常用的外设接口之一。然而，PCIe 总线协议相较于一般慢速的总线协议更为复杂，这就给 PCIe 接口设计的正确性带了挑战。为此，一般会寻求多种验证方法和手段来力求全面地保证 PCIe 接口设计的正确性。综

合验证平台的高效性和验证场景的多样性考虑，采用基于 Cadence 硬件仿真加速器平台的 PCIe 接口的验证方法突出了开发周期短、运行速度快以及调试手段多的优势，日益成为 PCIe 接口设计验证最为重要的验证方法之一。本文描述了基于 Cadence 硬件仿真加速器对某款处理器芯片的 PCIe 接口设计进行验证的实现方法和验证环境的创建流程，用以满足该设计的验证需求。

1. 待测设计简介

本待测设计是一款处理器芯片，集成多种 I/O 接口，其中 PCIe 接口符合 PCIe 3.0 链路标准，支持 x4、x8 和 x16 灵活配置，该设计接口配置为 RC (Root Complex) 工作模式。其结构如图 1.1。该待测设计的核心通过路由部件与 PCIe 接口部件相连，可以实现 DMA 请求和 MSI 等中断请求。

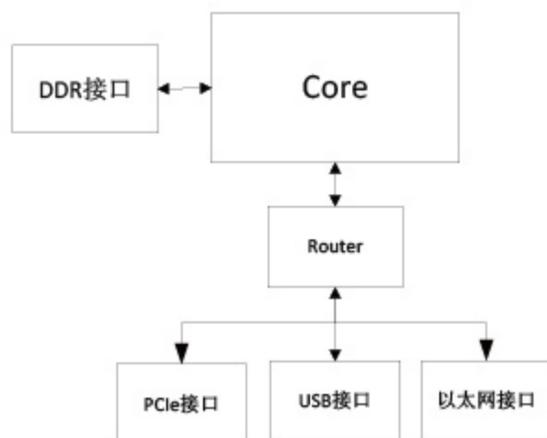


图 1.1

2. 传统的验证方法

为保证处理器设计正确性，传统的验证方法包括软件模拟验证 (Simulation) 和 FPGA 原型验证 (FPGA Prototyping)。

软件模拟验证方法，是通过构建软件仿真验证环境，使用软件模拟器 Simulator (例如 NC-sim) 加载 RTL 级设计和 TestBench，并进行编译和施加测试用例来完成功能模拟。对于集成了 PCIe 接口的设计，还需要使用相应的 VIP (Verification IP) 作为 EP (End Point Device)，来模拟实现 DMA 访问和中断请求等验证。由于这些验证行为都是运行在软件层面，方便波形数据收集和查错，但是，一旦待测设计规模较大，尤其是处理器这种大规模复杂设计，整个验证环境的运行速度下降明显，施加一个测试激励往往需要几个小时甚至数十个小时，运行的时间开销是难以忍受的。

FPGA 原型验证方法，是通过将 RTL 级设计使用 FPGA 资源实现，构建 FPGA 原型验证平台，进行实物验证。这种验证方法，运行速度快是其最大的优势，其运行频率最高能达到几十兆赫兹，比较适合进行连接真实设备对外设接口进行压力和稳定性验证。但是，FPGA 原型验证平台开发和调试

周期较长，往往只能在芯片开发的中后期才能投入使用。而且，根据 FPGA 实现的一些特殊性，一般需要对 RTL 设计进行适应性修改。另一个重点不在于调试手段有限，设计运行过程中一旦出现问题难以快速定位。

因此，对于本文的待测设计的验证，尤其是 PCIe 接口验证不能只依赖于软件模拟验证和 FPGA 原型验证，还需要寻求其他更加有效、便于调试的验证方法。

3. 基于硬件仿真加速器的验证方法

硬件仿真加速器验证技术，相对传统验证技术形成较晚，但随着各大 EDA 公司大力的投入研发和推广，已经成为一种成熟的验证技术，受到行业内的接受和认可，这其中，以 Cadence 公司的 Palladium 系列的硬件仿真加速器产品的表现最为突出。基于硬件仿真加速器的验证方法，相较于软件模拟验证，具有更快的验证速度和更真实的外设测试平台。而相较于 FPGA 原型验证，它具有更短的开发周期和更丰富的调试手段。因此，本文所提的待测设计在研发周期内，开发了多种基于硬件仿真加速器的验证平台，运用于系统软件调试、应用课题仿真和外设接口验证等。

本文将重点探究基于硬件仿真加速器验证平台在对 PCIe 接口设计进行验证中所采用的验证方法。

3.1 验证平台的整体结构

如前所述，PCIe 接口属于高速总线接口，就 PCIe3.0 而言，可以支持 2.5Gbps、5.0Gbps 和 8.0Gbps 的传输速率，要直接在如此高的传输速率下进行仿真验证，对任何验证平台来说，都是一个不小的挑战。以 Cadence 公司 Palladium Z1 硬件仿真加速器为例，尽管其最高仿真运行频率可以达到 4MHz，但仍然不能直接满足 PCIe 接口的标准要求。为此，Palladium 平台提供了一套解决方案，通过使用 SpeedBridge 进行了快慢两端的速率适配。基于该解决方案，需要对处理器的 PCIe 接口部件进行修改。

原始设计的 PCIe 接口应用场景如图 3.1 (a)

所示，PCIe Core 通过 PIPE 接口连接 PCIe PHY，再通过其高速串行接口连接板级的 PCIe 插槽，最终与 PCIe EP 真实设备进行连接。

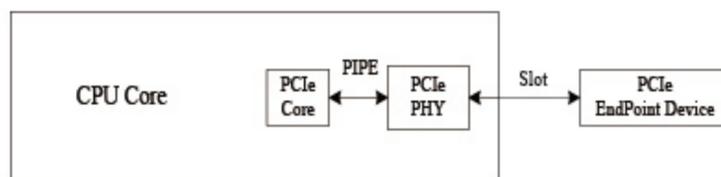


图 3.1 (a) 原始的 PCIe 接口连接场景

修改后的 PCIe 接口验证场景如图 3.1 (b) 所示，由于 PCIe PHY 不可综合，不能直接在硬件仿真加速器上运行，因此，解决方案中提供了 SpeedBridge Wrapper 模块来进行替换，该 Wrapper 模块使用可综合代码实现，将其例化在处理器的 PCIe 接口设计中，其一端通过 PIPE 接口与设计进行连接，另一端输入输出端口映射到硬件仿真加速器的外部硬件接口引脚，再通过连接器电缆与 PCIe SpeedBridge 相连，PCIe SpeedBridge 与 PCIe EP 设备安插到支持两个 PCIe 插槽的第三方底板上。这样就构建出了基于硬件仿真加速器的 PCIe 接口设计的验证平台。其中，带 PCIe 接口的处理器设计与 SpeedBridge Wrapper 运行在硬件仿真加速器上，以低速率通过 PCIe SpeedBridge 进行速率转换，实现了与外部高速率 EP 设备的通信。

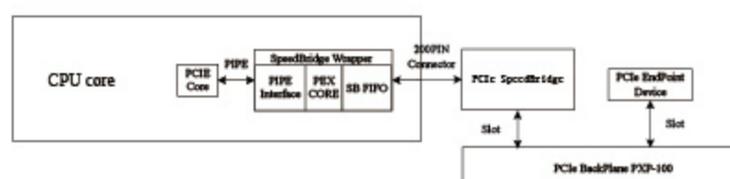


图 3.1 (b) PCIe 接口验证场景

在此解决方案中，运行在硬件仿真加速器上的 PCIe 接口设计可以与 SpeedBridge Wrapper 间使用 2.5Gbps、5.0Gbps 及 8.0Gbps 的传输速率进行仿真，因此，PCIe 接口设计可以得到充分地验证。需要指出的是，PCIe SpeedBridge 与外部 PCIe EP 设备只运行在 2.5Gbps 的速率，但这已经足够了。

3.2 验证环境内部实现

前面提到，运行在硬件仿真加速器上的 PCIe 接口设计，需要通过 SpeedBridge Wrapper 作为中间模块，与外部 SpeedBridge 进行连接，本节内容将进一步探究其实现方法。

PCIe 接口设计与 PCIe SpeedBridge Wrapper 在本待测设计中都是使用 Verilog 编写, 只需要按照模块间的一般连接方式实现即可。需要注意的是, 这两者的连接, 应该直接通过 PIPE 接口直连。

SpeedBridge Wrapper 与硬件仿真加速器的外部硬件 Pin 脚是通过 terminal 映射方式, 这就需要先将 Wrapper 的输入输出端口连接到验证环境顶层。通常的做法是, 将 Wrapper 的端口引脚类似待测设计的子模块一样, 自下向上一层一层地传递后, 连接到最外层, 作为验证环境顶层的输入输出。然而, 这种做法比较繁琐, 需要大量修改待测设计各个关联层次的端口数量, 而且, 也会在一定程度上增加了待测设计代码的后期修改维护的工作量。因此, 硬件仿真加速器提供了另一种实现方式, 即在预编译之前, 通过 globalNet 命令将需要引出的内部信号声明为 global net, 这样就可以在环境顶层直接使用, 省去了模块间的穿透, 这大大减少了代码修改的工作量, 这是比较推荐的做法。

定义了 globalNet 之后, 就可以通过 cableConnection 指定硬件仿真加速器与外部 Target 系统的连接接



图 3.2-1 SpeedBridge Wrapper 端口物理映射流程

口类型, 即与外部 PCIe SpeedBridge 连接的硬件接口类型, 在 Palladium Z1 硬件仿真加速器上, 需要使用 TPOD 接口。

```

targetLocation -add PCIe_1T3_1T4 PCIeG3 emu_host {1_T3 1_T4} -info {First PCIe SB instance}
targetLocation -add PCIe_1T0_1T1 PCIeG3 emu_host {1_T0 1_T1} -info {alternate connection1}
targetLocation -add PCIe_1T2_1T3 PCIeG3 emu_host {1_T2 1_T3} -info {alternate connection2}
targetLocation -add PCIe_1T1_1T4 PCIeG3 emu_host {1_T1 1_T4} -info {alternate connection3}
  
```

图 3.2-2 target 配置多选示例

选择硬件接口之后, 就需要对 terminal 进行物理关系映射, 同时, 设置合适的时序约束。

在 targetLocation 配置时, 除了首选的 TPOD 资源配置之外, 可以额外配置几组以备选, 便于在运行阶段, 按照可用资源进行灵活选择, 避免了再次分配资源进行重复编译。

在完成了 PCIe SpeedBridge 相关的硬件接口配置之后, 就可以进行硬件仿真加速器验证环境的编译和后续运行了。需要注意的是, 编译和运行的模式需要设置为 In-Circuit Emulation 即 ICE 模式。

实际上, Cadence 已提供了较多基于 SpeedBridge 使用示例流程, 诸如 PCIe、Ethernet、USB 等等, 用户可以比较轻松地按照示例进行验证平台的创建, 并且可以快速投入相关验证工作。

3.3 验证调试方法

PCIe 设计接口的验证需要面向多种应用场景, 这也就为查错和调试带来难题。基于硬件仿真加速器的验证平台, 在为用户提供较高的工作频率下, 也为用户开发多种调试手段成为可能。

在该待测设计中, 主要经历了三种调试阶段。

(1) 基于操作系统内核和用户测试程序信息的粗粒度调试阶段



```

Time == 96327.995842 ns PCIE3 SB LTSSM ==> 02
Time == 96327.995842 ns PCIE3 Slow Side Link Status: Trying to Establish link with the DUT: Polling .....
Time == 129215.874782 ns PCIE3 SB LTSSM ==> 04
Time == 129979.929044 ns PCIE3 SB LTSSM ==> 05
Time == 130207.81474 ns PCIE3 SB LTSSM ==> 06
Time == 130879.852656 ns PCIE3 SB LTSSM ==> 07
Time == 130911.899082 ns PCIE3 SB LTSSM ==> 08
Time == 130947.881034 ns PCIE3 SB LTSSM ==> 09
Time == 131555.826098 ns PCIE3 SB LTSSM ==> 0a
Time == 131671.830412 ns PCIE3 SB LTSSM ==> 10
Time == 131671.830412 ns PCIE3 Slow Side Link up : Gen1 @ 2.5 Gbps
Time == 133991.916692 ns PCIE3 SB LTSSM ==> 0c
Time == 134152.898446 ns PCIE3 SB LTSSM ==> 0b
.....
Time == 134580.93375 ns PCIE3 SB LTSSM ==> 29
Time == 134588.804802 ns PCIE3 SB LTSSM ==> 0e
Time == 134620.851228 ns PCIE3 SB LTSSM ==> 10
Time == 134620.851228 ns PCIE3 Slow Side Link Up: Gen3 @ 8.0 Gbps

```

图 3.3-1 SDL Monitor 状态监测示例

正是由于硬件仿真加速器的运行速度快的优势，使得在处理器设计开发初期，就可以运行操作系统和用户测试程序。这样，通过操作系统内核信息和用户测试程序调试信息就可以判断出错位置，为后续调试指明方向。这个阶段可称之为粗粒度的调试阶段。

(2) 基于 SDL 动态监测的中粒度调试阶段

SDL (全称为 State Description Language)，是 Palladium 硬件仿真加速器所支持的调试脚本语言，它可以调用相关命令控制硬件仿真加速器的运行和交互，比如，暂停待测设计的运行、设置触发条件、捕获波形、以及显示内部设计信号值等等。通过 SDL 实现的 Monitor，可以实时监测 PCIe 设计接口重要的内部状态和事务数据报文，便于进一步问题定位。但受硬件资源限制，监测的信号量还是有限，因此，这个阶段称之为中粒度的调试阶段。

(3) 基于波形分析的细粒度调试阶段

通过前两个粗粒度、中粒度的调试阶段，问题已经能够锁定一个出错区间了。此时，可以在硬件仿真加速器验证环境下设置触发条件，捕获波形，来精准分析出错现场。支持全波形记录，

使得硬件仿真加速器在调试方法上能与软件模拟验证相媲美，方便用户细粒度的分析调试。

4. 总结

通过使用基于 Cadence 硬件仿真加速器进行 PCIe 接口验证的解决方案，大大提升了本文中待测设计的 PCIe 接口验证效率。不管是相比软件模拟验证的运行加速，还是相比 FPGA 原型验证的易于开发调试等，都突出了自身显著优势。当然，本文中对基于硬件仿真加速器的 PCIe 接口验证方法的探究还比较粗浅，需要在后续项目中，进一步深挖和改进，以待能全部发挥 Cadence 硬件仿真加速器的优秀性能。

5. 参考文献

- [1] 王奇. PCI Express 体系结构导读. 北京: 机械工业出版社, 2010. 3.
- [2] Cadence. vxeUserGuide. pdf.
- [3] Cadence. vxecmdref. pdf.
- [4] Cadence. PCIExpress3_0_Speed-Bridge_User_Guide_1.5. pdf.
- [5] Cadence. sdl_training. pdf.

基于FDSOI 存储器单元设计的 VarMan快速蒙特卡洛和高良率分析

作者：CEA-LETI (Silvaco, Inc.)

前言

在过去40年间，基于传统平面CMOS（互补金属氧化物半导体）工艺的全球半导体产业繁荣发展，但随着制成技术微缩达到了纳米级别，器件与器件间性能的偏差（variations）对制造技术造成了巨大的挑战。这种器件性能的偏差严重影响到晶体管的电学特性，进而影响到了集成电路的表现及其功能。

目前，SRAM（静态随机存取存储器）作为高速缓存被广泛置于更高速的中央处理器和较低速的主存储器之间，以衔接二者之间的性能差异。六晶体管（6T）SRAM单元设计几十年来一直被用作内嵌式缓存，已经成功微缩到了28nm节点，并且在更先进的CMOS技术节点中该设计仍然处于主导地位。

多样化的电路设计和工艺技术发展一直引导工业界来确保可靠的SRAM运算和克服SRAM微缩的挑战。然而，为了满足如文中偏差意识设计（variability-aware design）所述的5-/6-sigma良率要求，更高效而准确的统计方法显得十分必要。

概述

蒙特卡洛（MonteCarlo, MC）分析是一种适用于计算参数良率和设计验证的通用方法。蒙特卡洛亦称为强力蒙特卡洛（Brute Force MC），有

着相较于传统预设corner的优势，即准确性。这种准确性不依赖于工艺参数的数目，从而有效避免了参数的过度设计并且实现了参数的相关性管理。

使用蒙特卡洛分析时，参数的变化是通过统计分布实现的（如图1）。这类参数的随机变量选取服从其分布函数，进而蒙特卡洛分析可以尝试在设计初期阶段就捕获绝大多数可能的偏差特性。

如下所述一些基本的统计学概念及其应用：在纳米级技术节点中，一些参数的统计分布并不服从高斯分布，但仍旧在统计概念上将其定义为高斯分布（如图2）；通常

的做法就是将提取出来的分布绘制成高斯分布，并且以sigma为单位划分其良率；此外，其他一些设计者感兴趣的统计参数还有平均值，标准差，最小值和最大值等。

然而，对于蒙特卡洛分析而言，随着仿真数量的增加，精确性提升很缓慢，所以蒙特卡洛通常需要巨大的仿真数量。特别是一些IP库设计，如SRAM存储器单元（bit-cell），要求检测到十亿级别中的几个失效情况，因此蒙特卡洛仿真数量需要到达几百万甚至几十亿的量级。总体而言，蒙特卡洛仿真是非常耗时，主要是由于样本分布的

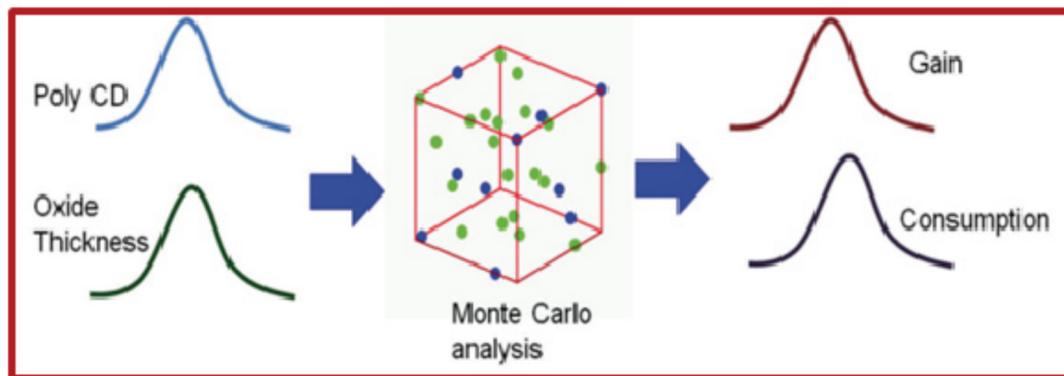


图1. 服从统计分布的工艺参数定义

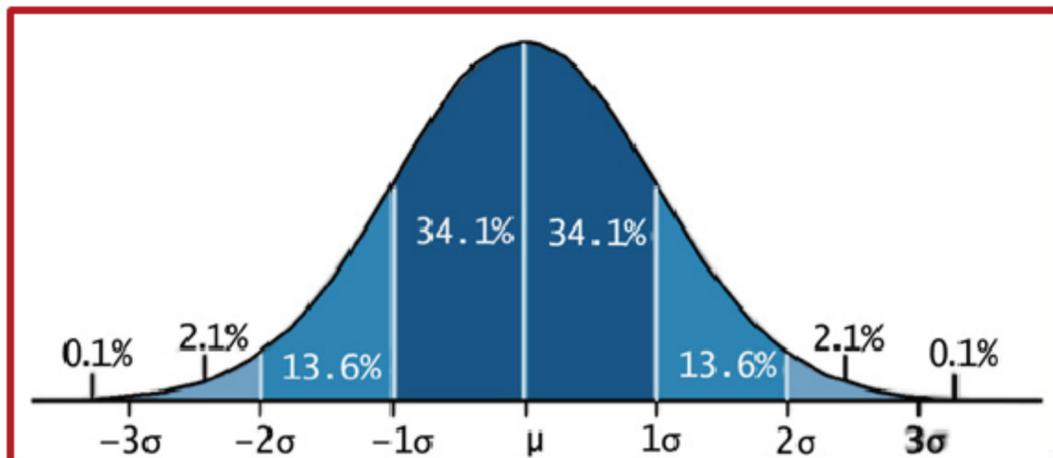


图2. 高斯分布：良率区间划分与sigma的关联

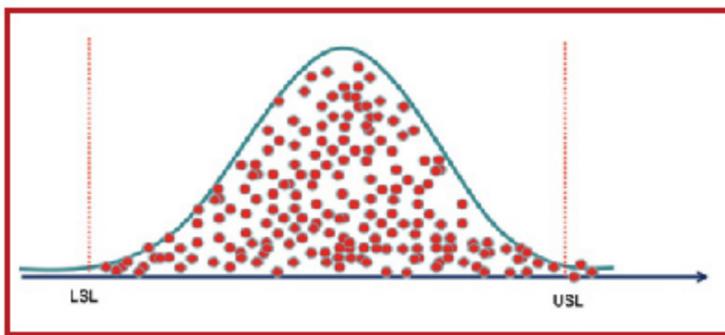


图 3. 蒙特卡洛取样

随机性和不规则性形成了样本数据点的聚集或是离散（如图3），从而造成了很多不能提供任何额外有用信息的多余样本。

更多的蒙特卡洛仿真数量通常会带来更好的准确性。表格1列举了sigma准确性和蒙特卡洛仿真数量之间的关系（在95%的置信区间和 $\pm 10\%$ 失效率相对精度的条件下），这可以帮助设计者预估在指定精度下的产品设计良率。值得注意的是，在选取其他置信区间和相对精度时，需要的仿真数量或多或少会有一些变化。

在设计验证中，较高的精度和较好的置信度仍然是设计者的选取要求。在1946.9亿次仿真实验后得到的6-sigma数据对于设计者来说是完全可信的。而失效检测的要求是在6-sigma分析中，设计者能够检测到5亿次实验中的1次失效情况（如表格2）。

然而，通过失效检测虽然能检测到几次失效情况，但这并不能提供一个对失效率的精确估计。

VarMan 快速蒙特卡洛分析：

采用增强型的整合/抽样策略可以缓减仿真负担，这些策略使用的方法包括Latin Hypercube抽样法、Lattice规则和准蒙特卡洛。然而，值得注意的是当有以下情况出现的时候这些方法并不适用：（a）一些工艺参数变化对电路

性能影响的假设不成立时；（b）工艺参数的数目过多时，如对准蒙特卡洛来说参数数目超过几十个。基于以上的这些考虑，设计者只能选取有限的工艺参数数目，因此想要得出全局的工艺偏差就受到了制约。特别是当制成微缩到了纳米级时，工艺参数的选取会变得极其受限，因为对纳米级制成来说，工艺偏差是由一系列非常多的参数表达式决定的，尤其是局部偏差的参数其随着技术节点的更新在爆炸式增加。

VarMan快速蒙特卡洛方法是一次技术上的突破，即便在考虑大量参数的情况下，通过多次加速蒙特卡洛分析，依然可以帮助设计者实现其需求。

尽管蒙特卡洛面临抽样效率的问题，但是SILVACO的动态优化抽样技术（DOS）能够有效地管理巨大的（高维度空间的）输入数量和很好地适应高度非线性现象（如图4）。这项已获得专利授权的技术克服了诸如多项式实验设计等传统方法的弱点。它实现了多维度参数空间更好的覆盖率，同时保证了新样本在参数空间良好的分布并且和初始样本相关联，所以这并不是一个在多维度参数空间里的简单抽样操作，尤其是对全局或局部变量数量已达到上百甚至上千个的纳米级技术节点而言。

采用快速蒙特卡洛（FMC）时，设计者会期望获得和蒙特卡洛相同的分布形状、sigma值、最小值和最大值以确保其准确性。

一个简明的实现方式就是基于设计者想进行的仿真实验数量，通过快速蒙特卡洛来找到其等效分布，而往往这个数量比传统方法所需要的更少，即快速蒙特卡洛的运行方式。快速蒙特卡洛工具唯一所需的输入条件就是设计者通常想要进行的蒙特卡洛仿真实验数量，然后智能的快速蒙

#o	Monte-Carlo samples (evaluations)	Settings
1	827	✓ Confidence level: 95%
2	8,000	
3	142,000	✓ Relative accuracy of yield loss 10%
4	6 M	
5	670 M	
6	194 B	

表 1. 验证 sigma 准确性所需要的蒙特卡洛仿真数目

Sigma	Hope to detect 1 fail with:
4	15,700 MC runs
5	1.7 M MC runs
6	500 M MC runs

表 2.4-/5-/6-sigma 下的失效检测

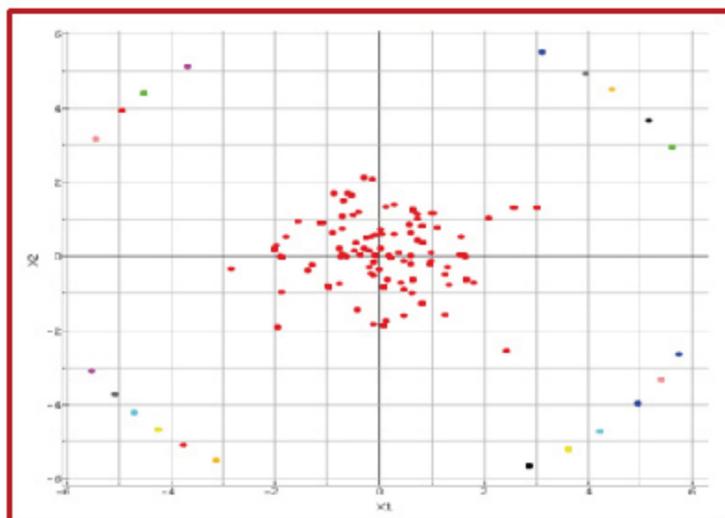


图 4. 动态优化抽样技术

特卡洛工具就会执行运算其统计分布，最终以满足蒙特卡洛所需的精确性。

表格3总结并比较了基于28nm高密度FDSOI存储器单元的快速蒙特卡洛结果和其等效的蒙特卡洛仿真实验数量，图表中指出了蒙特卡洛仿真所需要的数量和快速蒙特卡洛所进行数量。该比较结果是通过Spice仿真器得到的。

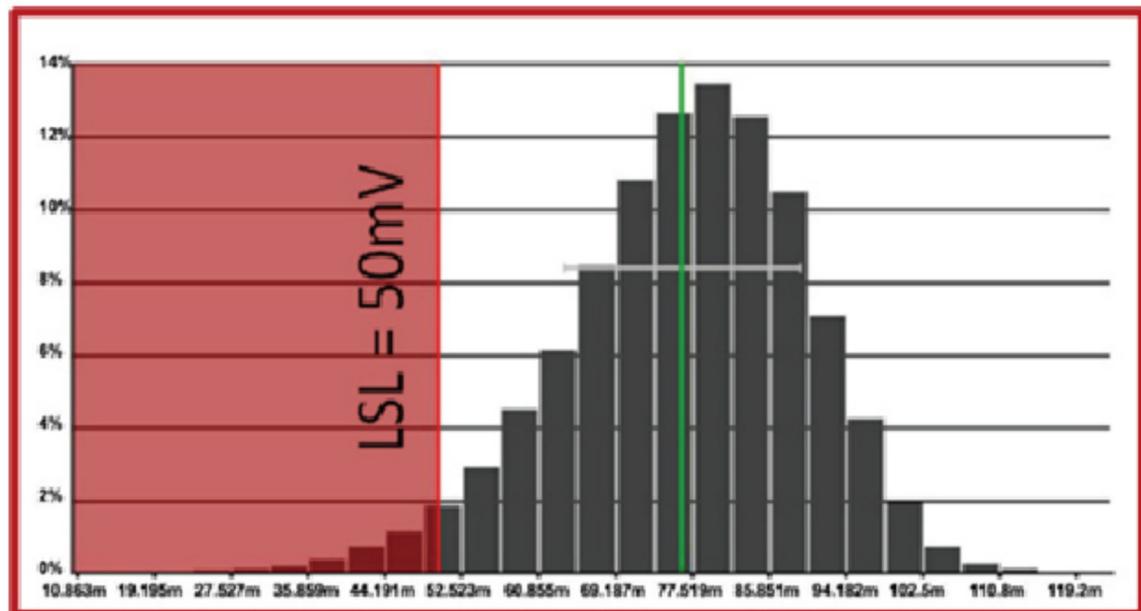
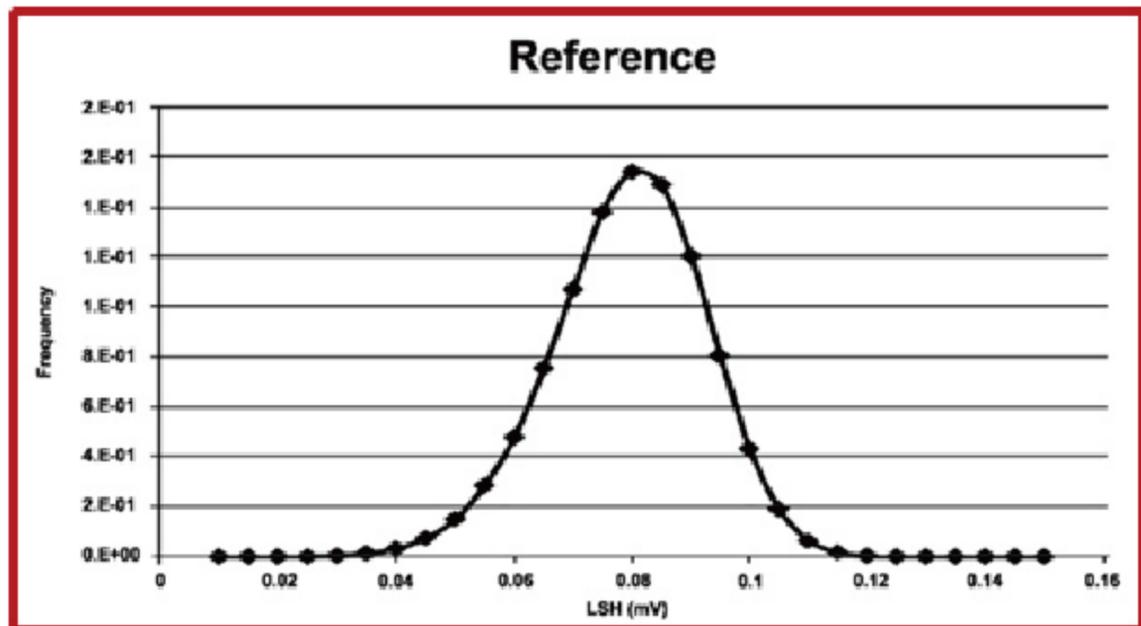
仅仅通过854次和1334次仿真实验，VarMan快速蒙特卡洛就可以分别给出相当于10000次和50000次实验得到的等效分布，同时拥有非常好的准确性。

尽管快速蒙特卡洛能够提供良率的粗略估算，但快速蒙特卡洛并非专门针对准确的良率计算和高良率的研究，而这项任务是由文中后续章节所述的VarMan高良率分析完成的。

VarMan 高良率 (High-Sigma) 分析:

值得注意的是前文中讨论的增强型蒙特卡洛方法并非应用于高良率估算，原因在于研究失效发生的罕见情况通常需要的仿真时间过长而无法接受。目前为止，实现高良率分析的最常规方法就是重要性采样 (Importance Sampling, IS) 和 Statistical Blockade。尽管这些方法都聚焦于大家感兴趣的分布的末端，但是它们都受限于相对工艺参数数目而言较差的可扩展性。后一种方法试图在工艺参数中建立一个位于合格与失效边界的分离器，并用它来决定样本是否要被仿真，但是这样的分离器在高维度和非线性时会遇到准确性的问题。

另一种方法就是最差情况距离分析 (Worst-Case Distance)，通常采用线性行为假设，但是当遇到像SRAM这样复杂情况时准确性会有问题，并且可能导致乐观地估计了



MC samples	Nb. of Simulations	Min(v)	Max(V)	Average(V)	Yield(%)
REF(500 000)	500000	0	0.1281	0.07677	97.219
FMC 10 000	854	1.55963E-2	0.1194	7.70351E-2	98.69
FMC 50 000	1334	1.32721E-2	0.1233	7.63657E-2	97.01

表 3. 基于 28nmFDSOI6T 存储器单元的快速蒙特卡洛与蒙特卡洛结果比较

良率。

VarMan高良率分析利用其强大的动态优化抽样技术，结合其他革新的技术，解决了高维度问题并且利用最少的仿真实验数目来预测了罕见情况的发生 (如图5)。同时，VarMan高良率分析也能够处理非连

续的高度非线性现象。

图6展示了用于高良率分析的动态优化抽样技术。从位于中心的少数几个样本 (蓝色点) 出发，高良率分析能够快速达到大家感兴趣的区间。相比之下，蒙特卡洛 (红色点) 就需要巨大的样本数量以找到处

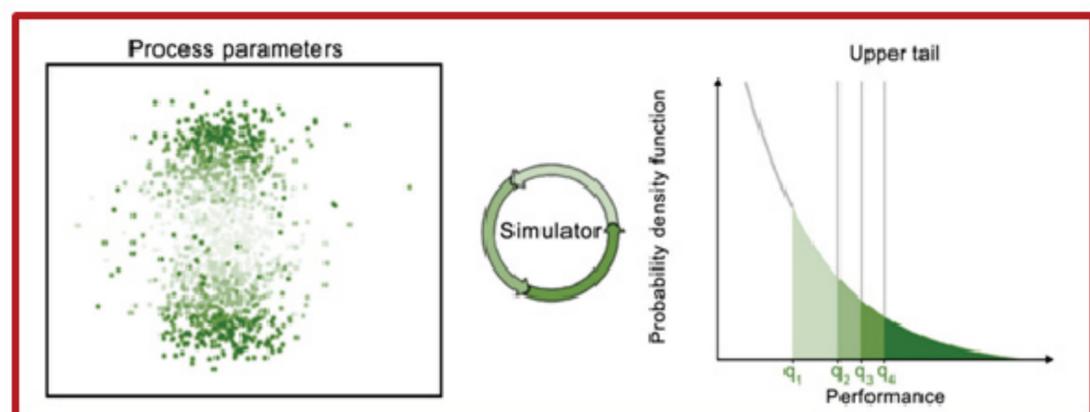
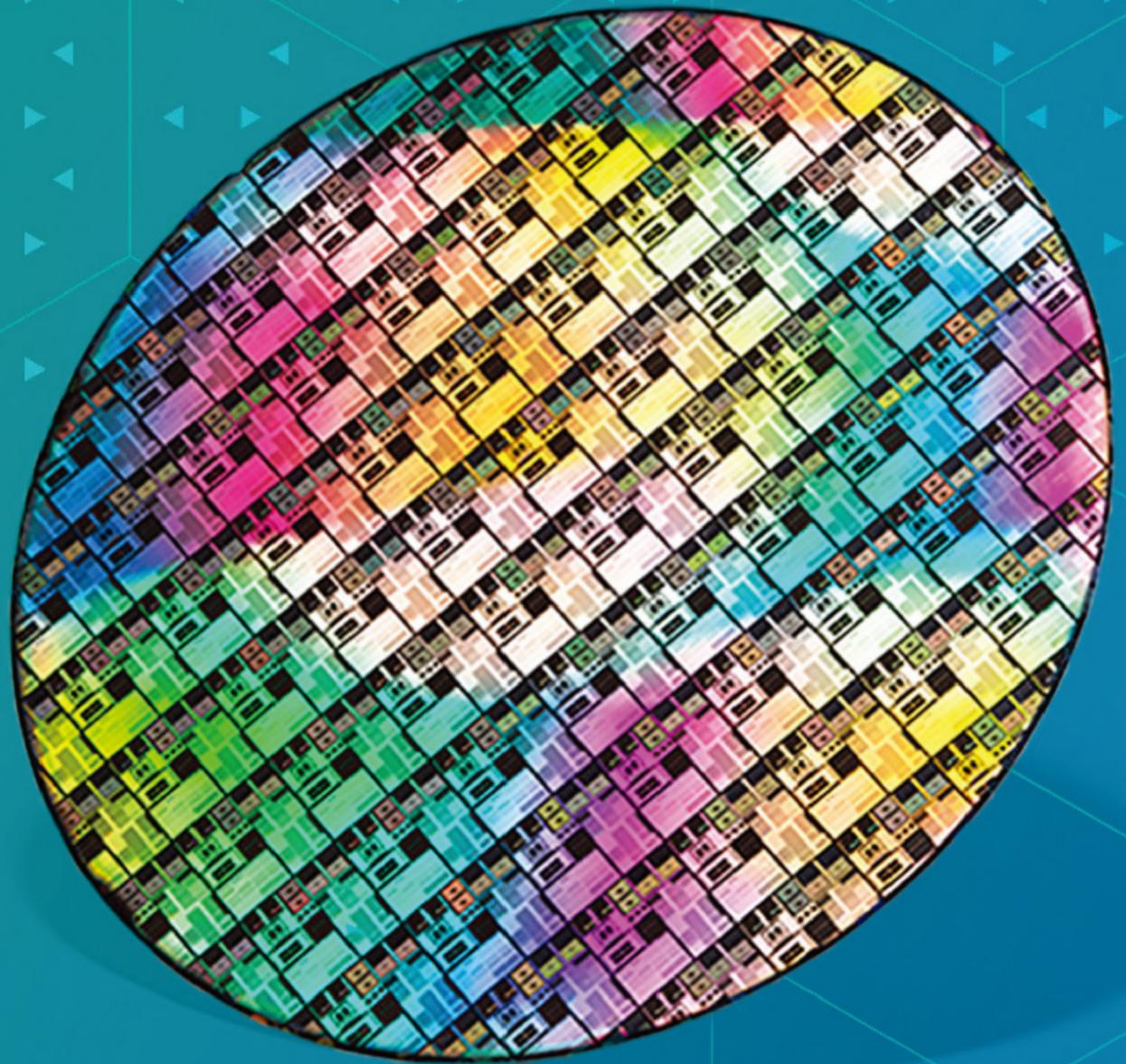


图 5.VarMan 高良率智能抽样

cadence®

Advanced-Node Solutions

Complete, integrated, and silicon-proven design flows at 7nm and below for custom/analog, digital, and mixed-signal SoCs



www.cadence.com

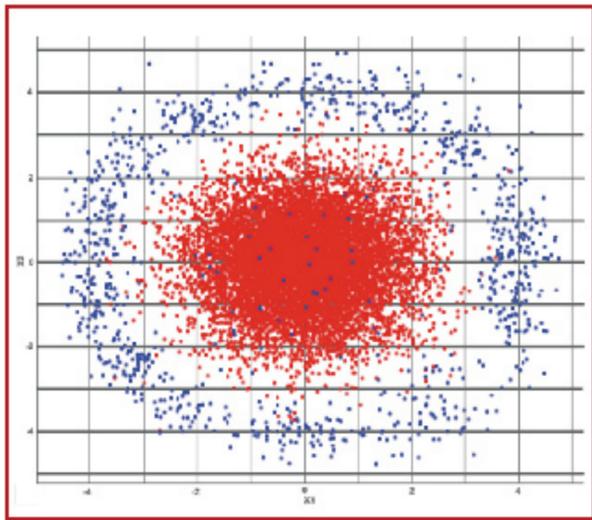


图6. 应用于高良率分析的动态优化抽样(蓝色)和蒙特卡洛抽样(红色)比较

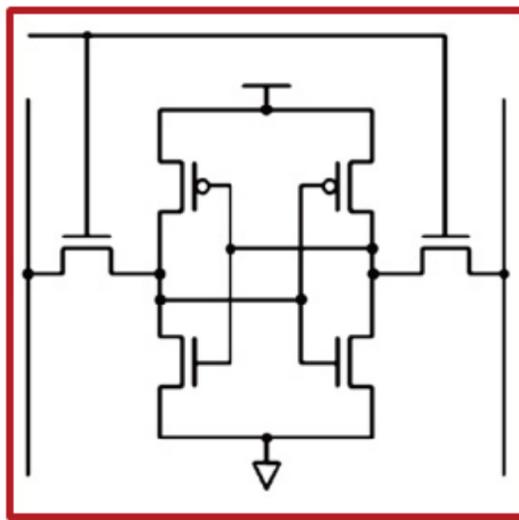
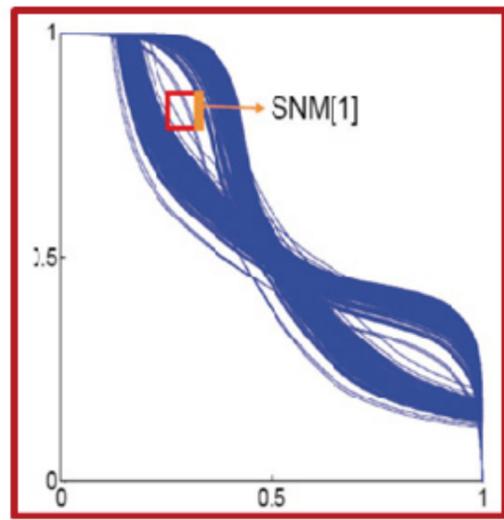


图7. 6T 存储器单元示意图和静态噪声容限量测



于合格与失效边界的相关数据点。

VarMan提供了多样化的高良率分析: 良率估算器和性能极限提取器。前者在设计者能够提供上下限(LSL/USL)时使用, 而后者专门用于在给定sigma的情况下找到其上下限。

图7所示应用于28nmFDSOI高密度6T1T1存储器单元在0.6V下的静态噪声容限(noisemargin)分析。图8比较了高良率估算器得到的结果(归一化单位为sigma)和以六百万次蒙特卡洛仿真为参考标准的结果。图中重点强调了当测试到4.8sigma时, 两组结果间高度的一致性, 同时也意味着0.6V下该存储器单元在5-sigma区间内的稳定性。

当LSL=5e-3时, 高良率估算器给出的良率sigma为4.8389, 并伴随着百万分之一点三(1.3ppm)的良率损失。

再者, 高良率性能极限提取器已经被用于以步长为0.25的3.25~4.75的

sigma区间。与两千万次Spice蒙特卡洛仿真结果相比(如图8), 该提取器提供了很高的精度, 同时也能观察到和采用传统高斯外推方法的差异。

无需多言, 高良率分析同时也是一个非常强大的失效检测器。在确保精确度的情况下寻求对失效率的估算, 高良率分析将会大规模地检测超出标准范围的结果并将它们提供给设计者。

总结:

VarMan不仅仅是一个新产品, 还是在设计层面上处理分析工艺偏差中一个突破性的新方法。一方面高良率分析是有着高精度的稳定工具, 另一方面快速蒙特卡洛又可以被作为一个新的蒙特卡洛标准来帮助设计者管理设计质量和提供更高的生

产效率与设计可靠性。VarMan正是偏差意识设计中缺失的部分, 它能够有效管理全局和局部的偏差, 甚至这些偏差是由一系列非常多的工艺参数所表达的, 并且也不需要设计者额外地去修改网表或是设计套件文件。采用VarMan时, 设计者不需要是一个统计学专家或是随机性设计专家, 而只需要是一位纯粹的设计者和决策者即可。

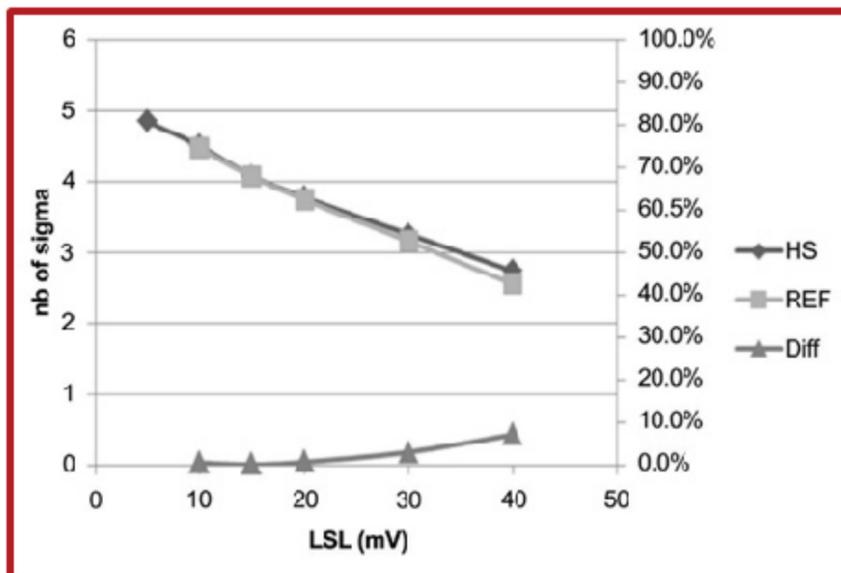


图8. VarMan 高良率分析与蒙特卡洛(参考值)的对比

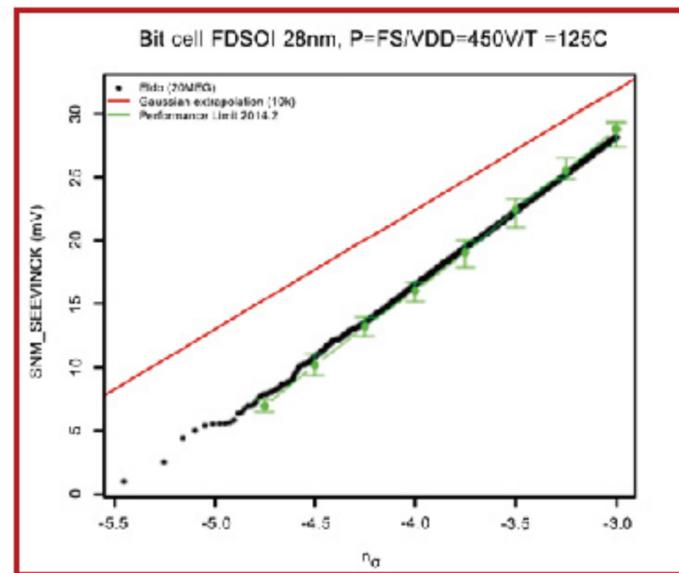


图9. 性能极限提取器结果与两千万次 Spice 结果的对比

基于SRAM的不可克隆的设备身份标识

“用兵之法,无恃其不来,恃吾有以待也;
无恃其不攻,恃吾有所不可攻也。”

-----孙子



为保护物联网安全
而与如下攻击作斗争

- 逆向工程
- 伪造
- 克隆

主要对标市场

- 各类安全芯片
- 通用MCU芯片
- 连接类芯片
- 蜂窝网络物联网
- 传感器芯片
- 工业物联网

选择处理器IP内核时应考虑的实际问题

罗迪·厄克哈特 (Roddy Urquhart)

介绍

大多数集成电路包括至少一个处理器内核和一些嵌入式软件。对于更复杂的片上系统 (SoC)，可能有运行主软件和操作系统的应用程序处理器以及多个专门的子系统处理通信、安全性和传感器等功能。处理要求差别很大，有多种处理器 IP 内核可供选择。处理器 IP 供应商通常通过显示 PPA 数字 (性能、功耗和面积) 相互竞争，但此类指标需要上下文信息，并且可能具有误导性。那么，设计人员在选择处理器 IP 内核时需要考虑哪些事项呢？

在这篇文章中，我们调查以下关键考虑事项：

1. 指令集架构 (ISA)
2. 性能
3. 复杂性
4. 操作系统
5. 子系统硅面积
6. 许可模式

指令集架构 (ISA)

选择处理器最重要的考虑因素之一是指令集架构。30 年前，许多集成电路制造商拥有自己的微控制器架构，市场被许多指令集架构分割。然而，在当时，电脑市场由 X86 架构

主导，X86 不但击败了所有挑战产品，而且开发了大量的应用软件。

随着 20 世纪 90 年代处理器 IP 公司的出现，越来越多的半导体公司采用第三方处理器 IP，Arm 成为手机和嵌入式的主导架构。这导致许多公司开发的产品具有与竞争产品相同的处理器内核，这限制了芯片产品的差异化。然而，随着 Arm ISA 的广泛使用，一个令人印象深刻的软件生态系统被开发出来。

数十年来，Arm 一直被视为独立于半导体公司之外，提供某种“瑞士中立性”。软银公司 (SoftBank) 的收购破坏了这种中立性，这意味着 Arm 不再独立。这一点因 Arm 和 Arm 中国之间的紧张关系而加剧。如果

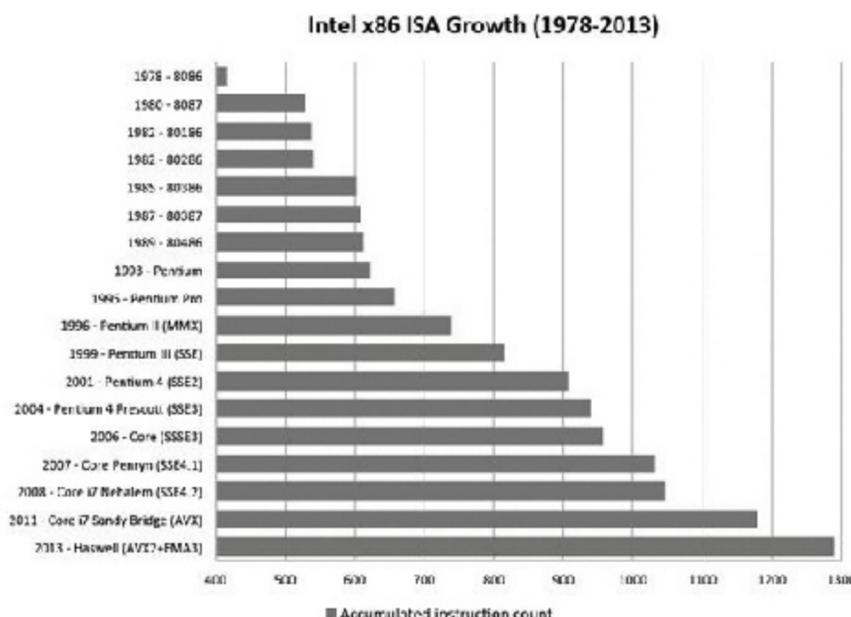
Nvidia 的收购通过，Arm 将由持牌人拥有，完全失去任何中立的假象。许多半导体公司会因为竞争对手半导体公司的关键技术而感到不安。

在选择 ISA 时，您需要考虑许多事项。其中三项最重要，包括：

- a) 复杂性
- b) 软件生态系统
- c) 开放和中立

多年来，人们在增加 ISA 复杂性和减少 ISA 复杂性方面都做出了努力。坎皮纳斯大学的一项研究表明，在 1986 年至 2013 年之间，X86 架构增长了 3 倍多。Arm 的 ISA 也发生了类似的增长。

相反，加州大学伯克利分校的 RISC 项目始于 1980 年，当时只使



来源 - ISA Aging: A Case Study (《指令集架构老化：一项案例研究》)，坎皮纳斯大学



用了 32 条指令，但利用流水线设计和寄存器窗口实现性能。这个概念被太阳微系统公司商业化为 SPARC。1981 年，斯坦福大学 MIPS 项目开发了一个小型 ISA，包含 16 位和 32 位指令的组合。

最近，加州大学伯克利分校的克尔斯特·阿萨诺维奇 (Krste Asanović) 开始了“3 个月项目 (3-month project)”，目的是开发一个干净利落的 ISA。这样做是因为专有 ISA 具有局限性，包括：

- 专利保护 - 成本
- ISA 所有权与处理器设计之间的联系 - 单一供应商
- 许多 ISA 的复杂性 - 通常不需要
- ISA 可能会随着其拥有公司而消亡 - 风险会随时间而变

这成为开放的 RISC-V ISA 标准。

RISC-V 的一个关键特征是它不是通用的 ISA。它认识到不同的应用需要不同程度的 ISA 复杂性。其中有一个非常小的基本指令集（只有 47 个指令的 32 位处理器），然后是一系列可根据需要使用的可选标准扩展。最后，还有用于创建非标准自定义指令的预配。

与专有商业 ISA 不同，RISC-V 使您能够将 ISA 与其设计需求相匹配。例如，来自 Arm 的高端 Cortex-A 处理器将具有 800 多个指令，但它们是必需的吗？使用 RISC-V 时，您可使用基本 ISA 加上具体所需的扩展，如 [G] 和 [P]。

软件的可用性是一个关键的考虑因素。某些软件仅在有限数量的 ISA 上可用，例如，安卓到目前为止仅移植到 Arm 和 MIPS。对于嵌入式软件，许多软件都有源代码，因此可以移植到几乎任何 ISA，而有些有二进制代码。对于 Arm 来说，二进制形式的软件有很多选择，但对于其他专有的 ISA，选择范围小得多。

使用 RISC-V，如果将嵌入式软件编译到基本指令集或标准扩展（如 RV32IMC）的通用组合，那么不管目标处理器是什么，它都可以轻松以二进制形式交付。

最后，考虑 ISA 的开放性很有用。专有架构通常与单个公司联系在一起，因此依赖于该公司的运行状况和生存能力。如果 Arm 和 MIPS 由半导体公司所有，其他开发集成电路的公司就不再认为它们是中立的。

RISC-V 开放 ISA 由独立的 RISC-V 国际组织所有，而不是由单个公司拥有。因此，即使提供 RISC-V 处理器 IP 的公司资不抵债，也可以选择其他 RISC-V 内核供应商。投资针对 RISC-V 内核的软件是一种低风险选择。

性能

看看任何处理器 IP，您会发现其供应商强调 PPA（性能、功率和面积）数字。从理论上讲，它们应为比较不同的处理器 IP 内核提供一个公平的竞争环境，但实际上情况更为复杂。让我们考虑一下什么是“性能”。

首先要考虑的是，您关心性能的哪些方面？您更关心所需的绝对吞吐量（每秒性能），还是更关心每 MHz 的性能？在机器视觉等持续运行且需要使用复杂算法的应用中，您很可能会关心绝对吞吐量。但是，如果您有一个低占空比的无线传感器节点，当节点唤醒时，您将希望它在尽可能少的时钟周期内处于活动状态。这意味着您将关心每 MHz 实现的计算量。

大约 40 年前，计算机以 MIPS（每秒数百万条指令）为基础进行比较，但问题是——什么是“指令”？各种指令在复杂性和架构上有很大的不同，因此，在 CISC 处理器中的一个操作通常比在 RISC 处理器中需要的周期更少。MIPS 只有在将产品与类似体系结构进行比较时才有所帮助，有些人称之为“毫无意义的性能指数”！

另一个要考虑的事项是您最关心的计算类型。这是整数操作吗？如果是，是哪些操作？还是表示浮点计算？在过去，MFLOPS（每秒百万个浮点操作）是一种受欢迎的衡量标准。但同样，什么是“操作”？

如今，综合基准已普遍用于处理器 IP 内核。它们具有以下特征：

- 它们相对较小，便于携带，
- 它们代表常用的相关应用，
- 它们透明且可重复，
- 它们可以公平地应用于一系列处理器，
- 它们将基准结果表示为单个数字。

过去 36 年来流行的基准是 Dhrystone 基准。其名称取自与一度流行的“惠斯登基准”(Whetstone benchmark) 相比较的文字游戏。惠斯登基准通专注于浮点操作, 而 Dhrystone 则专注于整数和字符串操作。Dhrystone 基准结果通常被引用为 DMIPS (Dhrystone 分数除以名义上的 1MIPS 机器的分数)。该基准测试一直受到批评, 因为现代编译器可以优化部分工作, 这意味着它部分测试的是编译器, 而不是处理器性能。

对于浮点, Whetstone 目前很少使用, 有时也会使用 LINPACK 等替代方法。LINPACK 涉及使用浮点数对矩阵进行 LU 分解。结果用 MFLOPS 表示。

自 2009 年以来, 另一个流行的嵌入式应用综合基准是 EEMBC 的 CoreMark®, CoreMark® 旨在开展代表嵌入式整数处理需求的操作。其中包括列表处理、矩阵操作、有限状态机和 CRC。

由加州大学伯克利分校的戴夫·帕特森 (Dave Patterson) 领导的一个小组批评了所有的合成基准, 转而建议 Embench 作为使用真实程序的替代方案。随着该行业的进一步发展, 时间会告诉我们这种做法是否会赢得业内的关注, 但计划采用浮点基准令人鼓舞。

正如您所看到的, 那里有许多不同的基准测试系统, 每个系统都适合度量略有不同的性能类型。那么, 在为项目选择处理器 IP 时, 如何评估性能呢? 如果您的嵌入式软件具有与综合基准类似的操作, 则该基准可能会快速简单地为您提供有用的初始指导。但是, 此类基准通常以 MHz 报价, 例如 CoreMark/MHz。如果您在按周期寻找良好效果, 每兆赫数字值通常是低功率应用的一个好指标。但是, 如果您正在寻找高绝对性能, 这可能是误导。相反, 您应该考虑说, 按您

的目标时钟频率可实现的目标 CoreMarks。

如果您的主要问题是浮点性能, 请记住 DMIPS 和 CoreMark 是整数基准。您最好根据浮点基准 (如 Whetstone 或 LINPACK) 比较内核; 然而, 这些基准相当旧。

最后, 强烈建议将时间投入在处理器内核上运行逼真的软件, 以此评估内核是否为您提供所需的性能。即使综合基准测试给了您快速的指示, 也没有什么可以替代使用真正的应用软件。如果您正在查看 RISC-V, 那么可了解计算瓶颈在哪里的分析软件也会评估添加自定义指令是否可以提高性能。

复杂性

处理器内核越复杂, 面积和功耗越大。但是, 增加复杂性并不是单一维度, 因为处理器可能在不同的方面更为复杂。在选择处理器 IP 内核时, 为项目选择正确的复杂类型非常重要。

思考复杂性的方法包括:

- 字长
- 执行单元
- 特权 / 保护
- 虚拟内存
- 安全功能

通常, 字长越小, 内核越小, 功率越低, 但情况并非总是如此。8 位内核 (如 8051) 在门数上与最小的 32 位内核相当, 但功耗通常更差。8 位内核需要更多的内存访问, 每个时钟周期的计算更少, 需要的周期更多, 因此需要更多的动态功率来完成计算。

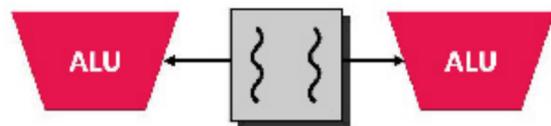
处理器内核在执行单元的复杂性方面差异很大。最简单的是基本的单个 ALU (算术逻辑运算单元), 需要通过简单的指令实现许多常见操作, 例如使用 shift and add 算法来实现乘法。因此, 内核具有硬件乘法器和除

法器是司空见惯的事。在需要良好的浮点性能时, 添加硬件浮点单元将显著提高性能。此选项可用于 CodaSIP 的 Bk3 和 Bk5 RISC-V 内核, 但代价是内核尺寸约扩大为两倍。

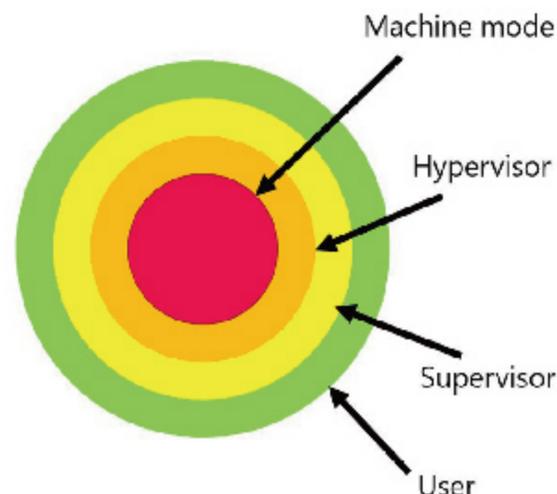
到目前为止, 我们已经假设了一次执行一个指令的标量处理单元和一个计算线程。Superscalar 体系结构具有指令级并行性, 能够获取多个指令并将它们发送到不同的执行单元。例如, 西部数据 EH1 和 EH2 SweRV 内核有两个执行单元。处理一个线程的双发射内核处理理论上可以使单发射内核的性能翻倍。



但是, 线程可能会使两个执行单元暂时处于非活动状态。如果存在两个硬件线程 (harts), 如果一个线程停止, 另一个线程可以继续执行。



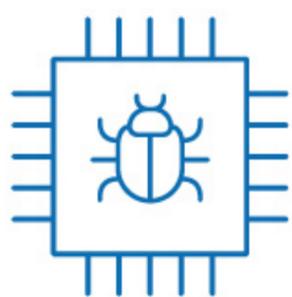
另一个复杂的领域是特权模式 - 通常模式越多, 核心逻辑越复杂。许多嵌入式应用程序在机器模式下运行, 这意味着其代码具有对内核的完全访问权限, 就像 Linux 中的根权限一样。必须完全信任此类代码, 才能避免负面后果。在更复杂的应用中, 可能会提供一系列特权, 如机器、主管和用户。普通应用将在用户模式下运行, 保护量最大, 某些需要更大



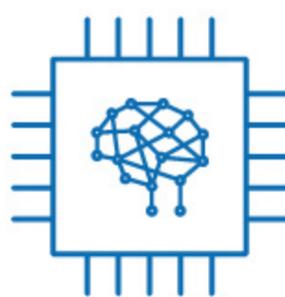


芯片完备性解决方案

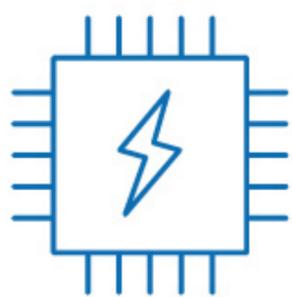
應用領域



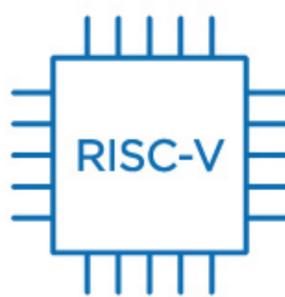
功能正确性



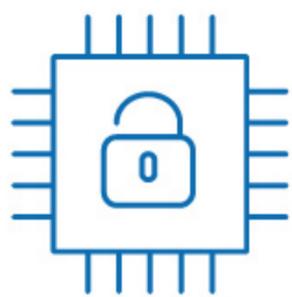
异构计算



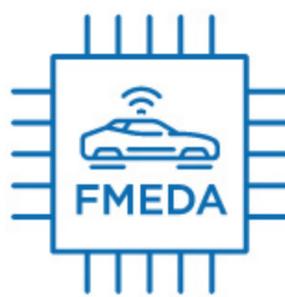
安全



RISC-V



信任与安全



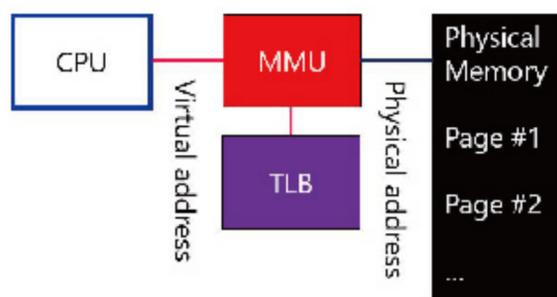
汽车和工业

OneSpin提供最先进, 最强大的验证平台, 以解决当今的关键性芯片完备性问题。 我们的专家致力于解决最棘手的下一代验证挑战, 并提供使设计团队能够创建功能正确, 安全, 可靠且可信赖的SoC的解决方案。



权限的软件将使用主管模式。Linux 需要所有三种模式。RISC-V 规范还定义了物理内存保护 (PMP)，以此防止特权较低的模式访问某些内存空间。

虚拟内存还需要额外的处理器资源，如内存管理单元 (MMU) 和快表 (TLB) 来处理将虚拟内存地址转换为物理地址。这会在不提高处理器吞吐量的情况下，在面积和功耗方面带来额外的成本。然而，虚拟内存对于使用丰富的操作系统 (如 Linux) 很有必要，这些操作系统能够使用更复杂的软件。



最后，硬件安全功能增加了逻辑。这可能以向存储器提供电子加密 / 解密的形式，提供纠错编码和篡改检测块功能。

因此，选择处理器内核时，要弄清您需要什么样的执行单元、内存管理、特权和安全。这种组合将决定内核的复杂性。

操作系统

对于每个嵌入式产品，软件开发人员需要考虑是否需要操作系统；如果是这样，操作系统的类型千差万别，包括内存占用很小的实时操作系统，以及具有丰富特性的通用操作系统 (如 Linux)。

为您的产品选择适当的操作系统类型，并因此确定嵌入式处理器所需的功能，很大程度上取决于您是否面临硬性实时要求。安全关键系统和工业系统 (如防锁制动系统或电机控制) 将具有最大硬响应时间。在该频谱的另一端，如果平均性能足够，则

音频或游戏设备等消费类系统可能能够容忍缓冲。据说这样的系统有软实时要求。

硬实时需求可以通过编写直接控制底层硬件的所谓裸机软件来实现。有时，处理器资源非常有限、软件非常简单和 / 或实时要求非常严格，引入进一步的抽象层会使满足这些硬实时需求变得复杂时，这时通常会使用裸机编程。这种方法的缺点是，这样的裸机软件需要作为一个单一的任务 (加上中断例程) 来编写，这使得程序员很难在其复杂性增长时维护软件。

在处理更复杂的嵌入式软件时，使用实时操作系统 (RTOS) 通常比较有利。它允许程序员将嵌入式软件拆分为多个线程，这些线程的执行由 RTOS 的小而低开销的“内核”管理。使用多线程范式使开发人员能够创建和维护更复杂的软件，同时仍然允许足够的响应。RTOS 通常使用分配给单个线程的“优先级”概念进行操作。然后，RTOS 可以“抢占” (暂时停止) 优先级较低的线程，这样做有利于那些具有较高优先级的线程，以此满足所需的实时限制。在采用复杂的库或协议堆栈 (如 TCP/IP 或蓝牙) 时，通常需要使用 RTOS，因为这种第三方软件通常已经包含多个线程。如今，许多开源和商业许可的 RTOSes 可供选择。

对于一个简单的 RTOS (例如 FreeRTOS 或 Zephyr) 来说，嵌入式处理器的要求的确不高。拥有只配置机器模式 (M) 和定时器外设的 RISC-V 处理器就足够了。因此，这些 RTOS 可以在任何 CodaSoC RISC-V 内核或西部数据 SweRV 内核上运行。但是，由于机器模式对具有相关风险的所有内存和外围设备提供不受限访问权限，因此需要严密的软件开发。通过专门的 RTOS (例如为功能安全 (如 SAFERTOS) 或安全开发的 RTOS，可以提供额外的保护。

如果处理器内核同时支持机器 (M) 和用户 (U) 权限模式，并且具有物理内存保护 (PMP)，则有可能在受信任代码 (具有不受限访问权限) 和其他应用程序代码之间建立隔离。使用 PMP，受信任的代码为应用程序代码的每个部分设置规则，并规定允许访问内存 (或外围设备) 的哪些部分。例如，PMP 可用于防止第三方代码干扰应用程序其余部分的数据，或检测堆栈溢出。因此，使用 PMP 可提高系统的安全性，但代价是需要额外的硬件来支持它。

对于需要更高级用户界面、复杂 I/O 和网络 (如机顶盒或娱乐系统) 的应用程序，RTOS 可能过于简单化。如果有复杂的计算、对完整的进程隔离和多任务处理的要求、文件系统和存储支持，或者通过设备驱动程序将应用程序代码与硬件完全分离，也同样适用。此类系统通常具有软实时要求，且最好由通用丰富的操作系统 (如 Linux) 提供。如前所述，Linux 需要多种 RISC-V 特权模式 (计算机、主管和用户模式 (M、S、U)) 以及用于虚拟到物理地址转换的内存管理单元 (MMU)。此外，与简单的 RTOS 相比，此类系统的内存占用量要大得多。

最后，对于需要硬实时响应和 Linux 等丰富操作系统功能的嵌入式系统，通常使用两个通信处理器子系统进行设计，一个支持 RTOS，另一个运行 Linux。

子系统硅面积

设计中任何部分的面积都会影响硅成本和功耗。在处理器 IP 供应商的 PPA 编号中简单地遵循“A”可能会引起误解。处理器从来都不是孤立的，它是子系统的一部分，另外还包括指令存储器、数据存储器和外设。在大多数情况下，指令内存将占主导地位，而处理器面积则不那么重要。

Accelerate your Product Development Cycle

Industries we cater to...



Storage +
Data Centre



Wireless
+ Mobile



AI + Machine
Learning



Aerospace
+ Defence



Networking



Automotive



Consumer



IOT + Cloud

Spec to Silicon to Embedded Software Services



6 DESIGN CENTRES
WORLDWIDE



IP / ASIC / SoC Services

- IP/ASIC/Subsystems/SoC Development
- Architecture & Digital Design
- Synthesis, Timing & STA
- Functional Verification & GLS
- Emulation & Post SI Validation
- Physical Design
- Physical Verification & Silicon Sign Off
- DFT
- Analog & Mixed Signal Design
- Circuit Design
- Analog Layout



Embedded & Firmware Services

- Integrated Product Design and Maintenance
- Embedded Platform Software and Migration
- Systems Integration
- Embedded OS ,BSP, Device Drivers and Firmware Development
- ML, AI , IOT and IIOT
- RISC V and LLVM based Compiler Customization
- Applications, UI / UX Development, Cloud and DevOps
- Boot and Secure Boot Software
- Hardware Bring-Up , Validation and Certifications

指令集架构	内核大小(kgates)	比基数增加	代码大小(kbytes)	比基数减少
RV32I (基础)	16.0	× 1.0	232	× 1.0
RV32IM	26.2	× 1.6	148	× 1.6
RV32IM+DSP	38.7	× 2.4	64	× 3.6

资料来源:《为物联网应用实施 RISC-V》, Dan Ganousis & Vijay Subramaniam, 设计自动化会议 2017

指令内存的大小将受目标指令集、编译器和使用的编译选项。在 RISC-V 的情况下,选择可选的标准扩展和自定义扩展可以极大地影响代码大小。

为了说明这一点,上表显示了向内核和代码大小添加扩展的效果。在此示例中,Microsemi 使用 Cudasip RISC-V Bk3 内核实现音频处理应用。从 32 位基指令集开始,它们的编码和循环计数高得令人无法接受。通过添加乘法 [M] 扩展实现了一些改进,但突破是使用自定义 DSP 指令。这使得编码大小减少了 3.6 倍,但与基础内核相比,以增加 2.4 倍的核心尺寸为代价。在指令内存占主导地位的情况下,这是一个很好的权衡;此外,性能目标很容易实现。

对于典型的供应商 PPA 数据,通常使用一组复杂的编译器交换机引用一些综合基准(如 CoreMark/MHz)。但在实践中,嵌入式软件可能会使用常见的交换机(如 -O3 或 -O3)进行编译。

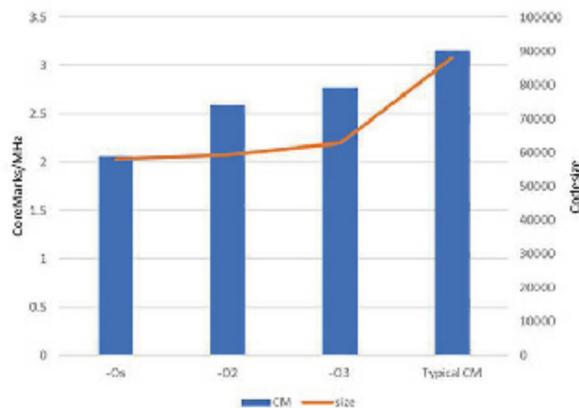
请考虑利用通用的 GCC 编译器使用不同的交换机编译 CoreMark 基准。在这种情况下,目标是具有 3 阶段流水线的 Cudasip RV32IMC RISC-V 内核。下图显示了不同编译器设置的 CoreMark/MHzcodesize 和代码大小度量值。

最后一个示例是典型的供应商性能数据,其中许多交换机用于 CoreMark (CM = “-O3 -flto -fno-common -funroll-loops -finline-functions -falign-functions=16 -falign-jumps=8 -falign-loops=8 -fin-

line-limit=1000 -fno-if-conversion2 -fselective-scheduling -fno-tree-dominator-opts -fno-reg-struct-return -fno-rename-registers -param case-values-threshold=8 -fno-cross-jumping -freorder-blocks-and-partition -fno-tree-loop-if-convert -fno-tree-sink -fgcse-sm -fgcse-las -fno-strict-overflow”)。

在此示例中,CoreMark/MHz 分数随着交换机从左到右的变化而增长。

但是,有趣的是,最复杂的一组交换机



机在“-O3”上增加了 40% 的编码大小,而性能只提高了 14%。

并不是每个示例都会这样运行,但编译器交换机会影响性能和代码大小。重要的是要实事求是地了解要使用的编译器交换机,并确保任何性能基准数据的交换机与用于评估代码大小的交换机相匹配。

许可模式

每个人都熟悉传统处理器 IP 供应商(如 Arm、Cadence 和 Synopsys)的商业许可。但是,在讨论 RISC-V 开放指令集架构 (ISA) 时,普遍存在着术语上的混淆,即通常被描述为“开源”的 RISC-V。有些人甚至指责商业 RISC-V IP 的供应商,如 Cudasip 或 Andes 不符合 RISC-V 的精神。但现实

是什么?

让我们简要地看一下定义。像 C、Verilog 或 HTTP 这样的开放标准是由独立组织维护的文档定义的。因此,C 由 ISO 维护,Verilog 由 IEEE 维护,HTTP 由 IETF 维护。这些组织使用一套公正的规则维护技术标准。这样的开放标准通常可自由访问。

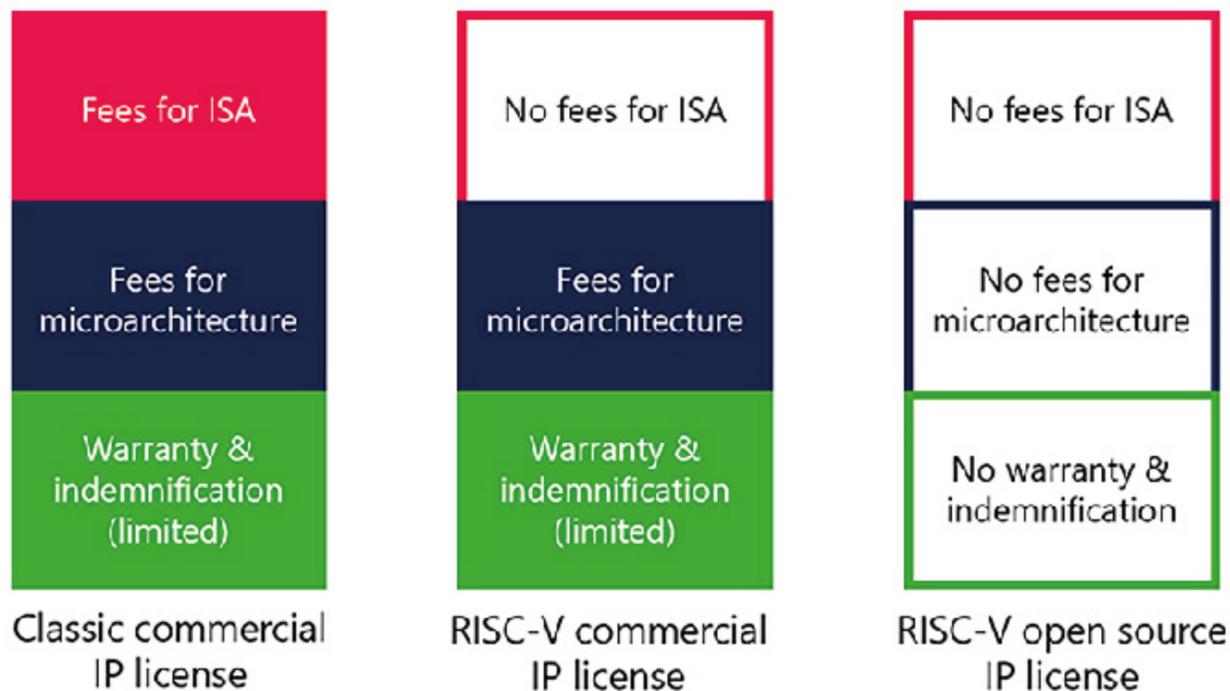
使用开源,软件包的源代码或硬件块的硬件描述语言源可使用许可证提供。开源许可证从限制性许可证(如非盈利版权许可证)到许可授权(如 Apache)各不相同。开源许可证定义使用、研究、修改和分发代码的权利。非盈利版权许可证将要求任何修改都是开源的,而许可授权则不开放。

RISC-V 是一个开放标准,ISA 不定义任何微体系结构或业务模型。因此,RISC-V 微体系结构可以作为商业 IP 许可证或作为开源许可证获得许可。没有规定。

如果我们想到一个经典的商业处理器 IP 许可证,您一般支付:

- 使用供应商的 ISA 的权利;
- 使用供应商的微观体系结构的权利;
- 保修;
- 供应商承诺修复错误;
- 赔偿;

在实践中,保修通常有时限,赔偿有限。但是,对于被许可方,如果发现错误,尤其在日程紧张时发现的错误有价值,供应商有一些复设计的承诺。如果被许可人被指控专利侵权,



知识产权赔偿意味着供应商将代表被许可人为指控辩护或解决。

经典 IP 供应商小心翼翼地保护自己的 ISA 以及他们的微体系结构。普通许可证将 ISA 的使用与微体系结构捆绑在一起，并且没有修改可交付结果的权利。此类供应商很少提供架构许可证，允许被许可方在自己的微体系结构中使用 ISA，但是这样的许可要求的费用很高。RISC-V 非常具有破坏性的一个原因是，免费开放的 ISA 是最有价值的可交付产品之一，而且不需要支付许可费。

鉴于 RISC-V 没有规定微体系结构或如何获得许可，因此既有商业许可，也有开源的 RISC-V IP 内核。使用开源许可证时，您无需为微型体系结构支付许可证费用，但您也无法获得商业许可证的所有好处。通常，交付物没有担保，并要接受“现状”。同样，商业许可证也不存在赔偿。如果发现错误，则许可证方或开源社区需要修复它们。

对于商业许可的 RISC-V 内核，只有费用与微体系结构相关，因为 RISC-V ISA 是免费许可的。有了此许可证，您可以获得通常与商业许可证相关的保修、赔偿和错误修复承诺。

那么，RISC-V 的哪个选择正确呢？商业许可证和开源许可证都有优点和缺点。您需要权衡最适合您的设计项目。

在 Codaip，我们提供商业 RISC-V IP 许可证，并支持采用开源 SweRV 内核。过去，商业许可证和开源许可证一直被视为激烈的竞争对手。然而，在软件界，微软等公司已经接受了这两种模式。

Microsoft 提供商业许可证，支持开源项目，并且具有基于云的业务模型。Codaip 深信，商业和开源 RISC-V 许可证可以共存并相互补充。

结论

选择处理器是一项复杂的任务，需要明确评估您的底层需求。对诸如供应商 PPA 数据或基准测试之类的度量进行肤浅的评估可能会产生误导，并最终导致对处理器的次优选择。

出发点应该是清楚地了解 SoC 项目需要什么。您是希望打开 ISA 还是由单个公司控制？您是否关心绝对吞吐量或每个时钟周期的计算量？您面临的是硬实时需求，还是需要丰富的操作系统？实现计划性能需要哪些计算单位？您需要在处理器内核上运行什么软件，ISA 和编译器怎样组合会让您实现所需的整个子系统领域？最后，比起避免许可证费，您更关心获得保修，承诺修复潜在的错误和赔偿？

思考这些问题将有助于指导您做出正确的处理器选择。

适用于远程动态测距，兼低功耗与高像素的3D深度传感器（ToF）芯片分析

作者：陈飞霞 冯琪 苏州芯联成软件有限公司

1. 前言

早在 2018 年，作为一种新型的视觉传感技术，飞行时间（Time of Flight, ToF）原理就掀起了手机移动端的一阵狂风，一度成为国内 OPPO、Vivo、华为等几大 Android 手机厂商的关注热点。其中，这国内前三强争先将 ToF 技术运用于其品牌旗舰机的摄像镜头，通过搭载 3D ToF 立体深感镜头，实现人脸解锁/支付、3D 焕颜拍照、3D 试装、体感游戏、全息影像交互、测距、室内定位、导航等多场景化功能体验。ToF 与结构光（Structured light）不同，它具有体积小、误差低、工作距离远，能直接输出深度数据与抗干扰性强等创新特点。随着 ToF 技术的提升、成本的下降，以及未来在 5G、AR 与 VR 技术的加持下，ToF 将开拓更为广阔的应用前景，有望带来产业端的升级，这是它被业界一致看好的重要原因。据外媒透露，即将于今年秋季发布的苹果 iPhone12 手机也将抛弃之前的结构光方案，转而采取更佳的 ToF 技术。

同样，在今年的新冠疫情中，ToF 技术发挥了卓越表现：①通过 3D 景深 ToF 相机方案研发的智能防疫机器人，能做到全程零接触式协助医护人员工作，实现精准避障、探测、诊断功能，高效完成任务，帮助减少交叉感染的风险。②在人流量高度密集

的机场、高铁站、轨道交通等公共场景，基于 ToF 技术的解决方案，可以精准分辨出入者的身高、体重等体征，出入时间及高度误差控制在 1% 范围以内。这对于疫情的实时监测，包括人员流量监测、人员流向及潜在传染人群分布范围，起到了至关重要的作用。③在复工企业领域的应用，又包括：基于 ToF 3D 立体影像的智慧门禁系统，通过无接触式人脸识别考勤代替传统的指纹打卡，助力企业疫情管控。

2. ToF 技术实现特征与应用前景

ToF 飞行时间原理，是一种通过传感器给目标发射信号，然后接收从目标反射回来信号，计算两者之间的时间差，用以测量传感器与目标物体之间的距离的方法。ToF 主要特征：

(1) 光和声音信号都可以应用于 ToF 测距方案，但是相较于声音，光兼具有更高速度、更宽测量范围，以及更轻重量的优势。使用红外光作为发射光源（illuminator），可以确保减少信号干扰，并且更容易与自然光区分开来，从而使测距传感器在同等的尺寸和重量的条件下，获得最佳性能。

(2) ToF 作为一种 3D 成像测距法，与基于双目立体视觉（Stereo vision）或结构光（Structured light）的三角测距法相比，具有测

距范围更长（>6m），三维信息重构速度更快的明显优势，适用于任何室内外光环境。

(3) ToF 技术的运用，需要 ToF 模组小型生态系统的支撑，包括：红外光源（VCSEL）、光镜/摄像头（Lens）、核心器件 CMOS 图像传感器芯片（CIS），以及允许特定波段信号通过的窄带滤光片。具体实现方式：LED 红外光源向被测物体发射经过调制过的近红外光源，光传播到物体表面上后有一部分会反射回来，CMOS 图像传感器接受反射回来的光束并转换成电信号，通过控制电路（MCU）和处理电路（CPU），对反射光束的强度信息计算出相位差，并基于相位差计算出光束由发射到被接受所需要的飞行时间，在已知光速的情况下，即可计算出传感器到被测物体之间的距离（光飞行的距离）。

(4) 基于 ToF 技术的 3D 深度图像传感器，可实现较宽动态距离范围，或在捕捉快速移动的物体时不会产生运动模糊。再加上具备低功耗、轻盈小巧的优点，完全可搭载于智能手机、机器人、无人机等个性化移动设备。另外，其极高的测量速度（帧速率）使得芯片非常适合即时定位和地图构建（SLAM）应用，以及工业自动化、交通监控和管理等智能城市应用方面，测距精度可达到毫米级。

(5) ToF 技术的投入，拉动了整个 ToF 产业链的发展，也促进了 CIS 年出货量的迅猛增长。据 IC insights 报告指出：到 2021 年时，世界 CMOS 图像传感器 (CIS) 市场规模将达到 159 亿美元，年出货量将破 80 亿颗。

(6) 3D ToF 技术应用场景还可拓宽至智能驾驶领域 (高级辅助驾驶系统 ADAS)，例如，采用 ToF 技术的倒车系统，适用于车外目标探测，可以同时侦测到多个不同距离的行人与障碍物，即便是“身材”矮小的障碍物也能被感应到，从而警示驾驶人员了解车后情况。适用于车内的 3D ToF 深度摄像头，通过对人脸的检测算法，实时获取人脸特征，检测驾驶员是否有闭眼、歪头、低头等动作，从而判断驾驶员的疲劳指数、注意力集中程度，实时发出安全驾驶提醒，有效降低交通事故发生率。据麦肯锡公司数据调查，现今的 90% 的交通事故可归因于驾驶员的失误，而自动化驾驶的应用可以预防这些失误。

(7) 在如今炙手可热的虚拟现实 (Virtual Reality) 和现实增强 (Augmented Reality) 的应用上，ToF 更是核心技术。例如，结合 5G 高宽带网络 +3D 视觉技术的 3D 视频通话、虚拟会议、体感游戏、数字博物馆等实景与虚景相结合的 AR 和 VR 体验。通过深感镜头的深度测量、扫描建模、骨骼识别、运动捕捉，突破性地实现将现实世界物体、人像、空间虚拟化。

除此之外，3D 机器视觉系统，在航空航天、国防、医疗保健、物流、以及工业 4.0 领域皆有着广泛而丰富的创新应用价值。例如，通过自动导引车 (Automated guided vehicles)，对信件、包裹甚至码垛货物进行高速有效地分拣。从工业 1.0 蒸汽时代，到工业 2.0 电气时代，到工业 3.0 信息化时代，到后工业时代—工业 4.0 智能化时代，围绕着数字技术等新兴行业的发展，国际市场展开了新一轮

竞争。

3.ToF 深度传感器芯片案例分析

本节以瑞士 Espros Photonic 公司生产的 epc611 为例分析。epc611 是一款基于 ToF 算法的光学测距和目标检测芯片，由于其内置集成了 CCD 传感器阵列和读出电路、光驱动发射和辅助控制功能模块，因此是目前市场上唯一一款真正集光电于一体的 SoC 芯片。其主要功能：

(1) epc611 芯片可独立应用于简单的手势识别、各类电动门保护、机器附近的人员存在探测，以及应用于 SLAM 的快速测距仪，如：扫地机器人导航、机器人避障、AGV 小车等。基于该芯片搭建的扫描器可实现 30m 的探测距离，精度可达毫米级，测量速率最高可达每秒 8'000 帧。epc611 芯片不需要复杂的外部组件，仅需一个微处理器加上少量的外部组件，就可以制造出一台功能齐全的 ToF 测距仪或 ToF 摄像机，而低功耗的设计，更使得每平方毫米仅需要 7.5nW 即可精准测量距离。

(2) epc611 芯片支持数字和模拟输出驱动，从而方便客户配合 LED、Laser Diode 或 VCSEL 等不同发光源的使用。通过动态配置，epc611 还可以将所有像素合并成单个大像素，从而可以测量较宽的动态距离范围，或捕捉快速移动的物体而不会产生运动模糊。

(3) 图 1 所示为 epc611 芯片的

光学概貌图和芯片管脚分布图，芯片管脚分布与概貌照片为左右镜像翻转对应。epc611 芯片的外形尺寸为 2.6mmX2.6mm，采用 24 针脚的 WLCSP 芯片级封装，芯片制造工艺为台积电 (TSMC) 0.13um 6M1P (6 层金属，1 层 Poly) CMOS 工艺制成。另外，芯片的输入电源包括了 2 个正电压和 1 个负偏置电压，其余电源电平由芯片内部生成。整个版图中，芯片的 Psub 衬底隔离成了 4 块区域，分别对应数字区，模拟区，LED 驱动区和 PLL 时钟调制区，其衬底地通过不同管脚引出，这样可以有效隔离不同区域产生的噪声电子，减小干扰。芯片的中央为一个 CCD 结构的 8x8 阵列光电传感器，探测器阵列采用背照式入射光，因此芯片厚度被减薄至 250um。

(4) 对芯片的电路原理和版图布局分析是采用芯联成科技有限公司 (Silintech) 独有的集成电路竞争力分析 BunnyGSv1.8.0 软件。该软件可对芯片进行器件与线网提取，并通过分析整理，最终将芯片图像照片转换成能展现原电路设计思想的具有高度可读性的层次化电路原理图结构。另外，BunnyGS 软件采用 OA 格式，因此电路数据可以由 Cadence 等主流 EDA 软件直接读取并针对相应工艺进行仿真验证。BunnyGS 软件还支持对任意器件、线网或功能单元在照片和电路数据间的交叉索引和追踪功能，并能将电路数据导出为 EDIF200、SPICE 或 Verilog 等其它格式。

图 2 所示为通过 Bunny 软件分析

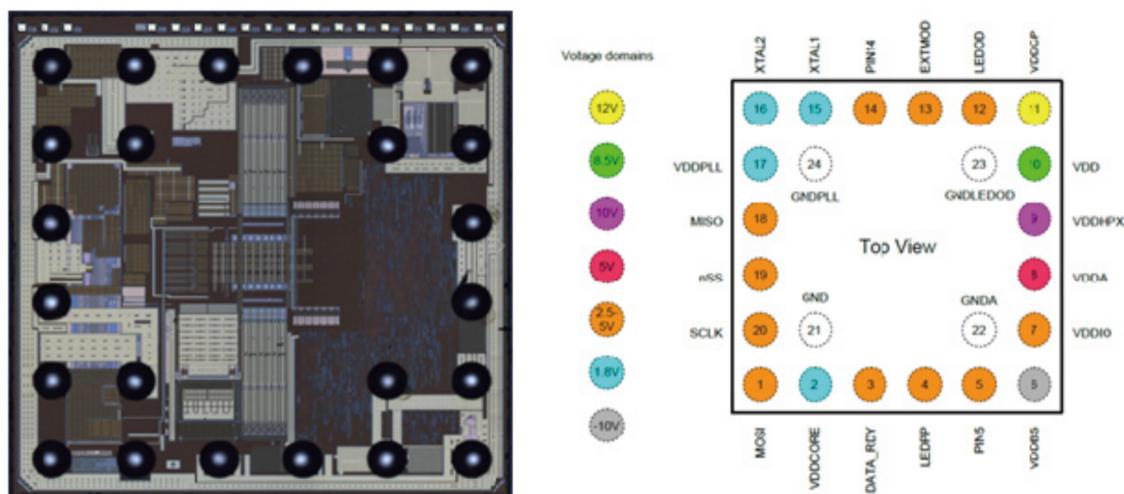


图 1. 芯片概貌图和芯片管脚分布图

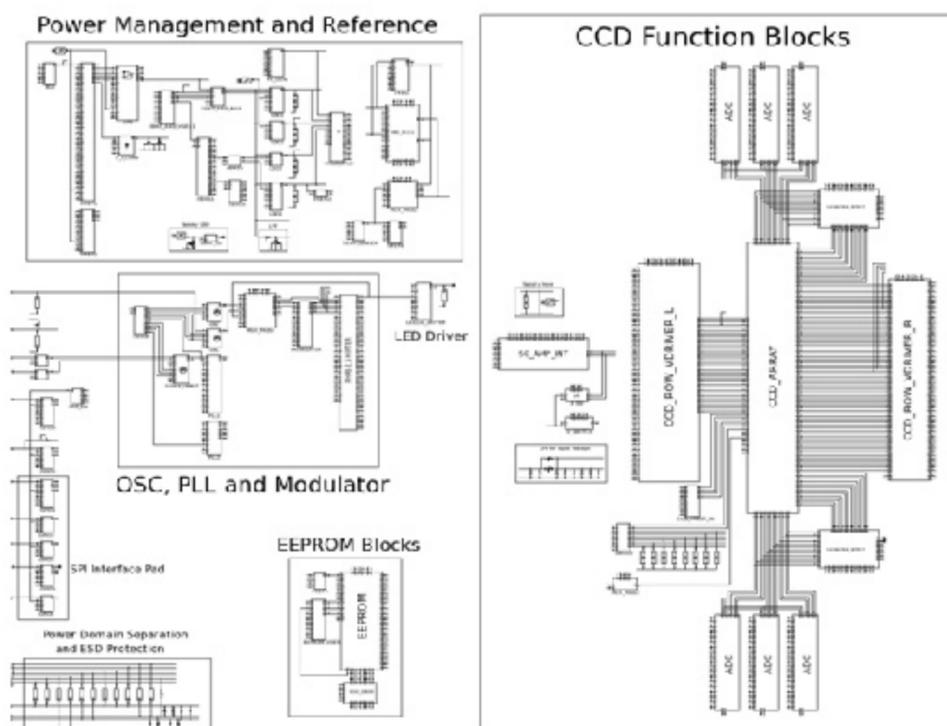


图 2. 通过 Bunny 软件分析整理后的 Top 电路原理图

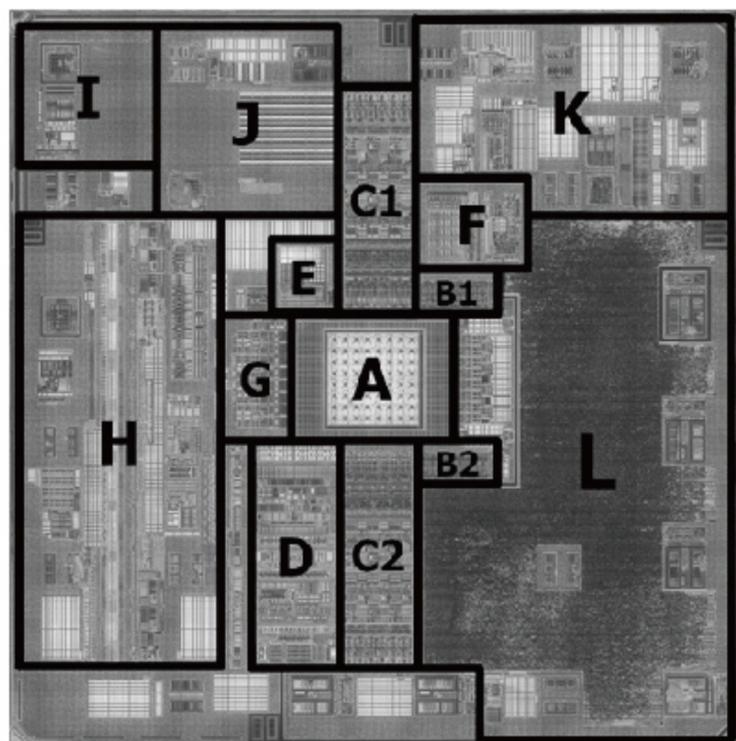


图 3. 芯片版图架构与功能分布

完成的芯片模拟电路部分顶层原理图。可以看到，芯片的模拟电路被划分成了多个不同功能的模块，不仅展示了从发光控制信号的调制驱动、回光信号的检测与放大、到 ADC 数模转换这一条完整的 ToF 信号电路结构，也包括了片上电源管理、基准偏置、测温校正和 EEPROM 存储等辅助功能模块。图 3 为从芯片版图角度进行分析获得的系统架构与功能模块分布，表 1 则为各模块的功能说明。

(5) 根据基准时钟和工作模式设置，ToF 芯片首先产生内部调制信号，并通过 LED 驱动模块输出以控制外部红外发光源（通常为 850nm 波长），输出驱动可以是直接采用漏级开路（LEDOD）的模拟驱动方式，也可以是通过输出推挽信号（LEDPP）的数字驱动方式，时钟调制信号直接决定了 ToF 芯片的光学检测性能。在 ToF 芯片中，通常需要刻意将调制信号做一定的相位延迟后再用于 LED 驱动输出，其目的是在一定的距离范围内，使调制信号和解调信号之间的相位差保持相对固定。Epc611 芯片采用了 49 级延迟线（DLL）电路，其中每一级采用 RC 充放电延迟结构。

(6) 光电传感器阵列将探测物体反射回的红外光转换成光电荷，并根据信号解调后的相位信息，分别存

模块	功能定义	功能描述
A	CCD	CCD 光电传感器阵列
B	SAT_DETECT	光电传感器输出信号饱和检测
C	COL_ADC	光电信号列放大读出和模数转换
D	ABS	环境光积分检测和消除
E	TEMP_SENSOR	用于校正的测温电路
F	EEPROM	存储缺省配置和校正数据的 EEPROM
G	ROW_VDRIVER	行扫描电压驱动模块
H	PMU_AND_REF	芯片内部电源管理和基准产生
I	HV_GEN	高压电源生成
J	LED_OD_DRIVER	LED 模拟驱动输出
K	SYS_CLOCK	系统时钟，调制与移相控制
L	MC_DG	芯片核心数字控制模块

表 1. 芯片功能模块说明

储到每个像素内的 MGA 和 MGB 两个电荷阱中。积分周期结束后，通过行扫描和列读出电路的配合，每个像元内的电荷 A 和电荷 B 分别被放大读出，并通过相关电路（Correlator）计算出差值以抵消环境光的影响，从而获得有效相位信息，该相位信息再通过列 ADC 模块转换成 12 位数字信号输出。数字相位信息通过 SPI 串行通信协议被从芯片传输给上位机，以计算得出最终的相应距离信息。列读出放大器（见图 4）和 ADC 转换比较器（见图 5）是其中影响精度的关键模块。

(7) Epc611 芯片的内部电源管理包括了 4 个 LDO 线性降压变换器和 1 个电荷泵升压变换器。电荷泵升压

变换器（见图 6 所示）是将 8.5V 的输入电源 VDD 变换成 12V 的内部高压。3 个 LDO 调压器分别将输入电源 VDD 变换成 5V 的模拟电源 VDDA1.8V 的数字电源 VDDCORE 和时钟电源 VDDPLL。另外，还有 1 个 LDO 调压器将电荷泵升压电路产生的 12V 内部高压变换成 10V 的光电检测电源 VDDHPX。所有的内部调压电路都配有过压和欠压保护电路。

除了以上描述的完整的 ToF 信号链电路和内部电源管理电路，Epc611 芯片还包括了一个 128 字节的片上 EEPROM 模块以存储配置信息和校正数据，以及测温电路等辅助功能模块。

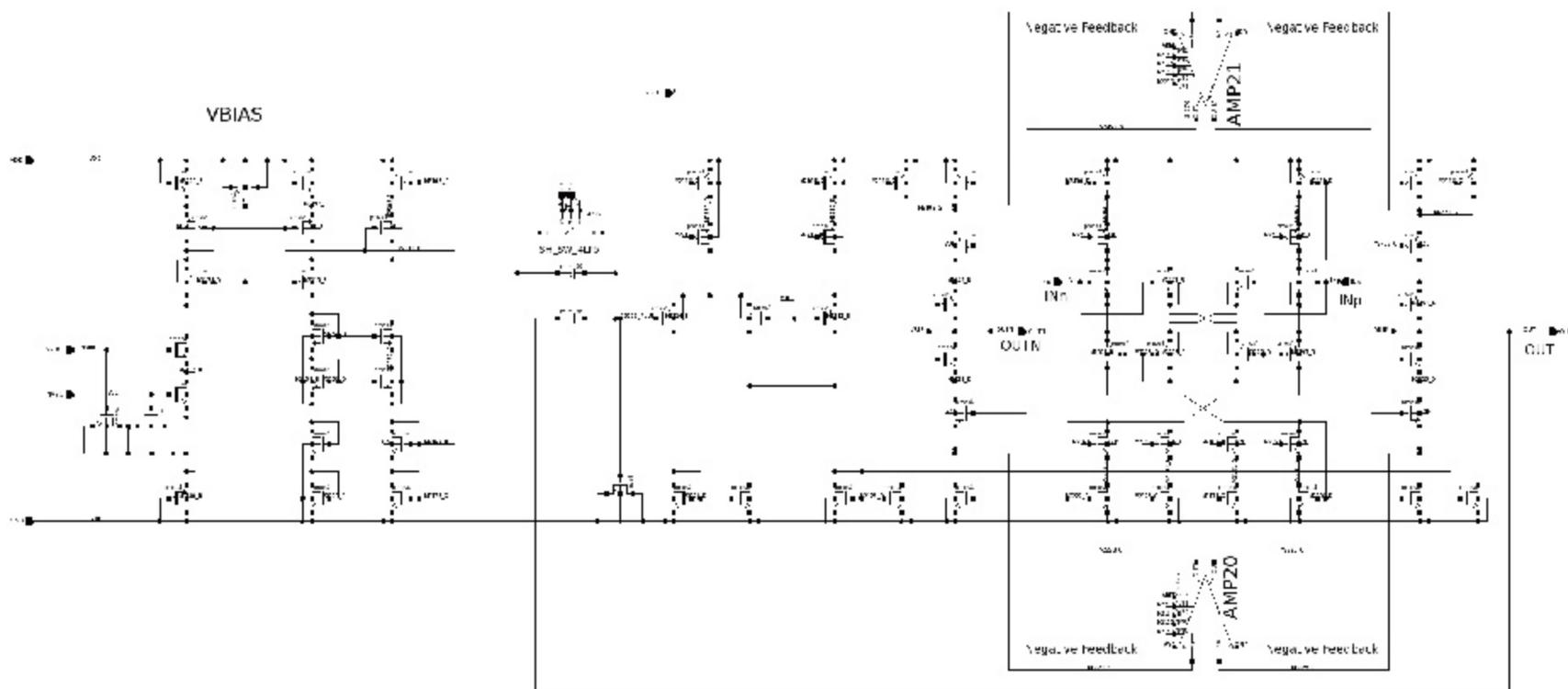


图 4、列读出放大器

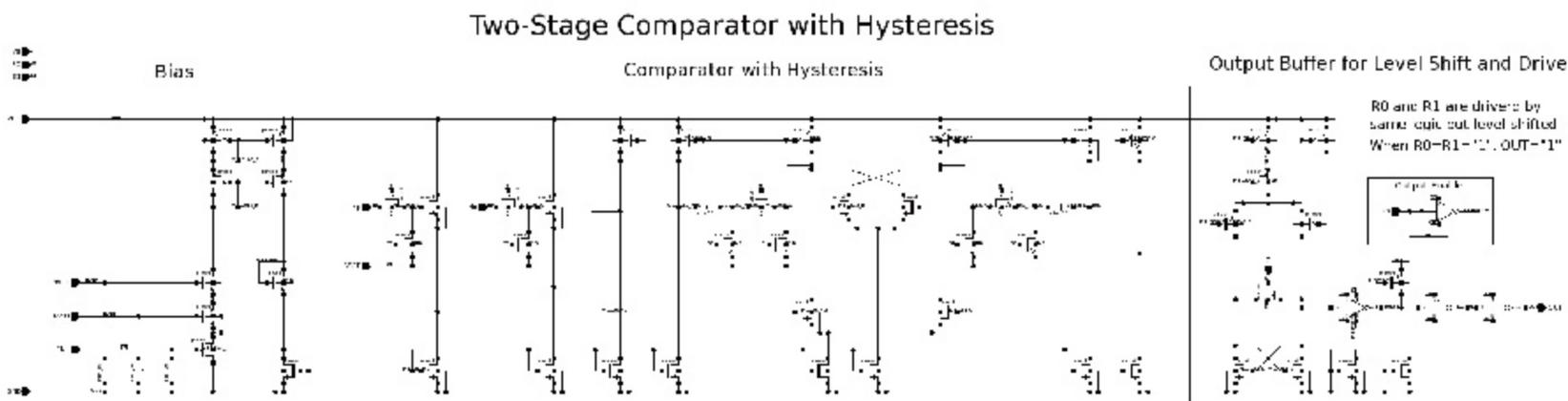


图 5、ADC 转换比较器

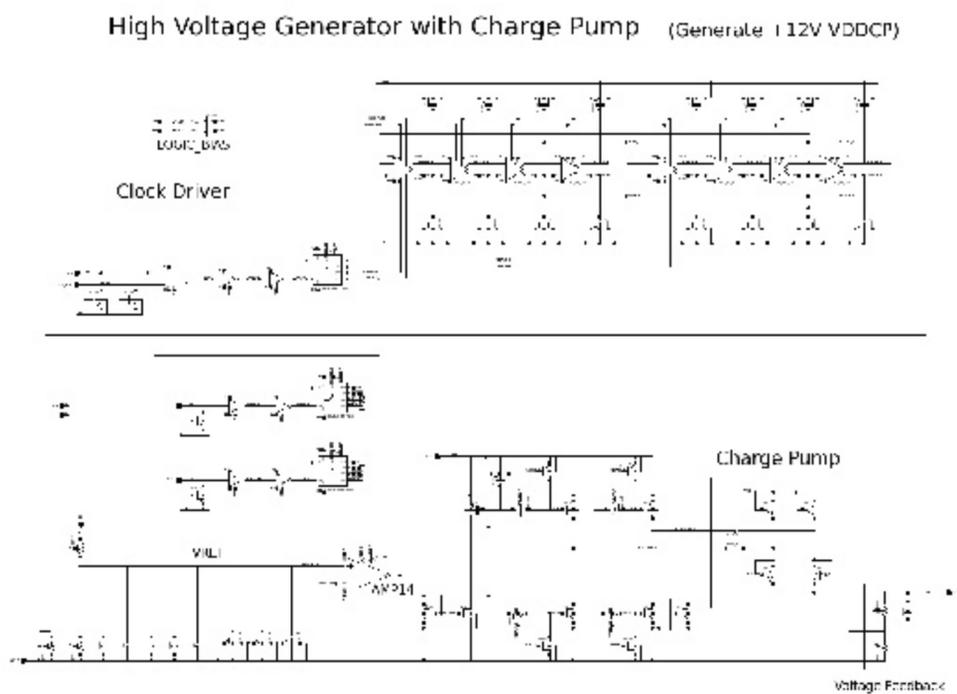


图 6、电荷泵升压变换器电路

4. 结束语

根据波士顿咨询公司 2015 年预测，到 2025 年，通过 3D 成像技术实现自动驾驶的市场份额将会占到汽车总市场份额的 25%。其中最关键的图像传感器 CMOS 由于成本低、工艺兼容性好、信号读取灵活等优点，将会被广泛应用于 ToF 三维测距相机上。总而言之，

ToF 芯片在未来有着极为广阔的应用场景。

苏州芯联成软件有限公司简介：

芯联成科技有限公司 (Silintech) 成立于 2015 年，主要从事芯片工艺分析，EDA 软件研发和电路竞争力分析等业务。2016 年，在苏州建有专业芯片分析实验室，拥有多台 SEM, ICP, RIBE 等各类分析设备，能为客户提供成熟的芯片工艺分析技术服务。公司自主研发的 EDA 软件 BunnyGS，为客户提供更完整、快速、先进与创新之高质量电路分析技术服务，与全球领先趋势共同成长。日新月异的工艺/电路，越来越小的工艺节点，TSV, FinFET, MEMS, BSI, CIS, PV, LED, Advance Memory 等新工艺，存在大量技术创新，芯联成将助力电子工程师深入探索。

选择合适的IP实现Die-to-Die连接

Synopsys 高级产品营销经理 Manuel Mota

自大数据问世以来，用于超大规模数据中心、人工智能（AI）和网络应用的片上系统（SoC）的设计人员一直面临着不断发展的挑战。由于工作量需求和对于更快地移动数据的需求，此类具有先进功能的 SoC 变得更加复杂，也达到了最大光罩尺寸。因此，设计人员在多芯片模块（MCM）封装中将 SoC 划分为较小的模块。这些划分的芯片需要超短和极短距离链路，以实现具有高数据速率的芯片间连接。除了带宽之外，die-to-die 连接还必须确保是极低延迟和极低功耗的可靠链接。本文介绍了 die-to-die 连接的几种不同用例，以及在寻找用于 die-to-die 连接的高速 PHY IP 也可以使用基于有机基材的传统低成本封装。

Die-to-Die 连接性用例

涌现了 MCM 中 die-to-die 连接的新用例，其中一些包括：

1. 接近最大光罩尺寸的高性能计算和服务器 SoC
2. 以太网交换机和网络 SoC 超过最大光罩尺寸
3. 可扩展复杂算法的具有分布式 SRAM 的人工智能（AI）SoC

高性能计算和服务器 SoC 的尺寸越来越大，达到 550 平方毫米（mm²）至 800 mm²，从而降低了 SoC 的良率并提高了单位芯片成本。优化 SoC 良率的更好方法是将 SoC 分为两个或多个等效的同质芯片（如图 1 所示），并使用 die-to-die PHY IP 连接芯片。在这种用例中，主要的要求是极低的延迟和零误码率，因为更小的多个芯片的表现和行为必须像单一芯片一样。

以太网交换机 SoC 是数据中心的中心，必须以 12 Tbps 到 25 Tbps 的更快速率转移数据，这需要 256 通道的 100G SerDes 接口，因此无法将 SoC 放入面积为 800 mm² 的光罩区域。为了克服这一挑战，设计人员会将 SoC 拆分

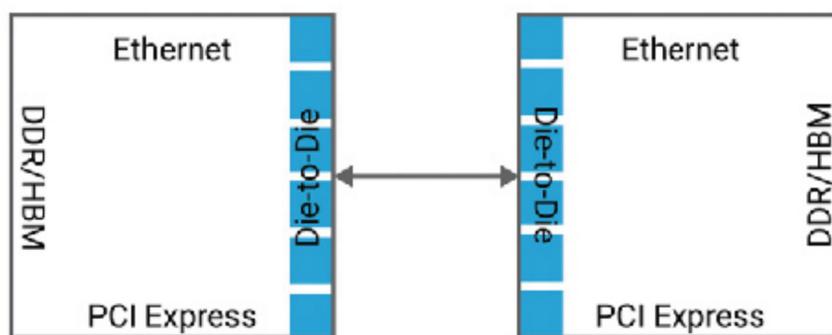


图 1: 需要 die-to-die 连接的高性能计算和服务器 SoC 的示例

为一种配置，其中的内核芯片被 I/O 芯片包围，如图 2 所示。然后，使用 die-to-die 收发器将内核芯片连接到 I/O 芯片。

在这一用例中，仅当 die-to-die 收发器的带宽密度远远优于 I/O 芯片中的长距离 SerDes 时，芯片拆分才有效。因此，关键参数是每毫米的芯片边缘带宽密度。

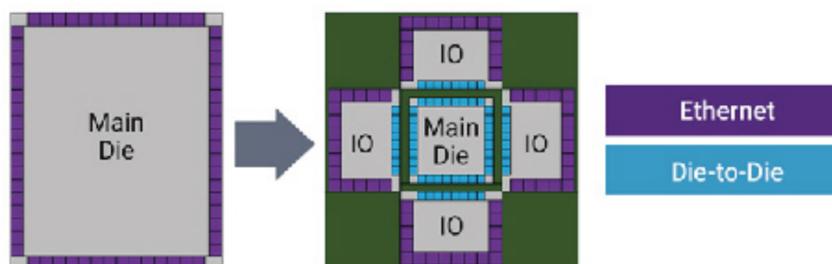


图 2: 需要 die-to-die 连接的以太网交换机 SoC 的示例

在 AI SoC 中，每个芯片都包含智能处理单元（IPU）和位于每个 IPU 附近的分布式 SRAM。在这种使用情况下，一个芯片中的 IPU 可能需要依赖于极低延迟的短距离 die-to-die 链路来访问另一个芯片的 SRAM 中的数据。

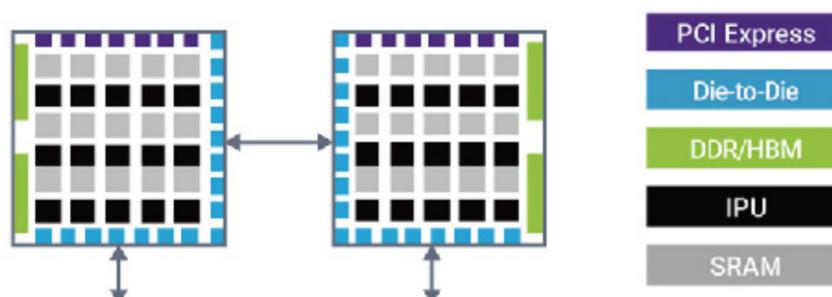
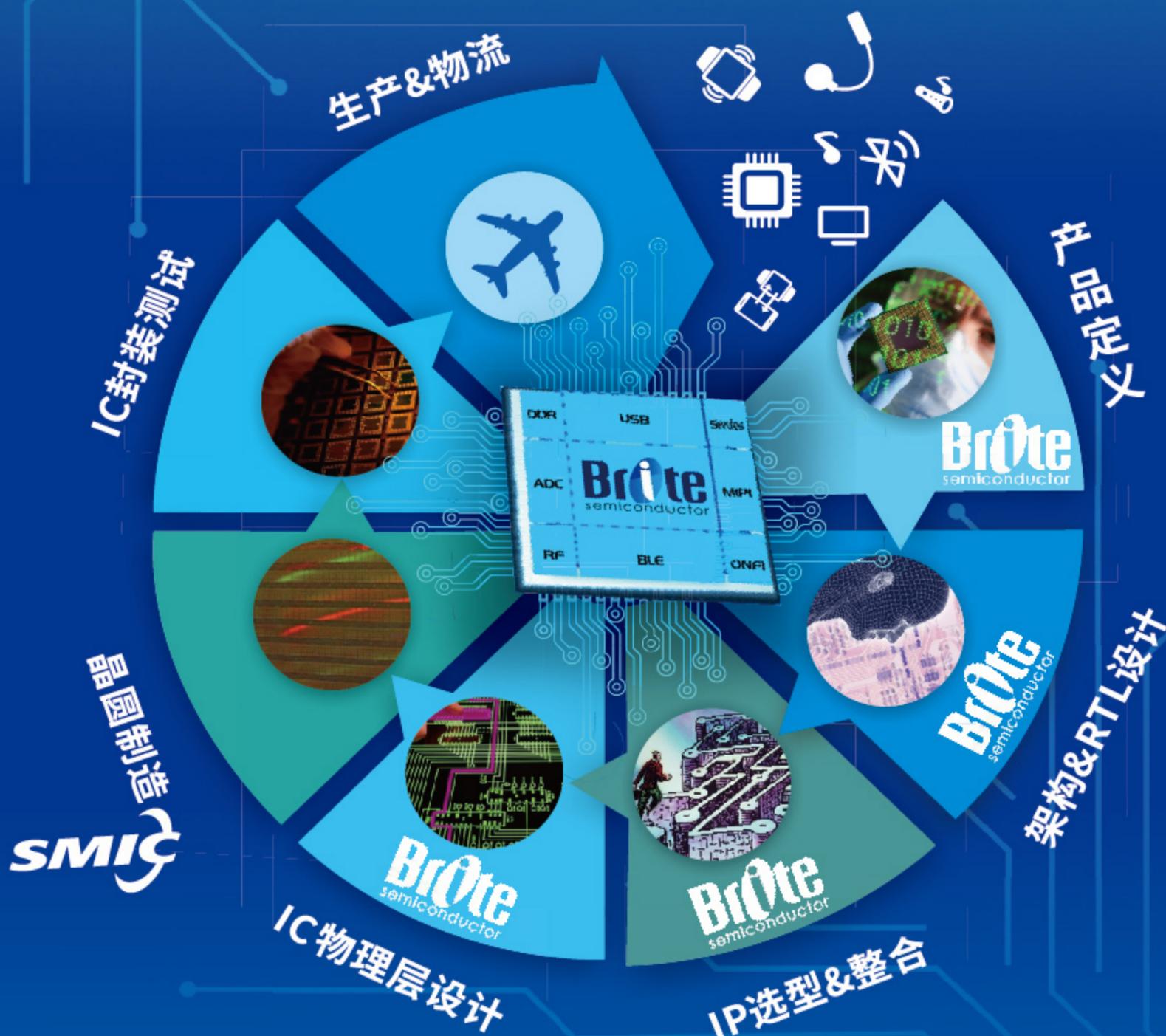


图 3: 需要 die-to-die 连接的 AI SoC 示例

您值得信赖的

ASIC一站式设计服务供应商

Brite  SMIC



2008年成立
2010年与中芯国际达成战略合作

灿芯半导体 www.britesemi.com
上海 | 合肥 | 苏州 | 新竹 | 圣何塞
E: sales_bs@britesemi.com

在所有这些用例中，如果为 die-to-die 连接选择理想的高速 PHY，就可以简化 MCM 封装要求。由于每个通道的吞吐量高达 112 Gbps，因此在通道数量相对有限的情况下可以实现非常高的总吞吐量。在这种情况下，封装走线的间距和堆叠可能比较保守（L/S 通常为 10 μ /10 μ ）。在这些用例中，也可以使用基于有机基材的传统低成本包装。

高速 PHY IP 对于 Die-to-Die 连接的要求

光学互联网络论坛 (OIF) 正在定义电气 I/O 标准，以在超短距离 (USR) 和极短距离 (XSR) 链路上以高达 112 Gbps 的数据速率进行传输。这些规范定义了 die-to-die 链路（即：在封装内）以及芯片到芯片到与 SoC 位于同一封装内的光学模块的连接，从而显著降低了功耗和复杂性，并实现了极高的吞吐量密度。

在研究用于 MCM 的 die-to-die 连接的高速 PHY IP 解决方案时，SoC 设计人员必须考虑几个基本功能，包括以千兆位或兆兆位每秒 (Gbps 或 Tbps) 衡量的数据吞吐量或带宽、以每比特皮焦耳 (pJ/bit) 衡量的能源效率、以纳秒 (ns) 衡量的延迟、以毫米 (mm) 衡量的最大链路范围，以及误码率 (无单位)。

数据吞吐量或带宽

为了实现与其他收发器的互操作，die-to-die PHY IP 必须确保符合 USR 和 XSR 链路的相关 OIF 电气规范。支持脉冲幅度调制 (PAM-4) 和不归零 (NRZ) 信令，对于满足两种链路的要求并实现每通道最大 112 Gbps 带宽至关重要。这样的信令产生了非常高的带宽效率，这是一项关键要求，因为在 MCM 中的芯片之间传输的数据

量非常大。数据移动的速率通常处于每秒兆兆字节的范围，这限制了分配给 USR 和 XSR 链路的芯片边缘的大小。但是，支持多种数据速率也同样重要。通常，假设其数据速率与内部结构中使用的数据速率一致，或支持 die-to-die 协议所需的所有数据速率，就有望实现芯片到芯片链接。例如，即使在 32 Gbps 这样的高速下，PCI Express 也必须支持低至 2.5 Gbps 的数据速率以进行协议初始化。

链路距离

在 die-to-die 的实现中，大量数据必须流经桥接芯片之间间隙的短数据路径。为了保证将芯片放置在封装基板上时的最大灵活性，PHY IP 必须支持 TX 和 RX 之间 50 毫米的最长距离。

能效

能效成为重要的因素，尤其是在将 SoC 功能划分为多个同质芯片的用例中。在此类用例中，设计人员寻求在不影响 SoC 总功耗预算的情况下，在芯片之间推送大量数据的方法。理想的 die-to-die PHY IP 的能效好于每比特 1 皮焦耳 (1pJ/bit) 或同等的 1mW/Gbps。

延迟和 BER

为了使芯片之间的连接“透明”，延迟必须维持得极低，同时必须优化误码率 (BER)。由于简化了架构，die-to-die PHY IP 本身实现了超低延迟，BER 优于 10 e^{-15} 。根据链路距离，可能需要使用前向纠错 (FEC) 机制保护互连，以实现如此低的 BER。FEC 延迟会影响解决方案的整体延迟。

宏块布局

除了这些与性能相关的参数

外，PHY IP 还必须支持所有侧面的放置芯片，以实现芯片以及 MCM 的有效布局。优化了宏的布局可实现低耦合的高效芯片间布线，优化芯片和 MCM 面积，并最终提高功耗效率。

选择 die-to-die PHY IP 时，还有许多其他考虑因素，包括纳入可测试性功能，以便能够在封装之前对芯片进行生产测试，但是上文所述的因素是最重要的。

结语

数据速率提高和功能日趋复杂致使超大规模数据中心、AI 和网络应用程序的 SoC 大小与日俱增。随着 SoC 尺寸接近占满光罩尺寸，设计人员被迫将 SoC 分成较小的芯片，这些芯片封装在多芯片模块 (MCM) 中，以实现高产量并降低总体成本。然后，一个 MCM 中的多个较小芯片通过 die-to-die 互连进行链接，这些互连具有极低的功耗且每个芯片边缘的带宽都很高。在高性能计算和 AI 应用中，大型 SoC 被分为两个或多个同质芯片，而在网络应用中，I/O 和网络内核被分为单独的芯片。这种 SoC 中的 die-to-die 互连必须不影响整体系统性能，并且要求低延迟、低功耗和高吞吐量。这些要求推动了对高吞吐量 die-to-die PHY 的需求。例如 Synopsys 的 DesignWare® USR/XSR PHY IP，该 IP 支持 MCM 设计中的 die-to-die 连接，每通道的数据速率高达 112 Gbps，而且能效非常高。DesignWare USR/XSR PHY IP 符合用于超短距离 (USR) 和极短距离 (XSR) 链路的 OIF CEI-112G 和 CEI-56G 标准。

PUF 熵碼科技 security

PUFrt : PUF , OTP , UID , tRNG , APB I/ F
五合一的真硬件信任根解决方案



让我们帮您建立安全存储和芯片安全边界
确保您拥有可靠的硬件信任根

Try PUFrt Evaluation Kits: <https://www.pufsecurity.com/ip-go>

Imagination Tensor Tiling技术： 面向汽车应用的高灵活可扩展多核架构

Imagination人工智能工程副总裁 Alex Pim

在过去几年里，半导体行业在硬件推理引擎和其上运行的深度神经元启发网络方面取得了惊人的进步。这些推理解决方案应用广泛，覆盖了从基于边缘的时刻在线语音识别，到用于 ADAS 和自动驾驶的多摄像头、多传感器对象检测和跟踪系统。

如果基于 AI 的系统要成功监测和控制我们道路的车辆，它需要能够检测和响应不断变化的环境，包括行人、固定物体和其他来往道路上的事物。系统需要遵守交通灯，遵循车道规则，并以安全、谨慎的方式操控车辆。

将技术融入车辆时，诸多限制因素之一是功耗。多个板载设备和主驱动都需要电源支撑，这让每一焦耳能量都

Self Driving Car

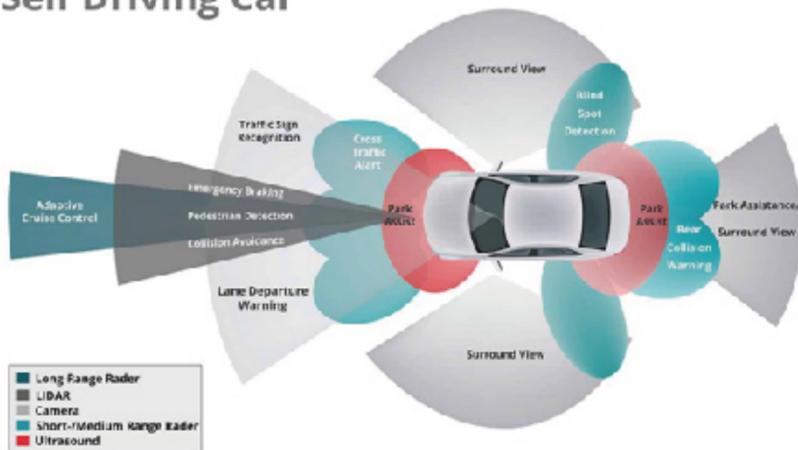


图 1 - ADAS 和自动驾驶所需的传感器

很重要。在高分辨率下对多个摄像头输入执行对象检测、跟踪和分割需要大量功耗。这一过程中，大部分功耗用于内存系统，因为网络参数和输入数据需要连接移动，我们希望检测对象与特征提取器进行卷积以形成推理。

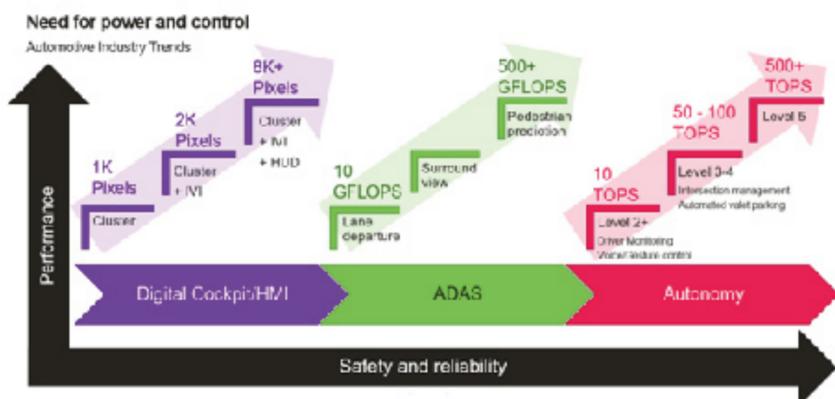


图 2 - 随汽车安全性提高，性能需求也在提升

在 Imagination，我们预料到 ADAS 和自动驾驶的计算需求会不断增加，并确定了神经网络加速器以下设计目标：

1. 可扩展设计，满足不同客户和用例需求
2. 每个集群的性能高达 100 TOPS
3. 最大限度地利用内存带宽
4. 尽量降低对硅面积的影响

为满足这些要求，我们设计了一个基于多核架构的解决方案，您可以在下面看到这一架构。

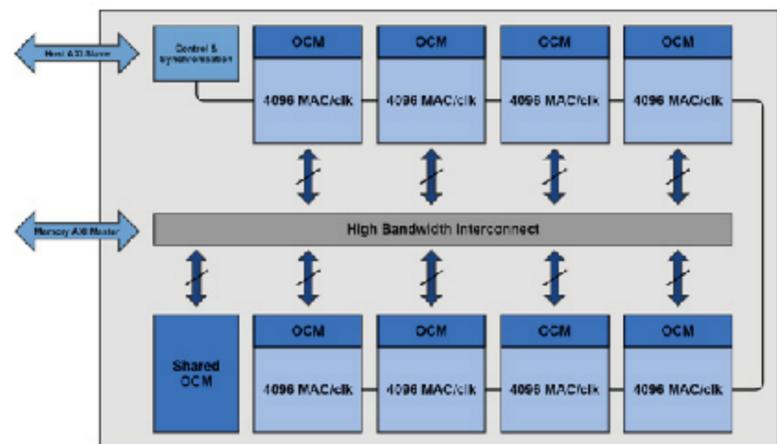


图 3 - Imagination 的 4NX-MC8 是一个 8 核集群，可以在 8 位、1.5Ghz 时提供 100 TOPS 算力

Tensor 分量是构成神经网络中使用的关键数据结构的大型多维数组。在传统的加速器中，处理这些数据结构需要频繁、反复地移动主内存，这会消耗大量的带宽和功耗。

为了匹配我们新的可扩展多核架构，Imagination 开发了 ImaginationTensor Tiling 技术（张量切分，

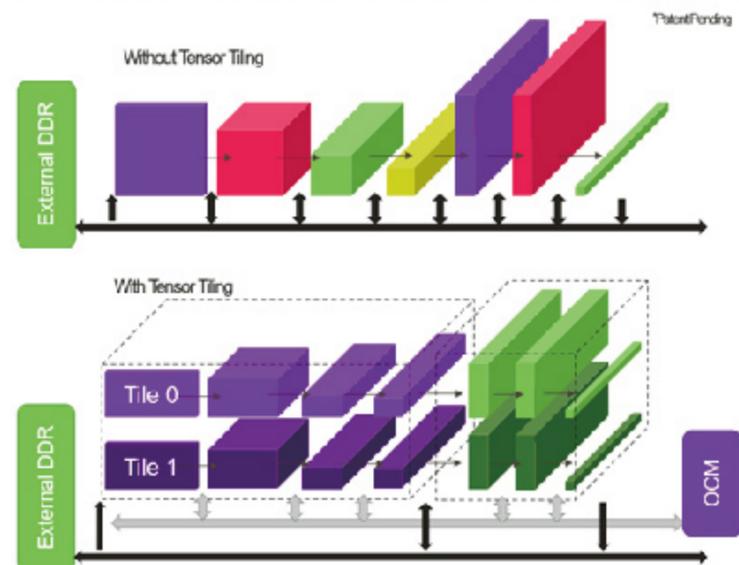


图 4 - 张量切分可节省外部 DDR 带宽

ITT), 它是一种处理张量的新方法。通过 ITT, 我们可以智能地对张量“切分”, 即将它们分组, 以利用每个集群中的内核。数据可以重用或在几次循环中保留在硬件中, 可以驻留在芯片上, 并减少外部 DDR 内存访问。这大大降低了带宽需求, 从而降低了功耗。

下图显示了 ResNetv2-50 的实现, 通常要求在每个层组之后输出到 DDR:

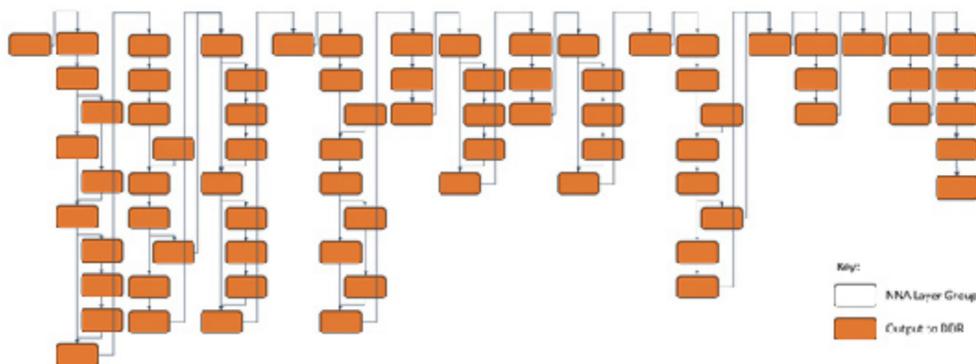


图 5 - 无张量切分时的 ResNetv2-50 实现

通过 Imagination 张量切分算法, 基于系统的片上 RAM 大小, 层组被划分成优化的分片组, 从而大大减少 DDR 输出。

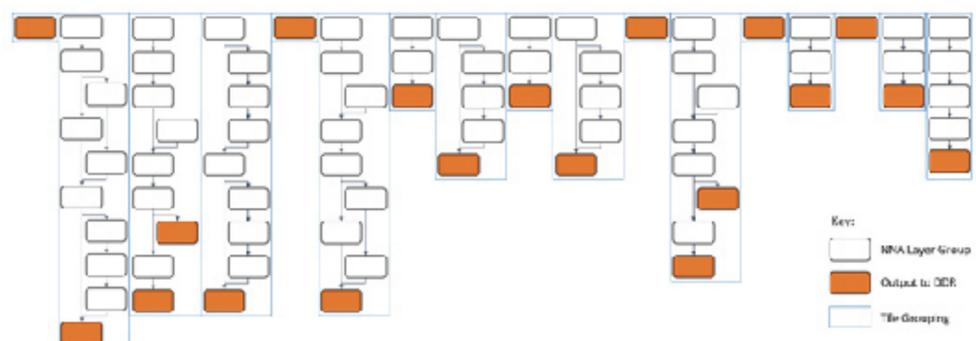


图 6 - 使用 4NX-MC 张量切分算法实现的 ResNetv2-50

和多核架构结合在一起, 为汽车行业的系统设计人员提供了极具吸引力的可扩展方案:

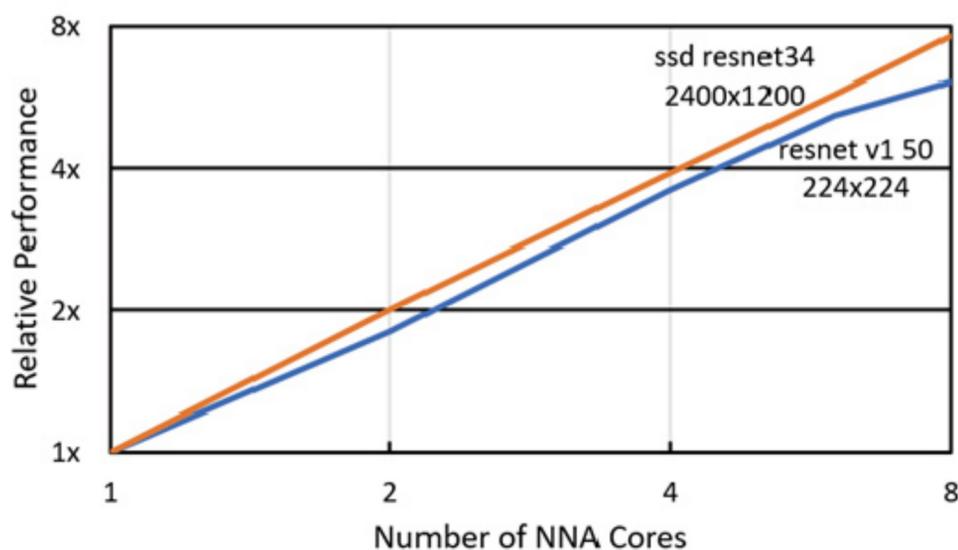


图 7 - 4NX-MC 多核性能可扩展性

但这并非全部, 由复杂张量切分算法控制的高能效可扩展硬件架构还需要一个要素才能铸就伟大的产品, 这就是软件。

同时我们了解销售解决方案的重要性, 而不仅仅是硬件 IP, 为此, 我们的芯片设计需要提供最先进的软件工具和卓越的用户体验。

我们直观的神经计算软件开发工具包体现了我们工程师多年

Imagination TVM Software Stack		
Stack	Runtime	Developer Tools
APP	Application	C/C++ Compiler
SDK	TVM	Offline Network Preparation
	IMG DNN	
Driver	NNA API	OpenCL
	NNA Driver	GPU Driver
OS	Linux	Performance profiling & debugging
H/W	NNA GPU	

图 8 - Imagination 面向异构硬件设备的 AI 和计算软件栈

来在分析所有类型网络方面的专业知识, 目标是您的网络提供自动导入设施和最佳映射, 以运行我们的 4NX-MC 硬件集群。

系统设计人员还希望我们的解决方案尽可能灵活, 这就是为何我们为集群中多个内核间的工作负载划分提供广泛支持。自动化用例涉及具有不同大小图层的不同规模的网络, 因此使用分片组拆分大型网络和合并小型网络的能力势在必行:

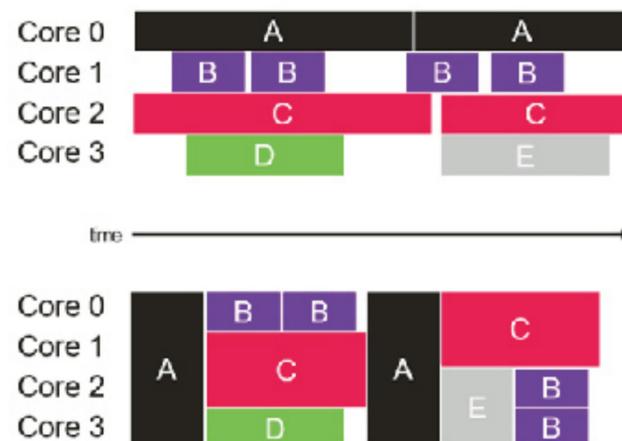


图 9 - 使用工作负载划分在 4NX-MC 上运行多个工作负载

结论

如果您已经决定建立一个 ADAS 或自动驾驶系统, 您可能会知道, 这是个大事件。为了促成这一目标, 我们提供了一套性能建模和可视化工具, 可以使用软件准确地重建硬件配置。然后, 这些工具可以执行自动生成的确定性控制流, 以为网络预测实际硬件运行时的硬件性能、带宽使用情况和功耗数值。这为系统架构师提供了他们所需的保证, 即系统将如预期的那样工作并达到所需性能。工作负载的确定性执行是我们软件工具中一个非常重要的功能, 在通往 ADAS 和自动驾驶的道路上, 您将很高兴我们的解决方案拥有该特性。

Imagination 4 系列现已开放面向 ADAS 和自动驾驶应用的 1、2、4 和 8 核许可授权

片上电感的优化设计

作者：翁寅飞 芯和半导体

摘要：本文从电感的性能指标入手，介绍了电感的性能指标（感值和品质因素）。接着阐述电感的损耗机理，最后提出了一些电感优化设计的方法。

前言

在RFIC应用电路中，电感往往占据了大部分面积，其相关参数在很大程度上会限制电路性能和表现，是影响低成本、低功耗、低噪声RFIC电路实现的关键元件。而电感是一种磁能储能元件，其配合电能储能元件（如电容）等能实现诸多功能，尤其是它的低通高阻特性使其广泛应用于降低电源电压、滤波等电路中。而片上螺旋电感相对于分立绕线电感，更低成本、更易集成、更小功耗、更少噪声，但却因其结构导致的诸多寄生效应而影响性能。为更好地理解、研究，本章将就RF片上螺旋电感的物理版图结构、常见性能指标、一般损耗机制、普遍建模方法作系统而简洁的介绍。

本文首先介绍了片上电感的性能指标，并分析了各指标对射频前端模块的影响。其次重点介绍片上电感的寄生效应和损耗机制，为电感的设计指明了优化方向。最后通过几个实例介绍了电感优化常用的一些方法。

片上电感分析

电感的性能指标

平面螺旋电感一般是利用标准CMOS工艺中的两层金属层来实现电感元件，一层作为螺旋电感的线圈主体，一层通过通孔与主体金属层连通，用作内圈金属跨接引出端口的引线。为远离有损衬底同时减小导体损耗，一般仅使用顶层及次顶层金属。

电感的性能指标：电感值 L 和

品质因数 Q 。随频率变化的情况如下图1所示。螺旋电感同时具有电感和电容特性，当寄生电容在一定频率下与电感发生共振时，我们称这个频率点为自谐振频率（SRF）。根据电感的频率特性，当电感感值基本不随频率变化而保持稳定，此时作为电路有意义的工作频段（图中为2.5G左右）。

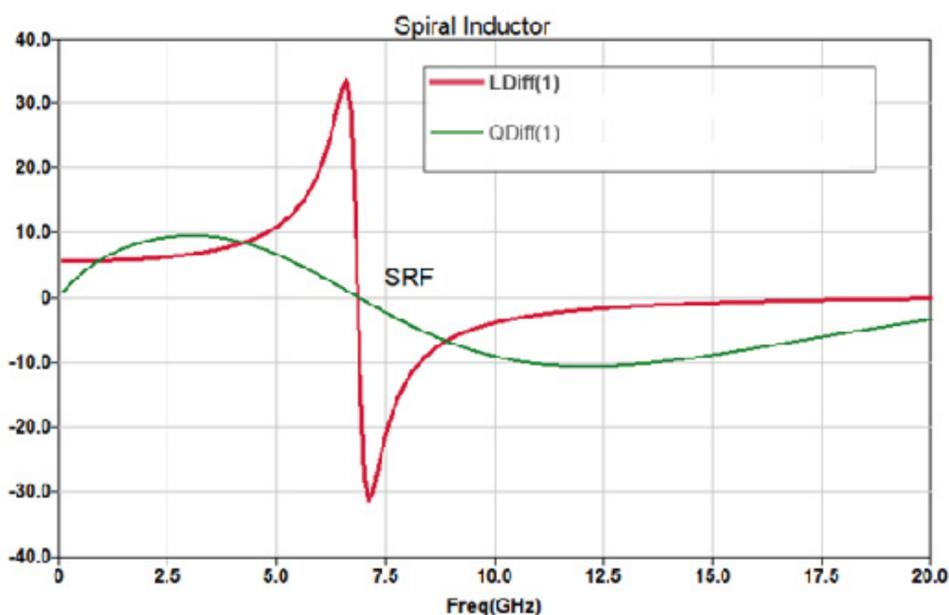
对于RFIC电路来说，片上螺旋电感的品质因数 Q 定义为系统中存储的磁能与每个周期能量损失的比率。它决定了相关阻抗匹配网络的损耗，影响滤波器性能，电路带宽、有效功率、噪声等也都与之相关，因此品质因数是电感建模的常用验证指标。

电感的损耗机制

寄生和损耗是制约品质因数的主要因素，比如：端口电容，导体的趋肤效应、邻近效应，衬底涡流，由线圈-衬底寄生电容和衬底材料导致的传导和位移电流损耗等。它们可以分为三大类：金属损耗、衬底引发的损耗及其他寄生损耗（如端口间耦合寄生），以下主要介绍前两类。

金属损耗

基于RF CMOS 制造工艺的片上



螺旋电感，通常是由一层或多层金属构成，而现实中的金属总是具有有限的电导率，因此电流流经电感线圈时不可避免地会有能量损失，属于螺旋电感固有损耗，是限制低频器件性能的主要因素。

A. 趋肤效应

一般情况下，导体的直流电阻 $R = \rho \frac{l}{S}$ （ ρ 为电阻率， l 为导体长度， S 为导体横截面积）。随着频率从直流逐渐升高，有效电阻出现了增大的趋势，主要原因是：当频率从0开始上升时，导体内电流由直流变为交变电流，时刻变化的电流产生时变电场，根据麦克斯韦电磁场理论，时刻变化的电场会产生时刻变化的磁场，磁场穿透导体并在导体内产生方向相反的感应电场，电、磁场交替感应、变化，使得原先均匀分布于导体内部的电流，在电磁场的作用下，趋向于向导体表面积聚，结果越靠近导体表面电流密度越大，且频率越高该现象越明显。趋肤效应导致导体的有效横截面积减小，因此伴随频率的升高，螺旋电感的有效电阻会在直流数值的基础上增大。高频下常用“趋肤深度 δ ”来定义电流集中通过的导体表面薄层的厚度

我们列出一般材料的趋肤深度如下：

材料	电导率	趋肤深度		
		1kHz (mm)	1MHz (mm)	3GHz (um)
铝	3.54e7	2.7	0.085	1.6
铜	5.8e7	2.1	0.066	1.2
金	4.5e7	2.38	0.075	1.4
银	6.15e7	2.03	0.064	1.17
石墨	1e5	50.3	1.59	20
锡	0.87e7	5.41	0.171	3.12

B. 邻近效应

在多导体系统中，某一导体附近的磁场被认为是自磁场和相邻磁场的共同作用之和。当两条处于高频条件下的导体相互靠近时，相邻磁场的作用会更强烈，导致导体内部电流的分布发生变化而偏向一边，此即导体的邻近效应，若相邻导体内流过的电流方向相同，则导体内电流会趋向各自外侧，反之若为反向电流，则会趋向内侧。对于螺旋电感而言，存在多组间距较近的金属条，因而邻近效应的作用十分明显，不容忽视。

衬底引发的损耗

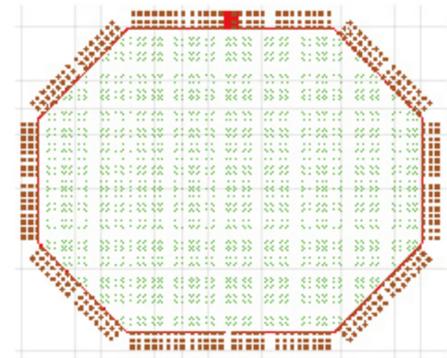
硅衬底是半导体，根据掺杂浓度的不同可实现从 $10k \Omega \cdot cm$ （高阻硅）到 $0.001 \Omega \cdot cm$ 的电阻率变化。片上螺旋电感与衬底间存在电容耦合和磁场耦合两方面。电容耦合使得总能量转变为一部分电能，使得品质因素下降。时变的磁场耦合会在衬底感应出涡流，产生欧姆损耗，从而进一步降低品质

因数。通过合理的版图设计和工艺优化，可以有效地减轻电容耦合和磁场耦合，从而提高电感的品质因素。

电感优化实例

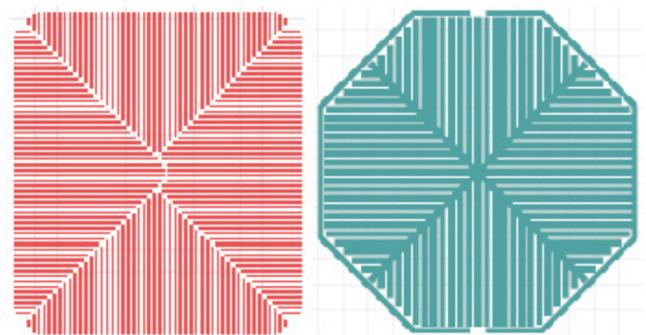
在充分理解电感的损耗机理前提下，我们可借助版图设计减小寄生，损耗等效应，从而提高电感的品质因素。如下介绍了分别从衬底损耗、导体损耗两方面的设计思路。

电源屏蔽设计



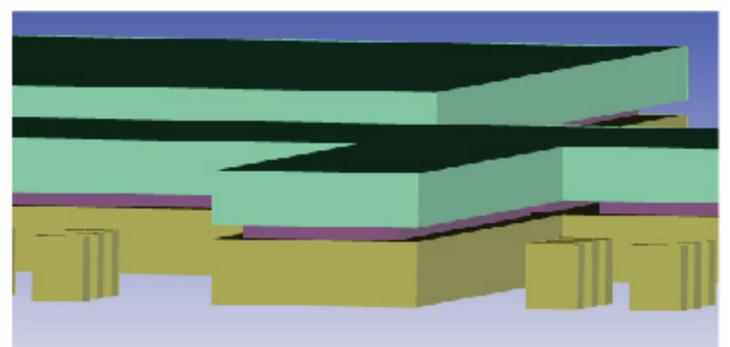
实现方式：在电感线圈外一定距离处，利用环状结构将电感与外围结构隔离开来，通常有多层金属的组成。此设计通过改善电磁兼容问题，来提高电感的性能。

增加Shielding设计



实现方式：在电感线圈正下方铺设金属，将电感与衬底有效的隔离开来。不同的Shielding形状对隔离会有不同的效果，需要结合仿真结果和应用场景来具体分析。

叠层电感设计



实现方式：螺旋电感的主线圈有三层形状一致的导体（两层金属，一层过孔）堆叠在一起。一般适合在有多个厚金属的工艺中。此方法通过增加电感线圈的厚度，来减小电感的欧姆损耗，更适合低频电感的优化设计。

总结

本文介绍了片上电感感值 l ，品质因素 Q 值的定义，并将品质因素作为电感优化设计的目标；接着从金属损耗，衬底损耗两方面阐述了电感的损耗机理；最后围绕如

何减小寄生和损耗这个核心问题，提出了一些电感优化设计的方法。

关于芯和半导体

芯和半导体是EDA软件、集成无源器件IPD和系统级封装领域的领先供应商。公司致力于为半导体芯片设计公司和系统厂商提供差异化的软件产品和芯片小型化解决方案，包括射频IC设计、模拟混合信号设计、系统级封装设计和高速数字系统设计等。这些产品和方案在5G、智能手机、物联网、人工智能和数据中心等领域得到广泛应用。

芯和半导体凭借以客户需求驱动发展的理念，赢得了众多客户的青睐。随着公司自有知识产权的不断开发，芯和半导体已经成为中国集成电路自动化软件技术和微电子行业的技术标杆企业。

芯和半导体前身为芯禾科技，创建于2010年，企业总部位于上海浦东张江，并在美国硅谷、中国北京、深圳、苏州、成都、西安设有销售和技术支持中心。



SM Seamless Microsystems
Digitizing Your World Seamlessly

Best ADCs and DACs

 RADAR
LiDAR

 Wireless

 Imaging

www.seamlessmicro.com
info@seamlessmicro.com



CAST

**IP Cores and Subsystems
for SoCs in ASICs & FPGAs**

Compression



GZIP / GUNZIP IP
H.264 · HEVC
JPEG · JPEG-LS

Processor



IP
32b BA2x
8b/16b 8051s

Automotive



IP
TSN · LIN
CAN · SENT

Subsystem



IP
AHB & AXI Fabric
Interfaces · Peripherals

Networking



IP
UDP · TCP · RTP
Ethernet MAC · HSDLC

Security



IP
Primitives
HSM · Secure Boot

Learn more at: www.cast-inc.com

实现硅光子的美好前景

JOHN FERGUSON
MENTOR, A SIEMENS BUSINESS

光子学的目标是利用光来实现通信、数据传输、信息处理等传统电子设备所实现的功能。光子学成为一个实践性的工作方向始于1960年激光器的发明。光纤传输信息的发明推动了光子技术在电讯行业的广泛应用。与此同时，光子技术还出现更加广阔的各类技术应用领域，包括医学诊断、生物和化学检测、生产制造等。然而，制造光子器件的成本严重制约了它们的商业化。

多年来，硅晶圆代工厂已成功生产大批量的硅晶圆。如此大批量的生产降低了成本，使硅基电子集成电路(IC)不仅经济实惠而且有利可图。与此同时，芯片版图设计规则和工艺开发套件(PDK)的开发促进了整个行业内的IC设计及验证的标准化和优化，帮助设计公司切实可行并有利可图的开发出现今市场中种类繁多的IC和知识产权(IP)。

事实证明，被氧化硅包裹的硅可作为一种近乎理想的波导材料，这意味着光信号在这种材料中传播时几乎不会发生衰减，而这正是硅光子设计有广阔市场前景的关键因素之一。在过去十年里，我们固然取得了许多成功，但硅光芯片(PIC)为何没能得到更广泛的采用呢？凭借其诸多优势（传输速度、

低功耗、经验证的成熟工艺等），加以硅晶圆生产的成本效益，为什么还没有占领市场呢？

答案并不复杂，通过硅晶圆代工厂实现的产品及市场规模化，建立并定制了一系列的晶体管设计技术规范。其中一部分只是惯性使然。晶圆代工厂在IC的摩尔定律模型方面积累了丰富的经验和成功案例。虽然当今的7纳米工艺与20到30年前的0.5微米工艺有着天壤之别，但这些改进和进步是随着时间的推移，伴随每种新工艺逐步实现的。对现有的机制和工艺略加修改，比从零开始新起炉灶总是要轻松一些，成本也更低。

然而，摩尔定律的发展如今也举步维艰。是的，我们可以肯定地说会出现3nm工艺，但它已经不会像以前的工艺节点提升那样带来巨大的性能或面积优势，而且注定会被贴上昂贵的标价。这也意味着市场中出现了拐点机会。但除了这一机会以外，PIC要想成功达到媲美IC的规模，还需要些什么呢？

答案之一有赖于IC所实现的标准化和优化。我们需要复制作为无晶圆厂的设计开发模式，使其为光子学领域所用。当然，这说起来容易做起来难。但是，我们可以从深入研究该模式及历史开始，了解需

要投入的工作。

我们来想一想，无晶圆厂IC团队在设计片上系统(SoC)时会从晶圆代工厂获得哪些东西。首先是PDK。PDK实质上代表了一份隐式合同，即合理运用适当的电子设计自动化(EDA)软件工具将能够实现目标工艺中可制造和可操作的设计。PDK的核心是设计规则，它们定义了物理版图的制造要求。设计规则检查(DRC)确保在版图中创建的几何形状可以在给定的代工厂工艺节点上成功制造。为了配合设计规则，晶圆代工厂还必须公开GDS或OASIS文件中的层分别用于哪个工艺步骤及制造相应的掩膜版。

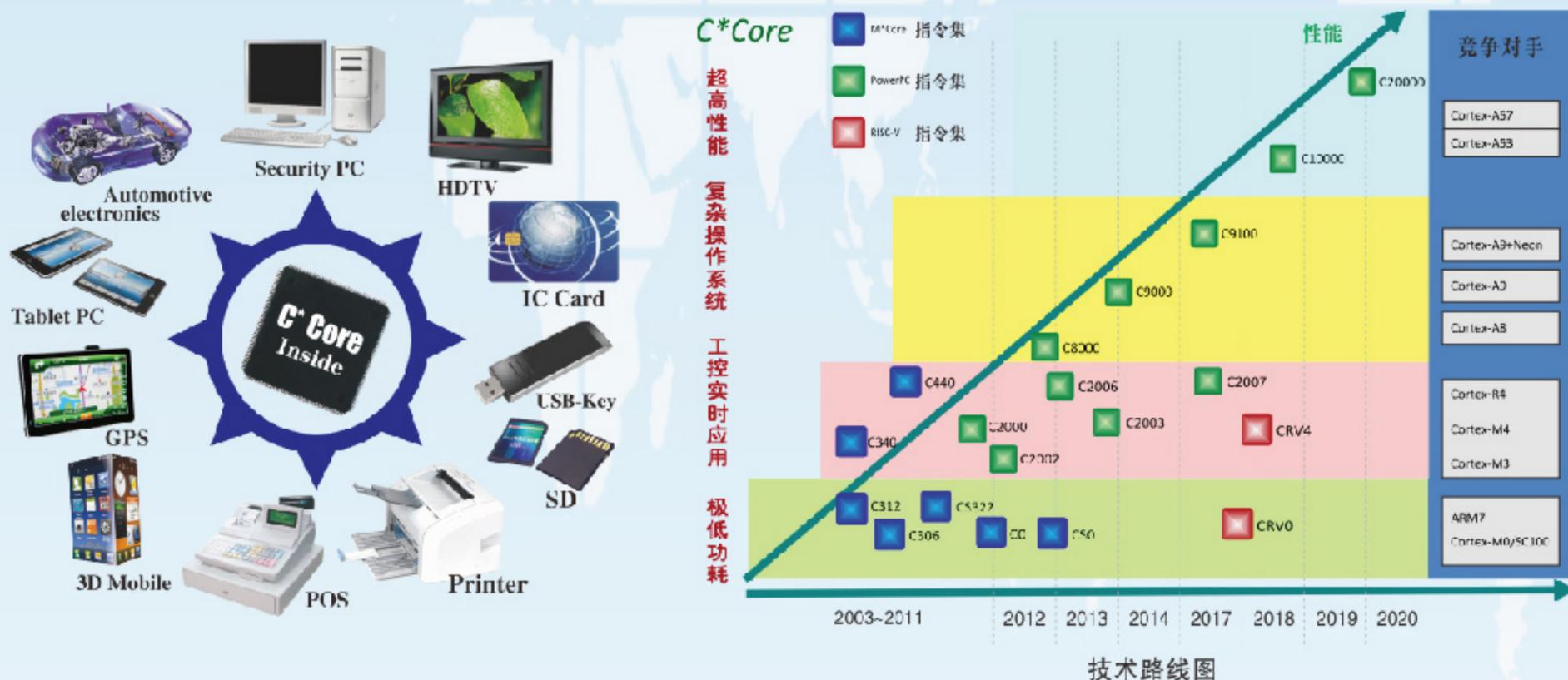
PDK中还有一个重要部分是器件模型。晶圆代工厂是晶体管领域的专家。他们会细致、准确地描述晶体管在给定结构中的工作情况。只要设计人员正确地构建晶体管，他们就可以放心，器件会按设计预期的那样运行工作。

但是，仅有器件模型还不足以实现规模化。如果设计人员不得不把注意力放在确保版图中的每个晶体管都正确设计，那么要设计出我们当前创建的包含数十亿个晶体管的SoC，将会是一项旷日持久的工程。

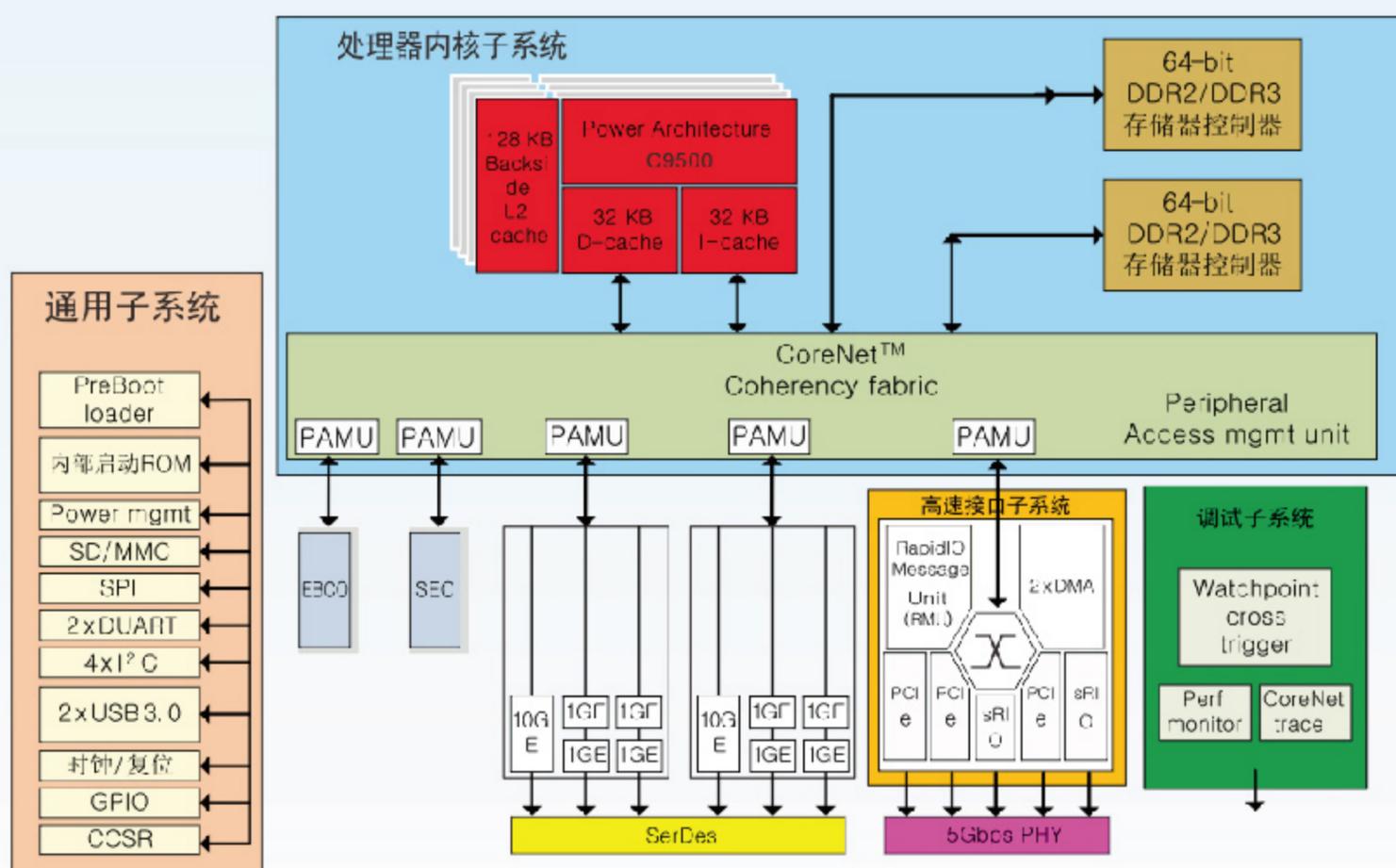
为实现规模化，PDK中加入了

公司简介

苏州国芯科技股份有限公司是领先的国产化CPU IP和IC设计服务提供商，公司引进IBM PowerPC系列CPU及指令集架构授权和飞思卡尔（原摩托罗拉）先进水平的低功耗、高性能32位RISC嵌入式CPU技术及其SoC设计方法；以高起点建立苏州国芯自主知识产权的完全兼容PowerPC架构及M*Core架构的系列C*Core CPU。



高性能SoC设计平台CSOCH2040，基于苏州国芯自主知识产权的C*Core 32位高性能信息安全处理器C9100MC，支持ISA V2.05指令集架构（Power Instruction Set Architecture），兼容NXP E500MC核。



高性能SOC设计平台CSOCH2040

更多信息。首先是预先特征化的单元(Pcell)。Pcell允许设计人员在已知和允许的参数中进行选择，这些参数可在一定范围内修改，以使一个晶体管或一组晶体管表现出不同的电子行为。更重要的是，这些参数可通过电路原理图形式的预定义和特征化设计来驱动。这种原理图驱动的设计方法使设计人员可以专注于设计需求而不是物理版图，从而大幅提高了开发效率。为了进一步简化流程，PDK还提供了参数化的原理图符号，设计人员可使用这些符号来确保原理图中搭建的模块可以准确无误的代表设计意图。

当然，这仍然不够。晶圆代工厂还进一步提供了定制好的标准单元库。这些库包括常用的逻辑单元和其他相对简单的基础模块。晶圆代工厂还提供更大的IP模块和（或）来自第三方供应商的经过定制及验证的模块IP，例如存储器、处理器等。从理论上讲，SoC设计人员可以根据自己的喜好组合其中的任意或全部模块，而不必担心它们的行为和性能。

但即使要做到这一点也不轻松。我们如何得知将这些模块组合到一起后的性能如何？数字设计流程正是从这里真正蓬勃发展起来的。附带时序库的标准单元和IP让设计人员可以了解在版图中将它们组合到一起后的行为。这些时序库没有提供详细分析，而是提供各种工艺极限下的相关信息，指示组件在特定工作条件下的行为。通过添加一些参数（通常以LEF库和tech文件的形式），这些库可用于指导一种既可验证时序，又可通过布局和布线(P&R)工具来驱动版图

的设计流程。

然而，即便这些全部到位，IC设计流程也远非按个按钮那么简单，人们依然很可能而且相对容易犯错误，从而造成良率或可靠性问题。尽管如此，在大致了解他们的成功史后，您应该可以明白，设计人员为何不愿放弃所有这些设计模式和安全保障了。

这对硅光子意味着什么呢？这意味着，开发类似的工具和组件对于将PIC整合成传统的IC设计及验证流程至关重要，首先要开发一个光子PDK。

实际上，尽管面临挑战，但在实现这一目标方面仍取得了可喜的进展。虽然GDS和OASIS文件格式本身并不支持PIC中常见的曲线结构，而且对这些曲线结构进行传统的DRC验证会导致成千上万的误报，但我们已成功找到一些方法，利用专用的DRC来检查PIC版图中存在的实际问题，同时避免产生大量误报。

尽管我们尚未实现真正统一的包含定制化单元的完整Pcell光子器件库，但也只有一步之遥了。通过使用基于Python™的Pcell(Pycells)，或使用Phoenix OptoDesigner设计平台或Luceda IPKISS.eda设计框架[1][2][3]等工具，可以获得创建此类Pcell的能力。Calibre®nmLVS™电路验证可以执行简单的器件级黑盒式版图与原理图(LVS)验证，以确保生成的版图中不存在短路或开路，并将从版图中提取的光学设计传递给光学仿真器，例如Lumerical的Interconnect设计工具[4][5]。Mentor已经发布了Tanner L-Edit工具的增强功能，可对集成光子设计进行

手动版图布局。更进一步的，Mentor还提供了业界首个集成的电子/光子混合版图自动化工具。自动化工具完成的版图设计将是“通过Calibre验证的设计”，并可融入OpenAccess设计流程。这些工具和流程共同代表了一项重大进步，可帮助光子学设计人员将注意力从关注器件构成差异化转向基于已知和定制化器件的设计开发上。

EDA行业认识到仍有很多有待逾越的障碍。我们的晶圆代工厂合作伙伴是晶体管专家，但远远还没有成为光学专家。我们可以助您一臂之力！基于生产制造后的测量可以创建适当的工艺模型，借助这些模型，我们可以预知版图中绘制的PIC设计将如何在制造步骤中呈现。我们可以自动捕获版图设计中的图形与实际制造出的图形之间的差异。通过这种方式，晶圆代工厂或设计团队可以基于多个可能的物理参数生成几种不同的版图设计来表征一个器件，再通过实际的测量来确定这些差异将如何影响光学行为。遵循这样的表征过程，可以更好地了解不同物理参数间多种组合形式的可行性，并最终制作出适用于PIC设计的经过认证可以确保质量的Pcell。

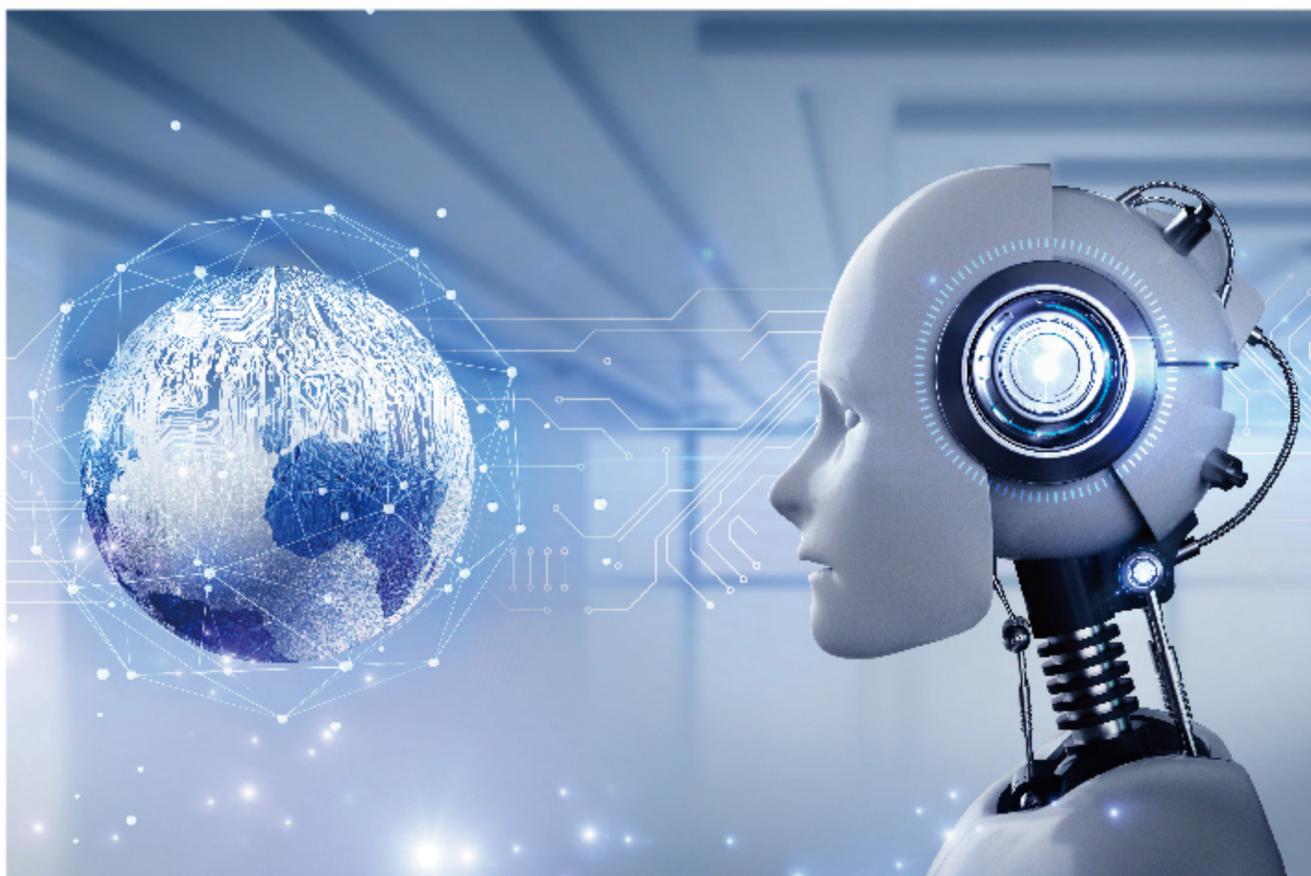
晶体管的电子行为主要由宽度和间距来表征，光学器件则不然，在没有进行充分仿真的情况下，要基于版图甚至硅图像来验证光学器件的预期电子行为要困难得多。幸运的是，这可能不是必需的。LVS器件验证背后的理念是确保版图充分体现原理图中的设计意图。一种替代方法是，在相关的版图设计中重现相应的版图设计。如果未发现更改，则设计人员知道布局的器件

与预期器件匹配。从复杂的图形匹配到直接根据光学方程式重新生成图形，有多种方法可用于进行这样的比较。

还有最后一个需要考虑的问题——如何成功地将光子和电子器件整合在一起。理想情况下，设计人员会将所需的电子和光子器件摆放在同一芯片上。但是，与电子器件相比，光子器件通常要大得多，所以光子器件设计不需要使用更先进的工艺节点。如果设计人员需要只能借助先进工艺实现的电子功能来驱动光子器件，那么最终这些光子器件将会占用大量非常昂贵的面积，导致最终的SOC价格令人难以承受。事实上，鉴于光子器件的尺寸很大，试图将它们与电子器件整合在一个芯片上会直接导致芯片的尺寸增大，进一步增加成本。

显而易见的解决方案是采用多芯片封装，在这方面有很多积极的消息。晶圆代工厂、外包装配与测试(OSAT)公司以开发类似PDK的方法来简化和降低封装设计和验证的风险方面，也取得了长足的进展。实际上，领先的硅光子生产代工厂TowerJazz近期发布了基于业界领先的Calibre nmPlatform的初版硅光子PDK。在Calibre nmPlatform的支持下，采用TowerJazz PH18硅光子工艺的客户现在能够像构建互补式金属氧化物半导体(CMOS)器件那样，一如既往地放心构建物理结构正确的硅光子器件[6]。

硅光子具有高速数据传输、高带宽以及低功耗的前景优势，这对于当今的高性能计算、电信、军事、国防、航空航天、医疗和研究应用而言至关重要。但要实现这一前景，设计公司必须获得晶圆代工



厂和 EDA 供应商为 IC 设计和验证提供的同等水平的支持。幸运的是，预后良好！业界正在积极地联合晶圆代工厂、设计人员、EDA 供应商和封测厂，致力于延续并扩大迄今为止已取得的进展，终极目标是实现硅光子技术产品化所需的实惠且规模化的设计开发平台。

参考文献

[1] Python Software Foundation. Python programming language. <https://www.python.org/>

[2] Phoenix Software. OptoDesigner platform for integrated optics and photonic chip design.

<https://www.phoenixbv.com/product.php?submenu=dfa&subsubmenu=3&prdgrpID=3>

[3] Luceda Photonics. IPKISS. eda framework for the design and the design management of integrated photonics chips. <https://www.lucedaphotonics.com/en/product/ipkiss-eda>

[4] Mentor, a Siemens Business. Calibre nmLVS layout vs.

schematic physical verification. https://www.mentor.com/products/ic_nanometer_design/verification-signoff/circuit-verification/calibre-nmlvs/

[5] Lumerical. Interconnect photonic integrated circuit design and analysis environment. <https://www.lumerical.com/tcad-products/interconnect/>

[6] Mentor, a Siemens Business. 2018. “TowerJazz launches initial silicon photonics design kit based on the Mentor Calibre nmPlatform.” March 13, 2018. <https://www.mentor.com/company/news/siemens-mentor-tower-jazz-launches-initial-silicon-photonics-design-kit-based-on-the-mentor-calibre-nmplatform>

本内容最初发表在 2018 年 11 月的 Photonics Spectra 上。



改善XR环境中的头部追踪

CEVA Charles Pao

在虚拟现实和混合现实的应用中，精确的头部跟踪是绝对必要的。在XR应用中，一切都基于视觉。如果用户的大脑“看到”的东西与其他感觉所报告的信息不同，则用户会感到困惑。它剥夺了体验的真实性和乐趣，或更糟的是，它使用户产生强烈的眩晕感。

实际上，实现正确的头部跟踪是一项复杂的任务。需要考虑各种因素才能使它恰好适合用户的设备或应用。通过对这些因素的深刻理解以及手头上的传感器的关键知识，逼真的沉浸式体验就可以完美的实现。

为什么需要头部追踪

虽然AR和VR应用程序之间的实际体验截然不同，但两者都需要精确的头部跟踪。在增强现实或混合现实中，运动差异会更加清晰地体现出来，因为虚拟世界不会以我们知道物理世界的方式移动。想象一下一个物理世界中的桌子，上面放着一个虚拟的立方体。如果没有正确的头部跟踪，我们会注意到立方体一角转入桌

子的那一刻就知道那是错误的。虚拟世界中不遵守我们知道的相同物理动作。

在VR应用程序中，差异仍然会迅速导致用户产生眩晕，或者至少会带来负面的用户体验。尽管我们看到的是一个完全虚拟的环境，但我们的大脑仍然可以感知到我们所看到和听到的声音与如何移动头部之间的微小差异。即使它不会立即影响我们，我们也一定会产生眩晕感。

在3D音频应用程序中可能会发生类似的问题。如果声音没有随着用户头部的动作和方向移动，他们可能会注意到声音抖动或者延迟。

头部追踪的关键因素

为了提供强大的用户体验，需要考虑以下3个关键因素：

- 延迟：这是行动和反应之间的延迟。总是会有一定程度的延迟，但是关键是将其最小化，以使用户不会检测到此延迟。

- 精度：这是指在XR环境中跟踪运动或定位的精度。如果传感器（及其算法）不准确，用户可能可以实

时跟踪头部运动，但无法在虚拟环境中准确反映。

- 平滑度：用户想要创建不受抖动影响的XR体验。突然变化的输出会破坏沉浸感，对于游戏而言，甚至可能导致角色的“死亡”。

即使优化了这些因素，也会发生错误。一个常见的问题称为“抖动”。抖动通常分为以下几类：

- 定时抖动：发生这种情况时，答案是会当回复“提早”或“延迟”时会发生定时抖动，从而这会导致XR环境中的动作抖动不紧随用户的移动而变化。

- 噪声：当真值静止仍旧但而输出处于运动状态时，这是可见视为噪声的。这是更关键的抖动类型，通常是眩晕的原因。它使用户感到困惑，因为即使他们静止不动，XR环境也会移动。

那么，究竟如何才能为XR设计一个向用户展示真实生活体验的系统？这些是其基本组成部分：

- 准确的头部追踪
- 高传感器输出率

- 低延迟
- 稳定的输出无跳跃

在 XR 中实现准确的头部跟踪

准确的头部跟踪看似很简单，但实际上非常复杂；要实现该目标，没有正确的答案。但是，用户需要考虑一些事项。

一个水平的环境

用户要确保虚拟或混合现实环境处于水平状态，以便正确校准所有内容。随着时间的流逝，补偿加速度计的零速率偏移 (ZGO) 是使系统与现实保持水平的一种好方法，并且可以提供稳定的长期航向性能。

使用磁力计

至少需要一个加速度计和陀螺仪来进行精确的头部跟踪，但是还需要弄清楚是否应该使用磁力计。如果磁环境不稳定，它将对磁北产生许多不确定的答案，并且由于用户运动和环境而更加复杂。但是，如果用户有一个稳定的磁环境，则可以获得随时间推移在长时间内一致的方向输出的好处。

如果不使用磁力计，则可能需要使用地理参考系统，以帮助用户确定自己在世界上的位置，例如所面对的方向和直线位置。这需要一些外部输入。

解决陀螺仪错误

陀螺仪非常快速地确定方向，并且不受电磁环境的影响。但是，尽管具有出色的性能，但消费级陀螺仪会随时间自然漂移。而且，如果用户不考虑并解决此问题，则可能极大地影响用户体验。

磁力计可以通过提供稳定的绝对方向读数来缓解此问题，但是 6 轴传感器系统没有磁力计的支持。当头部和手部控制器向不

同方向缓慢移动时，漂移尤其成问题。

来自加速度计和磁力计的长期数据可能会显示与(漂移的)陀螺仪输出不同的方向信息。如果 XR 控制器的移动速度比陀螺仪能跟踪的速度快，那么在没有算法帮助的情况下该数据将丢失。实施算法来纠正这一点对于解决传感器错误至关重要。

平稳运行

有时，来自实际的情况和陀螺仪的反馈不一致(请记住，陀螺仪在短期内的用途更多，而加速度计和磁力计在获取长期信息方面的效果更好)。稳定化的想法是确保“追赶”正确的反馈不会对用户造成伤害。使算法和传感器更干净地填充空白对于获得流畅的体验非常重要。

除了这些外部选择和棘手的错误之外，XR 系统还需要快速的数据。这就是传感器输出速率和延迟的重要因素发挥作用的地方。高传感器速率使虚拟世界与现实世界保持同步。但是，如果高延迟将数据经过高延迟才传递到用户端手中，则数据的精确度并不重要了。

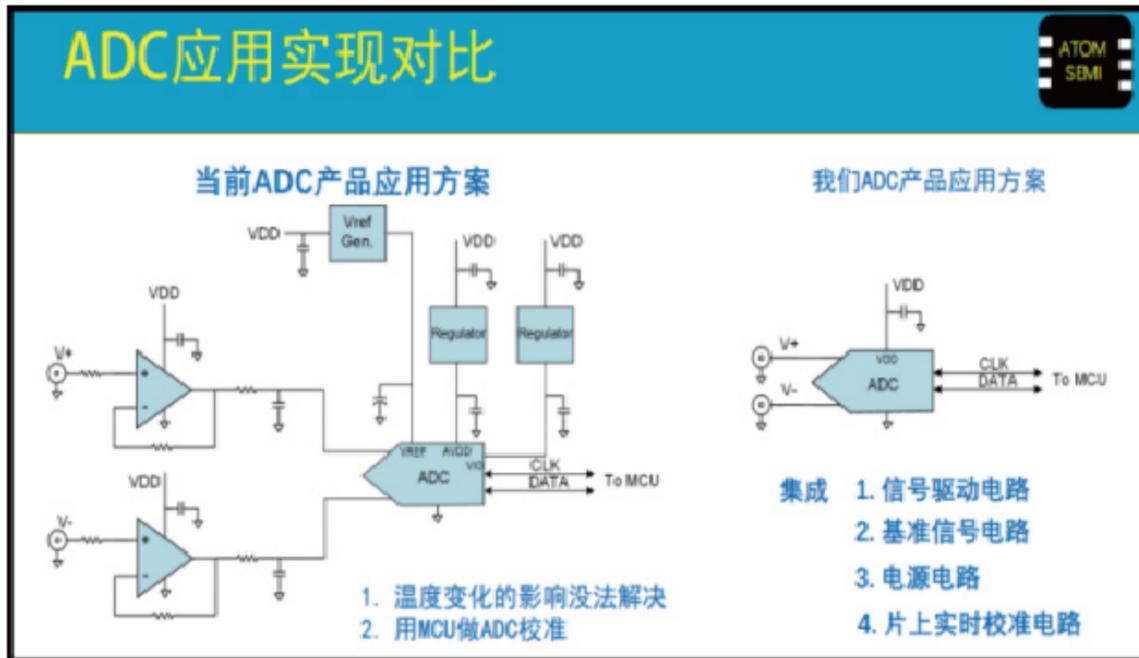
头部跟踪很复杂，但这是整个 XR 体验中最关键的部分。如果用户在设计中没有考虑到这一点，那么无论使用哪种虚拟应用程序，都将为用户带来令人不愉快的真实体验。

幸运的是，CEVA 知道如何解决交付沉浸式的 XR 体验的关键问题。我们的 BN0085 具有准确的头部跟踪功能，所有这些功能均以高传感器速率(1kHz)，低延迟(结合预测算法来克服系统延迟)和稳定算法来保持体验平稳运行。



国产模数转换 ADC 芯片的现状、困境和历史机遇

编者：袁文章，原子半导体联合创始人



自然界产生的信号，都是模拟信号，比如我们说话的声音，看到的景色，感受到的温度、湿度、压力、流速、光、电、风及个人的呼吸、血压、体温、心跳、体重、血糖，体脂等等。

这些模拟信号都得最终放在电脑，手机等数字领域进行处理，存储或者传输，那如何把模拟信号转换成数字信号呢？就需要一个转换器芯片，它就是芯片界的翘楚—ADC！

一、ADC 芯片就是 Analog Digital Convert 模拟数字转换的芯片。

从模拟信号转化为数字信号，转换的过程信号处理要经过采样，保持，量化，编程四个阶段。根据不同的处理方式，有七种结构及其应用场景：

- Falsh, (Half-Falsh)
- Folding(折叠型) ,
- Sigma-Delta ($\Sigma-\delta$),
- SAR (逐次逼近型) ,
- Pipelined (流水型) ,
- 未知结构。

1、FLASH & Half- FLASH ADC 由于其并行结构具有最高采样速率可达10GSps 以上，但是由于非线性使其分辨率限制在 8 位以内，可用于示波器等产品。

2、Folding 采用折叠型等结构的高速 ADC，可以实现比 FLASH 稍高的精度和差不多的速度，可应用于广播卫星中的基带解调等方面。

3、 $\Sigma-\Delta$ 型 ADC 主要应用于高精度数据采集，特别是传感器、数字音响系统、多媒体、地震勘探仪器、声纳等电子测量领域，采集精度可达 24 比特。

4、SAR ADC 逐次逼近型，主要应用于中速或较低速、中等精度的数据采集和智能仪器中。具有最宽的采样速率，虽然它不是最快的，但由于低成本和低功耗使其很受欢迎。SAR ADC 同时也可以达到 16 比特的精度。

5、PipeLined流水线型ADC主要应用于高速情况下的瞬态信号处理、快速波形存储与记录、高速数据采集、视频信号量化及高速数字

通讯技术等领域，当前设计速度可以达到GSPS。它们非常适合例如无线收发器应用和军用等高性能要求的应用。

二、针对各种的ADC芯片，如何快速区分和了解ADC芯片的性能的好坏呢？从几个指标着手：

1、精度、也称为分辨率 (Resolution)，单位(Bits)比特；精度越高的ADC转换出来的数字信号越接近于原来真实的模拟信号；另一方面，该精度只表示ADC输出的位数，不代表这些位数里真正的信号分量。

2、采样速率 (Input Sampling Rate) 单位是SPS, 如果ADC的采样频率是 F_s (Hz)，那么它可以转换的模拟信号带宽至多是 $F_s/2$ (Hz)。比如1Msps代表着1M Samples Per Second, 对应的ADC的采样频率就是1MHz，可以转换的模拟信号带宽至多是1/2MHz。

3、功耗Power Diss-单位mW，功耗越小越好；

4、噪声Chip Noise-单位Vrms均方根，噪声的绝对值，该数值越小越好；

5、温漂Temperature Drift-单位ppm/ $^{\circ}\text{C}$ ；温度随本身和环境的变化值，数值越小越好；

6、实际精度ENOB ADC-输出的信号位数单位比特；实际精度越高位越好；

7、信噪比 SNR- 单位分贝；信

SweRV Support Package

为您部署 SweRV 所需的一切



SweRV EH1 是由 Western Digital 开发的第一代 RISC-V 内核。SweRV 将嵌入在数以百万计的 WD 设备中。而且 SweRV 是开放的，所以您可以自由地使用它来构建自己的 SOC 片上系统。只是，从单纯的 RTL 到硅实现的过程长路漫漫，您需要我们帮忙吗？

我们所推出强大的 SweRV 内核支援方案 (SweRV Support Package，简称 SSP)，

提供了完善的包含晶片设计，实现，至测试和软体编程等各阶段所需之文档，脚本，验证环境和用例等各方面支援，并且支持第三方开发工具。使客户能以竞争力最高的技术和最低的开发成本应用 SweRV 核心进行系统单进晶 (SoC) 之整合。

Codasip 已被 Western Digital 选定为 SweRV 的独家官方支持服务提供商。

“开放内核和专业的技术支持 双剑合璧！”


www.codasip.com

号强度和噪音强度的比值，信噪比越大越好；

8、INL: Interger NonLiner——积分非线性度 - 单位是 LSB (即最低位所表示的量)。DNL: Differencial NonLiner——微分非线性度；DNL 是具体每一个 bit 位数线性度偏差值，INL 是由 2 的 N 次方个 DNL 的累加，是反映整体的线性度偏差值。

INL 表示 ADC 器件通过微积分方法所得的数值点上认定的模拟值和真实模拟值之间误差最大的那一点的误差值。也就是，输出数值偏离线性最大的距离。该数值越小，说明线性度越好，ADC 越值钱。

ADC 芯片朝着减小功耗的方向前进，以功耗、分辨率、采样速率、噪音作为确定品质因数的依据；这一挑战在移动通信领域应用中尤为突出。

目前 ADC 芯片的存在形式多种多样：

- 1、传统封装片、集成电路；
- 2、ADC IP 存在于各种 SOC 芯片中
- 3、ADC 集成模拟芯片 (SIP)，存在于各类数字传感器芯片。

三、什么是高端 ADC 芯片呢？简单来说，它是区别于消费电子市场的 ADC 芯片，主要应用在军工、航空航天、有线无线通信、汽车、工业和医疗仪器（核磁共振、超声）等对工艺、性能、可靠性要求极高的领域。每个电子系统都需要 ADC 芯片，而且 ADC 芯片设计的技术门槛很高。

1996 年，以西方为主的 33 个国家在奥地利维也纳签署了《瓦森纳协定》，规定了高科技产品和技术的出口范围和国家，其中高端 ADC 属于出口管制的产品，中国也属于受限制的国家之一，禁运范围主要是精度超过 8 位 1.3Gsp/s 以及 16 位以上速度超过



65MSPS 的 ADC。

1、每一台国产示波器，使用的 ADC 芯片都需要美国政府的同意才能进口，同时要承诺不被转用军事用途。

2、在相控阵雷达里面，高速度 ADC 芯片都是必需品，只能通过第 N 方渠道转道加价获得。

3、在中兴、华为出产的通讯基站，电路板上除了几颗数字基带芯片是自产的，其他通信链路上 RF、PLL、ADC/DAC 乃至外围测量电源电压的芯片都见不到国产供应商的身影。

4、一些技术含量很高的关键器件高速高精度 ADC/DAC 等领域，还完全依赖美国供应商。

5、GS/s 高精度的模数转换器 (ADC) 是 5G 通讯建设中高性能基站的核心器件，也是反导相控阵雷达中所需的关键模块，更是“瓦森纳协议”所禁运管控的核心器件，长期以来被国外公司所垄断，突破 GS/s 高精度 ADC 的技术壁垒迫在眉睫。

四、目前国际上 ADC/DAC 市场份额分别被 ADI、TI、MAXIM、MICROCHIP 等国外企业独占，其中，ADI 市占率约为 58%，TI 占比约为 25%，MAXIM 占 7%，MICROCHIP 占 3%，难觅国内企业身影。

据相关数据显示，2017 年 ADC 芯片销售额为 545 亿美元，预计到 2022 年，全球 ADC 芯片市场规模可达 748 亿美元，市场前景非常可观。

未来几年支撑 ADC 芯片增长的主要驱动力是 5G、人工智能、物联网、汽车电子等新兴应用，这些相关的产

品或技术对信号处理的需求大涨。中国模拟芯片市场占全球模拟芯片市场比例超过 50%，且市场增速高于全球平均水平，按具体功能分，ADC/DAC 市场规模占模拟电路市场份额比例达 15%，所以大概推断出国内 2022 年 ADC/DAC 市场规模为 56.1 亿美元（约 393 亿人民币）。

ADC 芯片龙头企业—ADI；我们主要从 ADI 关键财务数据剖析。数据来源：ADI 官网公布的 2019 年年度报告（单位：千美元）。

- 1、收入、毛利率和进利率总览
产品平均毛利率超过 60%；
- 3、收入 - 按区域源自于中国地区收入占 ADI 总收入的 35%；
- 2、收入 - 按应用领域

ADI 在全球市场的业务布局广泛，主要以模拟信息的感知、测量、连接、电源、解译、安全；

这六大核心处理技术，全方位地布局工业自动化、通讯、汽车和消费电子与医疗等产业。根据 ADI 刚公布的 2019 财报，工业应用领域占据半壁江山。

五、既然 ADC 芯片这么重要，又这么赚钱，需求量又这么大，我们为什么不自己设计和生产呢？其实国产 ADC 芯片发展面临的重重困难：

首先，国内大学模拟集成电路的教育水平比较低。其次，在美国，由于瓦森纳协定的限制，华人难以进入 ADI/TI 等公司最核心的 ADC 产品研发部门；在中国研发中心，国内工程师可以通过网络看到绝大部分母公司的设计，但绝对看不到高端的 ADC 产品设计。

3、芯片设计，不算架构设计，从电路设计开始，到投片，最少要半年时间。投片送到晶圆工厂流片生

产，一般要 2 个月到 3 个月。最重要的是一次投片的费用最少也要数十万元，先进工艺高达一千万到几千万。如此高的试错和时间成本对一次成功率的要求极高，不得不把流程拖长，反复验证，需要多个工种密切配合，团队中一个人出错，3 个月后回来的芯片可能就是一块儿石头。修改一轮，又三个月过去了。

4、对于研发 ADC 芯片的初创公司，动则 50-60 万薪起的模拟芯片研发工程师薪水；如果没有强有力的资金支持，进军 ADC 芯片就如同进入一个不断挑战的“巨坑”。再加上 ADC 芯片业更新换代很快，如果不能在特定时间内拿下产品，就赶不上市场的节奏，让企业难以支撑。而对于中国公司来说，想研发出高性能，低功耗的 ADC 芯片，没有数十年的积累和持续投入，基本都是在划水！

5、集成电路也可反向设计，就是抄，虽然芯片很小，电路密度极大，但仍然可以通过显微、照相等方式获得他的全部版图信息，然后复制一份，送到工厂生产，似乎看起来就可以得到一模一样的产品了。其实不然，版图相当于软件编译后的机器代码，可读性很差，无法了解其原理和架构。而版图提取本身存在物理误差和人为错误，尤其对于高性能的模拟混合信号 ADC 芯片，对工艺又非常敏感，稍有不一致都可能导致芯片性能和良率的巨大差异。而此时设计人员无法了解原理，定位错误犹如一个盲人在大海里捞针。军工研究所普遍采用这种方法，每次反向犹如一场赌博，有时候能做出来最好，一旦出现问题，基本束手无策。所以多年下来，除了电路比较简单的射频和功放芯片，就算上述高性能 ADC 等关键器件反向设计成功，但能量产的例子



寥寥无几。

六、国内做 ADC 的企业其实也不少，归纳起来有三类群体：

第一类是国家骨干研究所（企业）。如：云*微、迅*微，北京**民芯，华*贝岭、2*所（吉*微），南京 5*所，航天 61*所，安徽 21*所，华*微等。从上世纪 80 年代末开始，国内已有 ADC 的团队出现，这个阶段主要以项目研发为主。应用主要面向军工、航空航天、相控阵雷达设备等。经过几代人的努力今天也取得了不错的成绩，在一些应用上已经可以看到有国产 ADC 的芯片出现。中电集团某研究所于：2011 年研制出了 2Gsp/s、8bit 的 ADC，2018 年研制出了 5Gsp/s、10bit；航天某所于：2013 年研制出了 3Gsp/s、8bit，2016 年推出了 1Gsp/s、12bit 的 ADC。问题在于功耗大，噪音大，良率低，量产及产业链能力差，可用于军工，国防军工等领域，但不能适用于工业通讯领域。

第二类是国内高校大学教授及硕博学生、国内企业技术力量为主的创业团队，如：北京芯*微、苏州纳*微、北京核*互联、奇*士技术、北京昆*微、芯*半导体、杭州*盟等。在 ADC 研发方面也不断有成就报

道出来，比如中科院微电子所在 2009 年就研发出 4Gsp/s、4bit 的 ADC 产品，2012 年研制出了 8Gsp/s、4bit，2018 年这个指标上升到了 10Gsp/s、8bit，该产品在 eBiCMOS 工艺平台实现。复旦大学正在联合第三方企业完成一项 4Gsp/s、12bit 的国家研发计划。从指标上看，这个离世界先进水平相差 2 代。以浙江大学为背景的杭州*盟公司，主要是以基础的 SD-ADC 和 SAR-ADC 为主。

第三类是外企海归团队。深圳灵*微、苏州思*浦、上海韬*半导体、上海*精微、南京*思微、上海*比半导体等。近年来出现的以海归团队，都能知名投资机构的青睐，得到几千万元的投资，其目标是实现高速（1G 以上）高精度 ADC 芯片的自主化研发。在长三角也有几家以 ADC 为方向的创业团队，其发展路径是针对市场壁垒不高的测量仪器等民品市场研发适销对路的 ADC 产品。指标参数都在 65-250Msp/s、12-16bit 范围，也有报道称苏州某公司研制出了 10Gsp/s、8bit 的 ADC 产品高校是人才最大的输出口，目前国内有培养微电子人才能力的学校基本结构是：10+17+2"10：10 代表着国内目前有示范性微电子学院的高校：清华大学，北京大学，上海交通大学，复旦大学，浙江大学，东南大学，中国科学院大学，中国科技大学，西安电

电子科技大学，电子科技大学。这 10 所大学代表了目前内地在微电子方面最为强悍的高校。

17: 17 代表着目前正在筹备建设示范性微电子学院的高校，大部分都是 985 高校，包括，华中科技大学，同济大学，中山大学等，211 的几所大学如合肥工业大学，北京工大在微电子方面也展现着不俗的实力，今年深圳新贵南方科技大学也成功加入联盟。

2: 2 代表着港澳的 2 所高校，香港科技大学和澳门大学。香港科技大学作为顶级工科名校，在集成电路设计方面有着世界公认的硬实力，师资力量也是无比强大，基本上都是早年毕业于美国的顶尖名校，堪称大中华第一。

七、在自然界，动植物要生存，必须融入生物链。做企业也一样。只不过，在企业这个生态链中，先行者有成本优势，再加上稳定可靠的供应链，使得他们能够持续盈利，进而支撑着技术的不断进步。同时在供应链渠道通畅的时候，各种关系相互利益，做国产替换的工作非常艰难。对后来者而言，如同一道不可逾越

的壁垒。好多科研院所的 ADC 芯片军用很出彩，民用却卖不出去？问题就在生态链上。军用市场是一个封闭的小圈子产品追求性能、稳定性和抗干扰，对功耗、噪声等及价格并不敏感，国家队 ADC 公司在这里能找到自己的位置。而在民用市场，性价比为王，对噪声，功耗要求极高，技术升级快和供应链响应快，国家队很难融入这样的生态链。

这些年，中国半导体产业面临的一大难题，就是如何融入这个生态链。

2000 年前后，国家利用人才政策吸引了很多海归留学人员回国创业，这些海归博士一开始也许想做工业级产品，关键的 CPU 等，但很快发现产业环境不合适。那时候中国的整机还没有强大到今天华为，小米，OPPO, VIVO 等地位，市场容量小，技术可靠性要求高，设计周期长；这批海归博士的企业都是靠消费类市场和 06 年之后一波山寨手机热潮完成的原始积累，进入良性循环。然而没有跟上这一波潮流的企业都还在艰难的生存。

在 5G 时代，高速高精度的 ADC 是 5G 基站不可或缺的芯片。目前进口的国外 ADC 芯片单价都在千元以上，单个 5G 基站的 ADC 芯片使用就高达两位数。可见未来国产 ADC 的使

用空间巨大。

八、国产 ADC 芯片产业的历史机遇

政策面：在美国政府和特朗普政权强力制裁以华为为首的中国高科技企业的大前提下，芯片的争夺和发展成了重中之重。8 月 24 日习近平总书记强调长三角三省一市要集合科技力量，聚焦集成电路、生物医药、人工智能等重点领域和关键环节，尽早取得突破。2020 年 7 月 30 日，在国务院学位委员会会议上，投票通过了设立集成电路一级学科，上海复旦大学已经开了第一枪。有望弥补 30 万集成电路人才缺口。

而中科大与在合肥市的成功模式，让各级政府、高校及高新科技给城市未来带来的新时代机遇。

资金：国家成立了国家集成电路大基金一期，二期等，全力支持芯片的发展。社会上有关芯片生态产业的投资成了当下最大的热门。各级政府都在当地建设集成电路基金和芯片相关的上游产业投资。

生态：国产替代已经成为了热门词汇。在瓦森纳协定和美国特朗普政府的深度制裁造成国内很多的知名大客户在无芯可用的情况下，在 ADC 芯片的使用上面不得采用国产替代。在台积电突破 7nm，中芯国际突破 14nm 的今天，国产高端 ADC 晶圆流片不再是一堵高墙。同时在瓦森纳协定和美国特朗普政府的深度制裁造成国内很多的知名大客户在无芯可用的情况下，在 ADC 芯片的使用上面不得不采用国产替代。

这些年，中国半导体产业面临的一大难题，就是如何融入这个生态链。

—— 国产替代，让我们有了重塑生态链的好机会。

—— 新冠疫情，让国产 ADC 芯片供不应求。





目前美国占据了全球半导体市场的半壁江山，拥有明显的领先优势。那么一再对华实施芯片出口限制，到底有多大作用？美方还能确保自己的市场优势吗？

毕竟中国是全球最大的芯片消费市场。最近，美国智库波士顿咨询公司就发表了自己的研究报告，指出限制对华出口芯片，可能会终结美国在半导体产业的统治地位。

原子半导体就是其中的一支国产替代的力量，原子半导体是基于袁杰教授在港科大长期的芯片项目研发储备和技术积累，从港科大分离出来的一家混合信号 / 模拟芯片设计高科技企业。公司成立于 2020 年 9 月，当前拥有香港和深圳两支团队。公司总部座落于香港科技园。公司团队主要由名校毕业的博士组成。

原子半导体的芯片产品专注于高性能传感器和通信的信号链。可以广泛应用与手机，穿戴式设备，智能电器，消费电子，医疗电子，汽车电子，工业自动化，仪表，和通信设备。当前公司产品拥有众多的合作伙伴和客户。

主要针对两个市场：模拟传感器市场和数字传感器市场。针对传统模拟传感器市场，我们推出高精度 ADC 芯片产品，能够满足 10MSPS 以下所有高精度的应用需求。针对新兴的数字传感器市场，我们推出自主开发的集成数字传感器芯片产品。芯片产品性能达到国际领先水平。

原子半导体也陆续的和各类 SOC 厂家建立高精度 24bit $\Sigma \Delta$ ADCIP，高精度 12-16 位 SAR ADCIP，以及 5G 通讯产品用的 2.5GSPS 高速 ADCIP 等产品的合作。

- 高精度 24bit $\Sigma \Delta$ ADC 产品线
- AS1001: 24bit, 高速 (32KSPS), $\Sigma \Delta$ ADC for sensors
- AS1002: 24bit, 低速 (1KSPS), $\Sigma \Delta$ ADC for sensors
- 高精度 16bit SAR ADC 产品线
- AS2001: 16bit, 10MSPS, SAR ADC, for data acquisition
- AS2002IP: 12bit, 1MSPS, SAR ADC IP, for MCU
- AS2003IP: 12bit, 3MSPS, SAR ADC IP, for MCU

ADC市场:

1. 高精度24bit $\Sigma \Delta$ ADC产品线
2. 高精度16bit SAR ADC产品线
3. 高速2.5GSPS ADC产品线

集成数字传感器市场:

1. 数字温度传感器
2. 集成光传感器
3. TOF传感器
4. 集成医学传感器
5. 智能咪表集成传感器

- 高速 ADC 产品线
- AS3001: 14bit, 2.5GSPS, ADC。

IP核：实现“十四五”规划目标的基石

锐成芯微

随着全球电子信息产业的爆发，全球集成电路设计行业一直呈现持续增长的态势。我国的集成电路设计产业凭借广大的市场需求、稳定的经济发展和有利的产业环境等优势条件，已成为全球集成电路设计行业市场增长的主要驱动力。

集成电路产业：

“十四五”发展规划总体目标下的发展机遇

数据显示，集成电路设计业销售收入从2015年的1325亿元增长到2019年的2947.7亿元，预计2020年，中国集成电路设计行业市场规模将突破

3500亿元。在2020年上半年，虽然受新冠肺炎疫情影响，但我国集成电路产业依然保持快速增长，1~6月份销售额达到3539亿元，同比增长16.1%；其中，设计业销售额为1490.6亿元，同比增长23.6%；由此可见，IC设计是国内集成电路产业中最具发展活力的领域。

近年来我国也对IC设计行业制

我国IC设计行业相关法律法规与产业政策汇总

发布时间	部门	政策名称	主要内容
2011年	国务院	《关于印发进一步鼓励软件产业和集成电路产业发展若干政策的通知》	进一步完善对集成电路企业的财税优惠政策，鼓励通过现有的创业投资引导基金等资金和政策渠道，引导社会资本设立创业投资基金，支持中小软件企业和集成电路企业创业；加快软件与集成电路海外高层次人才的引进等
2012年	工信部	《集成电路产业“十二五”发展规划》	着力发展芯片设计业，开发高性能集成电路产品围绕移动互联网、信息家电、三网融合、物联网、智能电网和云计算等战略性新兴产业和重点领域的应用需求。适应三网融合、终端融合、内容融合的趋势，重点突破数字电视新型SoC架构、图像处理引擎、多格式视频解码、视频格式转换、立体显示处理技术等
2012年	工信部	《电子信息制造业“十二五”规划》	明确以集成电路、太阳能电池、新型元器件生产设备，通信与网络、半导体和集成电路、数字电视测试仪器为发展重点，并根据行业特点提出了提升产品可靠性、推动技术应用扩展等针对性保障措施
2013年	发改委	《战略性新兴产业重点产品和服务指导目录》	将集成电路测试设备列入战略性新兴产业重点产品目录
2014年	国务院	《国家集成电路产业发展推进纲要》	着力发展集成电路设计业。围绕重点领域产业链，强化集成电路设计、软件开发、系统集成、内容与服务协同创新，以设计业的快速增长带动制造业的发展。近期聚焦移动智能终端和网络通信领域，开发量大面广的移动智能终端芯片、数字电视芯片、网络通信芯片、智能穿戴设备芯片及操作系统，提升信息技术产业整体竞争力。发挥市场机制作用，引导和推动集成电路设计企业兼并重组。
2015年	发改委	《国家发展改革委关于实施新兴产业工程包的通知》	通过工程实施，推动重点集成电路产品的产业化水平进一步提升，移动智能终端、网络通信、云计算、物联网、大数据等重点领域集成电路设计技术达到国际领先水平，设计业的产业集中度显著提升，32/28纳米制造工艺实现规模量产，16/14纳米工艺技术取得突破；产业链互动发展格局逐步形成，关键设备和材料在生产线上得到应用。
2015年	国务院	《关于积极推进“互联网+”行动的指导意见》	支持高集成度低功耗芯片、底层软件、传感互联、自组网等共性关键技术创新。实施“芯火”计划，开发自动化测试工具集和跨平台应用开发工具系统，提升集成电路设计与芯片应用公共服务能力，加快核心芯片产业化
2016年	国务院	《关于印发“十三五”国家战略性新兴产业发展规划的通知》	推动信息技术产业跨越发展，提升关键芯片设计水平，发展面向新应用的芯片。加快16/14纳米工艺产业化和存储器生产线建设，提升封装测试业技术水平和产业集中度，加紧布局后摩尔定律时代芯片相关领域
2017年	上海经信委	《上海促进电子信息制造业发展“十三五”规划》	优先发展芯片设计业，支持芯片设计企业开展并购和产业整合，推动芯片设计、整机、服务联动发展，对接国家科技重大专项大力推进自主可控CPU产品的研发和应用实现，支持智能终端SoC发展
2018年	工信部 发改委	《扩大和升级信息消费三年行动计划（2018-2020年）》	利用物联网、大数据、云计算、人工智能等技术推动电子产品智能化升级，提升手机、计算机、彩色电视机、音响等各类终端产品的中高端供给体系质量，推进智能可穿戴设备、虚拟/增强现实、超高清终端设备、消费类无人机等产品的研发及产业化，加快超高清视频在社会各行业应用普及
2019年	财政部 税务总局	《关于集成电路设计和软件产业企业所得税政策的公告》	依法成立且符合条件的集成电路设计企业和软件企业，在2018年12月31日前自获利年度起计算纳税，第一年至第二年免征企业所得税，第三年至第五年按照25%的法定税率减半征收企业所得税，并享受至期满为止。

Leading provider of video compliance streams and hardware video IPs

-  World-leader of H.264/AVC, H.265/HEVC, AVS2, AVS3, VP9, AV1 and VVC compliance test suites
-  AV1, VP9, H.264/AVC, H.265/HEVC and JPEG encoder and decoder hardware (RTL) IPs
-  Allegro DVT products have been chosen by more than 100 major IC providers, OEMs and broadcasters

Allegro DVT is today a recognized market leader in video compression technologies and has been a long term partner for brand name semiconductor companies worldwide. Along with the rapid growth of our IP business in greater China area, Allegro established local engineering team in Beijing and in Shanghai.

定了相关法律及产业政策。

2015-2020年中国芯片设计行业市场规模情况



我国IC设计行业地方产业政策汇总

时间	省市	政策
2014年2月	北京	《北京市进一步促进软件产业和集成电路产业发展的若干政策》
2016年7月	天津	《滨海新区加快发展集成电路设计产业的意见》
2017年4月	上海	《关于本市进一步鼓励软件产业和集成电路产业发展的若干政策》
2017年7月	珠海	《珠海市信息产业发展规划（2017-2021年）》
2017年11月	上海	《上海市集成电路设计企业工程产业首轮流片专项支持办法》
2017年12月	浙江	《关于加快集成电路产业发展的实施意见》
2017年12月	北京	《北京市加快科技创新发展集成电路产业的指导意见》
2017年12月	无锡	《无锡市加快集成电路产业发展的政策意见》
2018年2月	无锡	《无锡市关于进一步支持集成电路产业发展的政策意见（2018-2020）》
2018年2月	安徽	《安徽省半导体产业发展规划（2018-2021年）》
2018年3月	成都	《成都市进一步支持集成电路产业项目加快发展若干政策措施》
2018年4月	昆山	《昆山市半导体产业发展扶持政策意见（试行）》
2018年4月	厦门	《厦门市加快发展集成电路产业实施细则》
2018年4月	合肥	《合肥市加快推进软件产业和集成电路产业发展的若干政策》
2018年7月	芜湖	《芜湖市加快微电子产业发展政策规定（试行）》
2018年7月	杭州	《进一步鼓励集成电路产业加快发展专项政策》
2018年8月	深圳	《关于促进集成电路第三代半导体产业发展若干措施（征求意见稿）》
2018年8月	重庆	《重庆市加快集成电路产业发展若干政策》
2018年8月	合肥	《合肥高新区促进集成电路产业发展政策》
2018年11月	长沙	《长沙经济技术开发区促进集成电路产业发展实施办法》
2018年11月	珠海	《珠海市促进新一代信息技术产业发展的若干政策》
2018年12月	广州	《广州市加快发展集成电路产业的若干措施》
2019年2月	成都	《成都市支持集成电路设计业加快发展的若干政策》实施细则（征求意见稿）
2019年5月	深圳	《深圳市进一步推动集成电路产业发展行动计划（2019-2023年）》
2019年6月	铜陵	《支持集成电路产业加快创新发展若干政策》
2019年11月	威海	《关于印发威海市加快培育发展集成电路产业若干政策实施细则的通知》
2019年12月	厦门	《关于完善我市集成电路产业政策的补充通知》
2020年2月	广东	《广东省加快半导体及集成电路产业发展的若干意见》

另外，各级政府也纷纷发文支持 IC 设计产业发展。

自重大专项、推进纲要实施以来，我国集成电路“十三五”期间取得一些标志性成果，如 12 英寸特色工艺生产线投产、国内 14nm FinFET 工艺量产、国产 128 层 3D NAND 闪存发布、国产 5nm 蚀刻机进入台积电验证等。目前，我国集成电路行业迎来利好的发展时期，“十四五”期间集成电路产业将得到更全面、高质量的发展。高端装备、集成电路、新一代人工智能等在内的未来产业，将有望成为“十四五”科技创新规划的重要内容。

IP 核：集成电路产业链上游关键环节

中国集成电路产业已经成为全球半导体产业关注的焦点，由集成电路产业带动下的计算机、通信、消费类电子、数字化 3C 技术的融合发展以及计算机国际互联网的广泛应用孕育了大量的新兴产业，为我国国民经济的持续、快速发展注入了新的活力。

集成电路是信息产业的基础，21 世纪信息产业的飞速发展，使集成电路呈现出快速发展的态势，而以软硬件协同设计，IP 核复用和超深亚微米为技术支撑的 SoC 已成为当今超大规模集成电路的发展方向，是集成电路的主流技术。SoC 设计面临诸多挑战，其中 IP 核的复用最为关键。

芯片设计中的 IP 核 (Intellectual Property Core) 是指在半导体集成电路设计中那些具有特定功能的，可以重复使用的电路模块。形象些的比喻，IP 核如同元器件，芯片如同电路板，通过在电路板上集成各类功能的元器件，就可以设计出针对不同应用场景的电路系统板，而集成电路 (Integrated Circuit) 顾名思义，就是在片内集成了多个 IP

核，能完成多种功能的缩微电路。

芯片设计公司通过购买成熟可靠的 IP 授权，就可实现芯片中的各种特定功能，从而无需对芯片每个细节都自行完成设计。这种开发模式，极大的缩短了芯片开发的时间，降低了开发风险，提高了芯片的可靠性。是集成电路产业链上游关键环节，主要客户是芯片设计厂商。

为什么 IP 核越来越重要？

一方面，市场需求快速变化，这就要求产品的上市时间越来越短。要在这么短的开发周期内可靠完成 SoC 芯片设计，就只有通过大量集成验证成熟的 IP 核，来加速设计流程，因此 SoC 设计公司对成熟 IP 的依赖程度日益增加。另一方面，智能化、网络化成为产品的发展趋势，SoC 的产品功能和性能也因之提升，这就导致 SoC 设计规模和复杂度随之增加，SoC 开发团队规模也随之扩大，但想在设计中面面俱到，全部自行开发完成，从技术实现上看不现实，从成本投入上看不经济，从开发周期上看不满足。因此只有通过 IP 集成，才可以解决这一现实问题。IP 核从而成为了 SoC 的设计基础，深刻的影响着 SoC 的设计业发展。

2019 年，全球 IP 市场超过 40 亿美元，从经济规模看，每 1 美元的 IP 支出将带动和支撑 100 倍的芯片市场。在中国，过去 20 多年来，本土芯片设计公司的逐步发展，尤其离不开 IP 核，影响着大量芯片项目的规划、架构、功能、成本、技术支持和品质管理。本土晶圆厂和设计服务公司，也视 IP 为极为重要的客户项目抓手。

IP 核的分类

根据 IP 核在 SoC 中的技术类型可以将其分为数字 IP 和物理 IP 两大类。

数字 IP 包括处理器 IP，例如我们熟知的 CPU，GPU，DSP，NPU 等，其他数字 IP 包括多媒体编解码、通讯基站协议、存储控制器、总线及数字接口控制器等等。一般数字 IP 交付形式为经过数字验证的 RTL 代码，与工艺制程无关。

物理 IP 是基于不同工艺制程的器件模型和设计规则设计的，最终以 GDSII 文件形式交付给用户，包括以下类型：

(1) 有线连接接口物理层 PHY IP，例如双倍速率存储器接口 DDR (DoubleData Rate)、通

用串行总线 USB (universal serial bus)、串行高级技术附件 SATA (serial advanced technology attachment)、PCIe (peripheral component interface express)、高清多媒体接口 HDMI (high definition multimedia interface)、显示端口 DP (Display Port)、移动产业处理器接口 MIPI (Mobile Industry Processor Interface) 等，一般遵循业界的统一标准

(2) 模拟及数模混合 IP，例如模数 / 数模信号转换器 (ADC/DAC)、电源管理类 IP、时钟类 IP 等等；

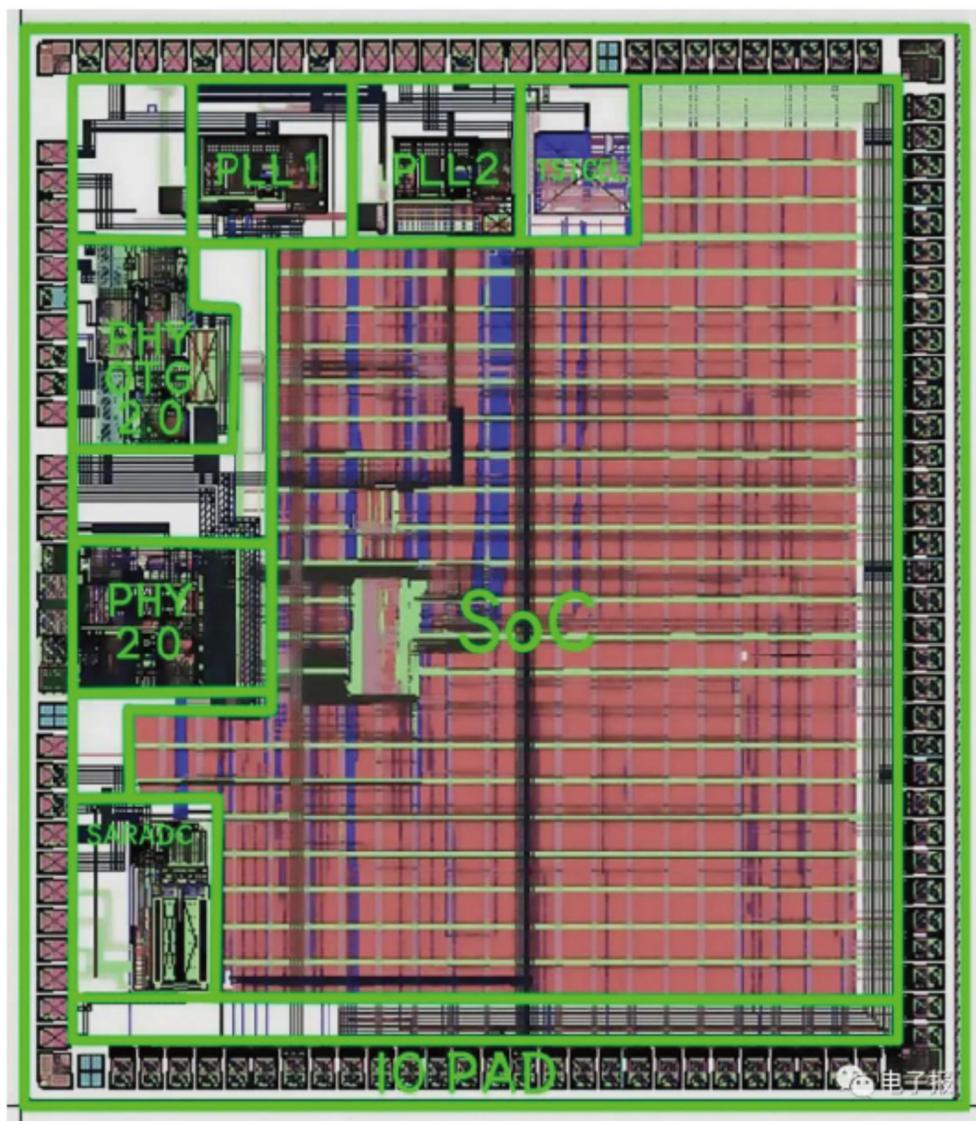
(3) 非易失性存储 IP，例如嵌入式 Flash 存储器、单次 / 多次可编程 (OTP/MTP) 存储器等等；

(4) 无线通信射频类 IP，例如 WiFi、蓝牙、GPS、NFC 等

(5) 基础 IP，包括逻辑单元库 (logic standard cell library)，静态随机存取存储器 (SRAM)、输入输出 IO 等。

按主流商业模式分类：IP 供应商提供许可 (license)、版权 (royalty) 以及许可 + 版权的三种模式，其中许可 + 版权的模式占据较大份额。许可费是通常由 IP 使用方按 IP 被授权次数付费。版权费用一般是 IP 使用方按其生产的芯片数量付费，是跟产品销量挂钩的授权费。除此之外，还有技术授权 (technology license)、架构授权 (architecture license) 等更为深层合作的授权模式。

一个可复用的 IP 核交付给用户，必须要具备完整的系统设计与应用参数规格说明 (specifications)，各种兼容的应用模型、可配置性、验证代码和测试文件，通用的总线接口以及通用的检测接口，功能验证、逻辑综合和物理设计验证等相关的



脚本 (script) 文件、设计和转让文档等。

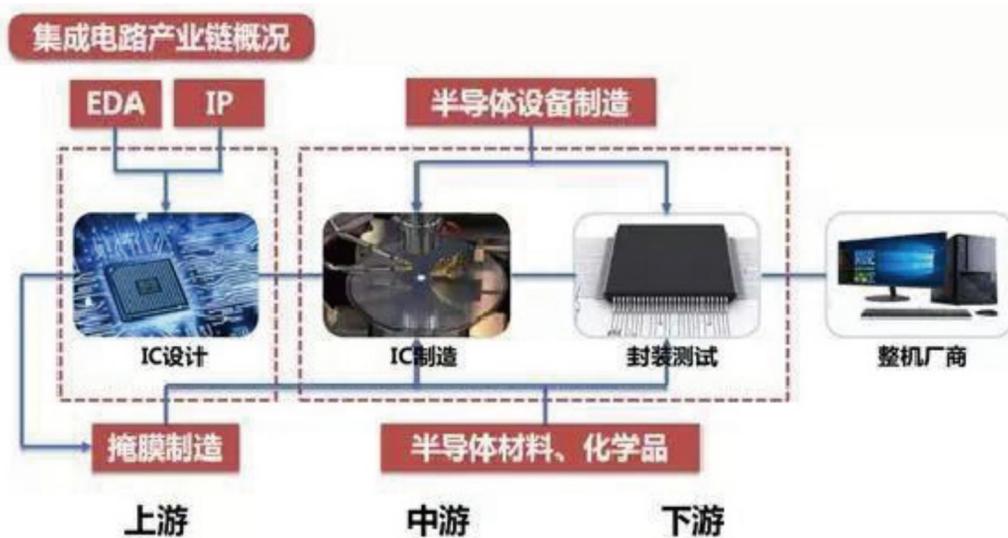
IP 核和 EDA 互为发展助推剂

IP 设计开发，同芯片设计开发过程一样都离不开 EDA 工具和设计流程。EDA 工具和 IP 共同成为 IC 产业的基础，只有在芯片设计环节有效借助 EDA 工具和 IP 核资源，才能开发出有市场竞争力的产品。纵观芯片产业链，从设计、制造到封装、测试，重中之重还是在芯片设计环节，因此 EDA 和 IP 可谓是芯片产业链的“任督二脉”。

EDA 是电子设计自动化 (Electronic Design Automation) 的简称。EDA 是芯片设计必需、也是最重要的集成电路软件设计工具，是芯片设计最上游的产业。经过几十年发展，从仿真、综合到版图，从前端到后端，从模拟到数字再到混合设计，以及后续的工艺制造等环节都有 EDA 工具辅助，可以说现代 EDA 工具几乎涵盖了芯片设计制造的方方面面，具有的功能十分全面。EDA 工具按不同阶段可粗略的划分为前端技术、后端技术和验证技术，各个技术之间有所重合。

对于 IP 来说，好的布局和布线会节省面积，提高信号的完整性、稳定性，提高 IP 的可靠性。所以 EDA 软件对于 IP 设计至关重要。借助这个自动化工具，工程师就可以在电脑上对 IP 进行电路前后端设计以及验证操作，更高效地完成设计、仿真、布局布线和验证。

近年来，由于市场需求和先进制程的突破，对 IP 的功能需求越来越高，也不断推进 EDA 升级迭代，IP



和 EDA 互为推进发展突破，已经形成不可分割的关系。

本土 IP：向平台化“进阶”

在 2020 世界半导体大会高峰论坛上，清华大学微电子学研究所所长、中国半导体行业协会副理事长魏少军教授表示：如今的 IP 市场是一个被海外厂商高度垄断的市场，根据 SIA 最新发布的数据显示，2020 年全球半导体上半年的增长达到 4.5%，销售额达到 2085 亿美元，而中国海关统计显示，2020 年 1-6 月份的集成电路进口达到 1546.1 亿美元，增长 12.2%，把这两个数据放在一起，我们会发现 2020 年上半年全球半导体增长 100% 由中国是贡献的。国产 IP 企业发展的困境是，需要不断为每次技术更新而重新投入研发，这是一个要下真功夫、花大气力、啃硬骨头的技术密集型行业；首先，IP 核的技术发展与工艺技术发展密切相关，目前全球主流的先进工艺技术是 10/7nm 成套工艺，未来 3 年内 5nm 的成套工艺也将进入产业化阶段。随着半导体制造工艺遵循摩尔定律继续发展，工艺特征尺寸持续变小，这也将进一步提高对 IP 核的设计和验证要求。其次，IP 相较制造业来说本身产值不大，因而地方政府重视程度不足，同时国家在这一领域的投入也尚未能直接惠及 IP 公司。三是虽然 IP 技术含量很高，但国内 IP 公司普遍体量较小，大都未及上市标准，投

资机构难以青睐。

在如此的环境下，国产 IP 厂商也在奋力突出重围。如本土 IP 厂商锐成芯微 (Analog Circuit Technology Inc., 简称 ACTT) 就从超低功耗技术这一个“点”起步，逐步构建成超低功耗模拟 IP 和高可靠性非易失性存储器 IP 的两点一“线”，并进而形成模拟 IP、存储器 IP 和射频 IP 的三足鼎立的产品格局，一举构建完成适用于物联网、汽车电子、医疗电子等各个方向的多个平台化产品。

自 2011 年成立后，锐成芯微的 IP 在市场上的表现亦势如破竹：先后与 20 家晶圆厂建立了合作伙伴关系，累计交付了 500 多种 IP，拥有 190 多项专利，并已被 300 多家客户的数百个产品使用，客户累计出货超过 300 万片晶圆。

应用平台化是 IP 产业的战略方向。锐成芯微董事长兼创始人向建军认为，通常客户企业会同多个 IP 供应商采购 IP，这一方式本身就带来了极大的沟通成本和协作风险，往往为了协调各 IP 间的特性和功能以满足芯片的要求，客户需投入大量的人力和时间去协调各方资源进行讨论和处理，再则，零散的采购降低了客户的议价能力，采购成本要远高于集中化采购。而锐成芯微的平台化 IP 产品，为客户带来的不仅仅是上述投入成本和风险的降低，还可以基于自身对应用的深刻理解和同类型客户项目的经验累积，从规格定义到设计细节再到常见问题规避，都可为客户提供切



* 锐成芯微 (ACTT) 创始人兼董事长 向建军

实的技术协助,更重要的是为客户产品本身带来更高的附加值。

国内集成电路 IP 核的标准由谁来制订?

在后摩尔时代,应用驱动对于中国市场是有优势的,巨大的应用市场让我们可以用某一种应用来引领世界潮流,确定整个世界的标准。未来包括智慧城市、大健康等领域,一个人口众多的国家很有可能在万众创新的思维或者是氛围下,做到这一点。中国作为制造大国非常有优势,像华为等国内一流企业都在铺设 IoT 的平台并推出自己的标准,在执行新标准上,中国企业由于更靠近市场,因此拥有更低的沟通成本和更快的响应快速。

在科技应用领域,各行业都有标准,USB 接口已经发展到了 4.0 标准、电视也有了 8K 标准、5G 有 5G NR 标准,这些标准都是在技术和市场竞争发展的演进中形成。在没有标准的年代,每家厂商都有着自己的标准,导致应用市场的交互使用体验混乱,当市场格局出现多寡头或者由国家意志进行引导,标准的优势和作用显得更顺应市场。

IP 与应用具有强相关联系,比如射频模块、基带模块都能设计成为一个 IP 形式来落地应用。在当下中国已成为全球规模最大、增速最快的集成电路市场的背景下,IP 的

形态优势能帮助中国企业在芯片行业提出更多行业标准。今年我国的 3GPP NR + NB-IoT RIT 技术便成为了 5G 标准之一。IP 行业产业链分散、高度全球化,某一个国家的标准很难约束到企业行为,反而企业标准主导着这个产业的进步。例如苹果取消了耳机 3.5mm 插孔,华为之前也改变了存储卡的规格,这不是任何政府机构或者行业组织主导,而是企业主动做一些事去领导这个行业,其他厂商去跟随。在某些企业市场规模达到一定程度并具有极高市场话语权的时候,就有机会主动去带领整个产业链建立标准。

给集成电路人才多一些培养时间

最近,受美国限制华为高端芯片事件影响,市场对芯片类创新创业人才的关注度明显提升。天眼查不久前披露的一份数据显示,今年二季度集成电路企业需求人数约为申请人数的 2.6 倍,芯片设计人才的需求扩张甚为明显;《中国集成电路产业人才白皮书(2019-2020 年版)》显示,按当前产业发展态势及对应人均产值推算,到 2022 年前后全行业人才需求将达到 74.45 万人左右,其中设计业为 27.04 万人。白皮书梳理了集成电路紧缺岗位的

情况,排名第一最紧缺的芯片设计岗位是模拟芯片设计。

集成电路设计人才短缺,尤其是包括模拟 IP 在内的模拟设计人才最紧缺,是因为芯片行业涉及的技术难度大、壁垒高、周期长,工程师需要掌握包括数学、物理、化学、机械、材料、计算机、微电子、电子工程、通信工程、自动化、光电信息等等专业知识,既需要具备专业基础理论,也需要长时间的的实际经验积累,长周期的培养模式,不断积累经验,对设计流程、设计架构和电路细节都有着精益求精的匠心精神;

产学研界也一直在探讨合作一体化模式,培养阶梯人才,与国际领先的同业者交流技术和管理经验,加强培训及合作,吸纳全球前沿技术,达到人才和技术成长齐头并进。

“十四五”期间

IP 核将助力集成电路得到更全面、高质量发展

今年,国务院印发《新时期促进集成电路产业和软件产业高质量发展的若干政策》,对集成电路行业提出了涉及财税、投融资、研究开发、进出口、人才、知识产权、市场应用、国际合作等方面的利好政策。集成电路行业是国民经济和社会发展的战略性、基础性、先导性产业,是电子信息产业的核心,此次发布的扶持政策也表明国家要大力发展集成电路产业。

我国集成电路产业前景明朗,市场规模持续增长。预计 2025 年,我国集成电路市场规模将超过 2 万亿元,有望超过 2.38 万亿元。“十四五”期间将期待有更多的利好政策出台,涉及集成电路产业的细分领域。而 IP 核,作为实现这一宏伟目标的基石,将推动产业链主要环节向纵深应用和先进水平不断发展。

* 文章转载于:《电子报》

数据来源于:中商产业研究院



低功耗设计方法以及IP解决方案 节省动态功耗“数十%” 降低静态功耗“数量级”

M31

前言

集成电路设计的功耗，对于未来的电子产品至关重要，尤其是用于电池驱动的移动设备（例如平板电脑，移动电话，可穿戴设备，IoT设备等）。有鉴于此，IC开发人员专注于降低动态和静态功耗，来实现超低功耗设计。

减少静态和动态功耗的方法

- 采用低功耗/低漏电晶圆工艺技术
- 降低工作电压
- 时钟门控方法
- 电源门控方法
- 多个电压和频域
- State Retention门控策略

(A) 采用低功耗/低泄漏晶圆工艺技术
晶圆厂通过LP和LL器件提供低功耗（LP）和低泄漏（LL）工艺。采用LP和/或LL晶体管能直接降低电路的功耗。例如，台积电22ULL，40ULP，55ULP等。

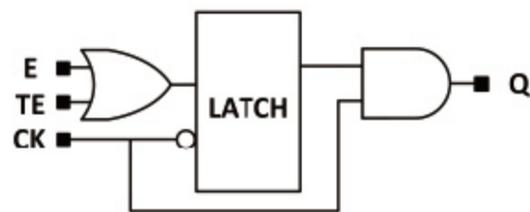
(B) 降低工作电压

功率=电压x电流，降低工作电压可直接降低功耗。但是，需要考虑设计和工艺变化。

(C) 时钟门控方法

时钟门控方法通过在设计中添加

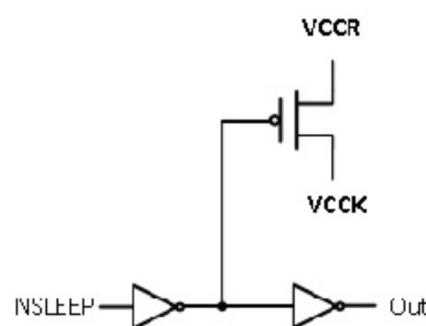
其他逻辑单元来优化时钟树结构来节省功耗。通常，时钟信号连接到许多触发器，许多触发器保留先前的时钟值。关闭仍保留先前值的这些触发器的时钟信号会减少时钟路径的触发，从而节省了动态功耗。



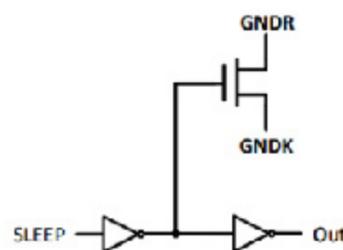
Clock Gating Cell

(D) 电源门控方法

功率门控方法是一种通过关闭未使用电路的电流来降低功率的方法。芯片设计中的某些电路并不总是被积极使用。关闭这些电路的电源可以节省大量的静态（泄漏）电源和一些动态电源，甚至可以关闭时钟。

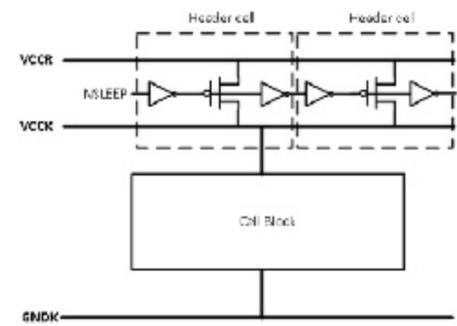


Header cell with one input

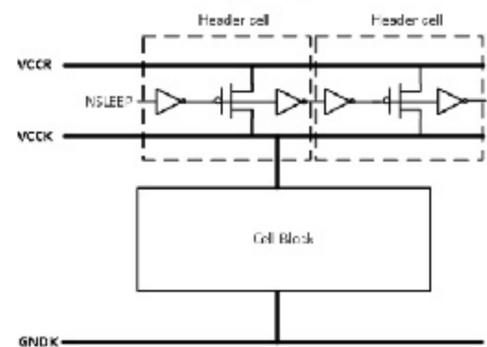


(a)

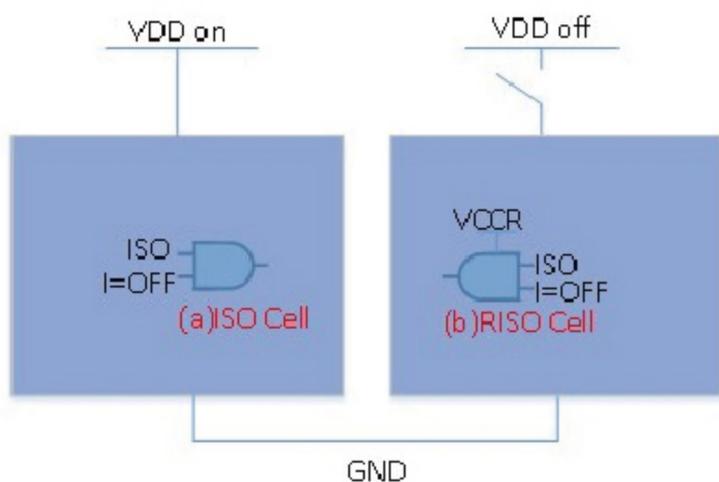
Footer cell with one input



Header power plan



Footer power plan



(a) ISO cell (b) RISO cells, act like a buffer with enable.

(E) 多个电压和频域

多个电压和频率域也可以节省功率。对于高性能设计电路，需要更高的电源电压才能产生高频。一旦信号频率降低，便不再需要高压。当信号跨越不同的电压域时，可以使用电平转换器 (level shifter) 来降低总功率。

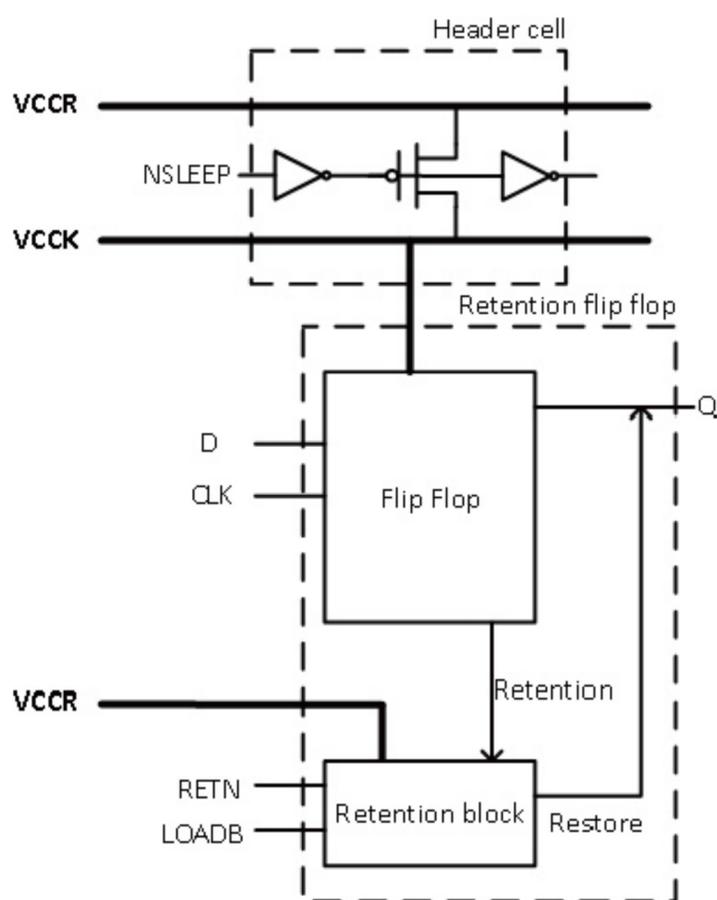
(F) 状态保持 (State Retention) 功率门控方法

对于可能在电源门控中丢失的寄存器数据，需要进行“上电复位”。

当电路处于待机模式时，状态保持电源门控可以权衡功耗以保留某些寄存器的状态值，以交换更有效的唤醒，并在已知状态下运行。

完整的低功耗基础IP产品组合

M31用于低功耗设计的IP产品组合包括SRAM和标准单元库，如下所述：



Header cell and retention flip-flop, integration of the header cell and the retention flip-flop

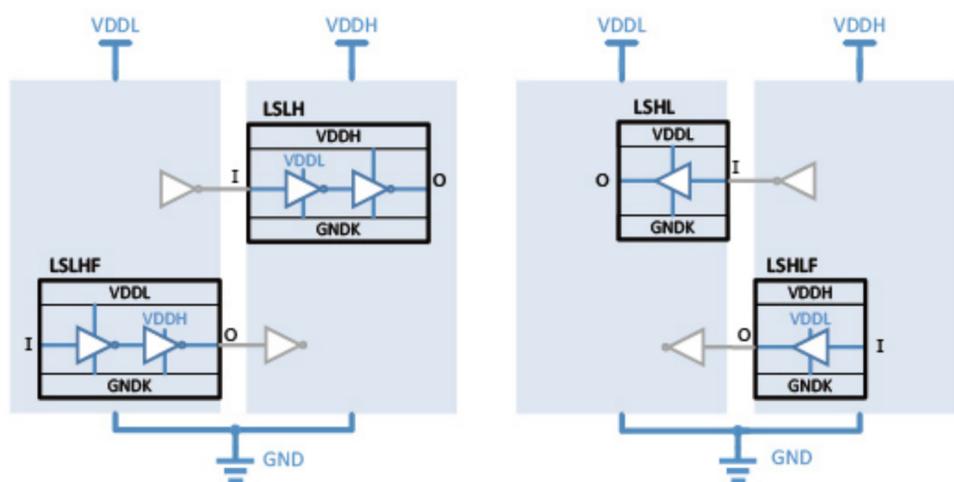


Illustration of Level Shifter between Power Domains

(A) SRAM

利用蒙特卡洛方法进行模拟，藉由晶圆厂的工艺技术和参数，对SRAM进行分析，找出影响SRAM质量和良率的电气特性和分布，进而获得优化的设计解决方案。

1. 电源门控SRAM：提供低功耗模式，包括待机，小睡，保持和电源关闭。

2. 双轨SRAM：双电源域，用于外围设备的VCCP和用于单元阵列的VCCA

3. 低VCCmin SRAM：通过增强SRAM单元的稳定性和读/写辅助电路，支持低电压操作以减少功耗和动态功耗。

(B) 标准单元库

1. 低功耗标准单元库提供了低功耗SoC设计所需的基本逻辑闸。

- i. 电源管理套件包含
 - Power gating cells
 - Level shifters
 - Isolation cells
 - Always-on cells
 - Retention flip-flops

ii. 低功耗优化套件包含

- Multi-Bit Flip-Flop (MBFF)：2位元和4位元触发器。每种类型都有带设置/重置功能的DFF和Scan-FF版本

- Small input capacitance cells：减小触发器CK引脚的器件尺寸，以节省时钟树的开关功率

- Fine-grain cells：提供更多的驱动强度选项，针对不同的负载条件选择最合适的cell，以优化功耗

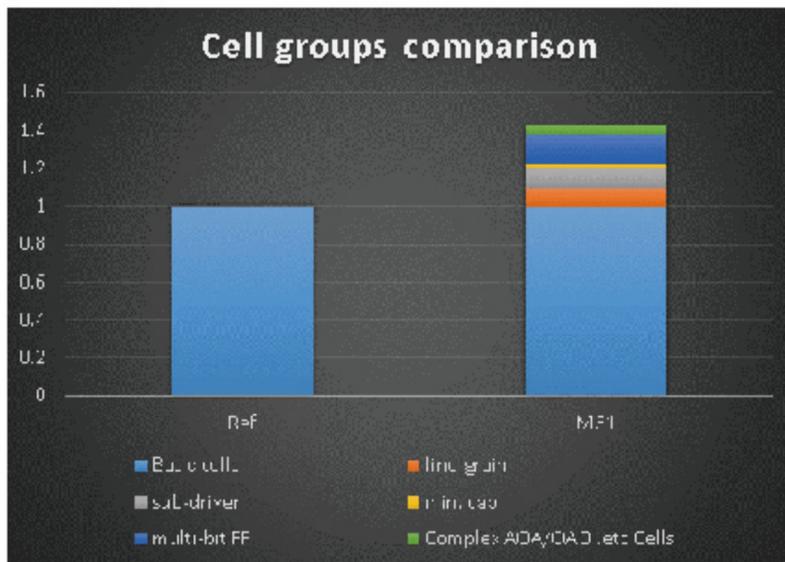
iii. 低动态功耗策略

-布线走线更短，寄生电容更小

-超低内部电源电压

通过实施低功耗单元库解决方案，可以将设计模块的总功耗降低约10%。

2. 厚栅极氧化物 (TGO) 标准单元库使用的I/O TGO器件的



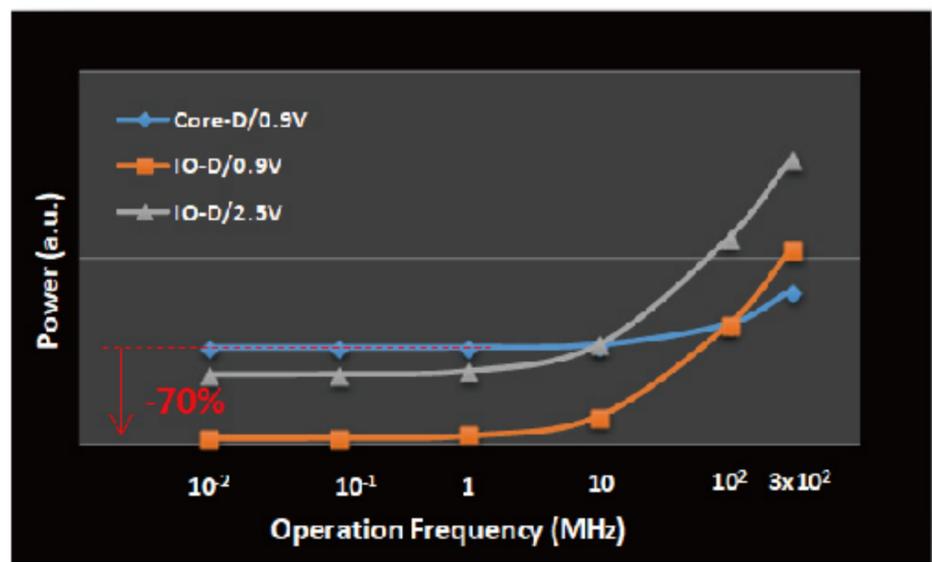
Cell groups comparison

栅极氧化物比常规核心器件厚，通道长度更大。这种方法大大降低了漏电流。对于非关键设计模块，可以将TGO标准单元库应用于“always-on”电源域。它将有效地最小化漏电流。在相同的工作频率和电压下，与常规的薄栅极氧化物库相比，TGO库可节省约

70%的总功率。

超低漏电单元库包含

- 具有thick-gate transistor的超低漏电单元库设计；
- Level Shifter，支持内核和IO信号之间的转换；



Operation frequency

该图显示了以台积电40ULP工艺节点为目标的基准数据。结果表明，在低工作频率（低于1MHz）下，M31 TGO单元库与核心设备单元库相比，功耗降低了70%。

强大的 AI 算法开发能力，快速为客户定制算法解决方案

高性能 CNN 推理 IP

- 支持稀疏神经网络，包括随机和规则稀疏，网络运算量与总体稀疏度成反比
- MAC 数目不变的前提下，神经网络的推理速度与稀疏度成近似正比例关系，可以将稀疏度直接转换成更高的能效和推理速度
- IP 的 MAC 数目可以裁剪，可以使用从端到云的推理应用场景。典型的 MAC 数目包括 64/128/256/512/1024/2048/4096，能够满足端到云的全栈需求
- 特别适合执行 ResNet/MobileNet-V2/ShuffleNet 等轻量级残差神经网络计算，支持 FC 网络
- 支持 Activation 稀疏，所有运算都为有效运算，不执行（被）乘数都为零 MAC 运算
- 支持新型 Log-Domian 浮点推理，模型不需要重新训练，推理过程无乘法，总体功耗低于定点推理单元

低复杂度、低功耗 LSTM 加速 IP

- 采用算法 - 硬件联合优化策略
- 支持稀疏 LSTM 网络
- 处理并行度可调节，能够适应不同的算力需求
- 片上存储最低可达 30KB
- 采用自主研发的量化机制，核心计算单元免除使用乘法器，以降低功耗
- 具备较强的灵活性，支持各式 LSTM/Bi-LSTM 网络，网络层数不限

行业算法解决方案

- 通过与行业客户的充分合作，风兴掌握了下列行业算法解决方案
- 完整的人脸处理相关算法
- 多相机人体再识别算法（Re-ID, 公开文献中表现达到 SOTA 水平），用于智慧零售，人员监控等
- 多种光谱下的高鲁棒性物体检测算法（掌握热红外目标检测算法）
- 货物标签精准识别算法，可以用于低成本物流管理
- 车辆类识别算法，包括车牌，车体再识别等，可用于智慧交通
- 工业瑕疵检测算法
- 工业现场检测算法，指针仪表读数提取、石化现场异常识别等
- 基于 AI 的图像视频压缩算法



设计服务 Design Service

星矢集成电路设计公司的核心团队拥有非常强大的技术背景，成员主要来自 Hisilicon、IBM、AMD、Qualcomm、Nvidia 等知名企业。专注于集成电路设计服务，包括短期和长期的服务。我们可帮助客户开发下一代旗舰产品系列（移动设备、复杂路由器 / 交换机、消费产品、存储、微处理器、图形处理器等）。在构建复杂的 SoC 方面，我们致力于为客户提供高效、可靠的模拟版图、数字验证、DFT 及数字后端的专业化服务。

驻场外包 Onsite Outsource

我们帮助客户以高效、低成本的方式找到他们需要的专业知识。我们的工程师拥有丰富的行业经验，在多个项目、技术和应用领域积累了专业知识，包括在 7nm 节点范围。星矢的设计中心位置是根据技能水平、可负担性和可扩展性来选择的。我们的项目经理可以迅速创建一个理想的团队适合您的要求，时间表和预算；我们的工程师使用经过测试的沟通和报告流程，与客户团队顺利集成。

技术亮点 Skill Highlights

- Wide range technology project experiences, from 180nm to 7nm
- Experience on both top and block level PNR design
- End to end capability from RTL to GDS out
- One Button automatic flow to run through the block level PNR
- Rich in house utilities and scripts, covering all stages across the PNR

Seiya Design

无锡星矢集成电路设计有限公司

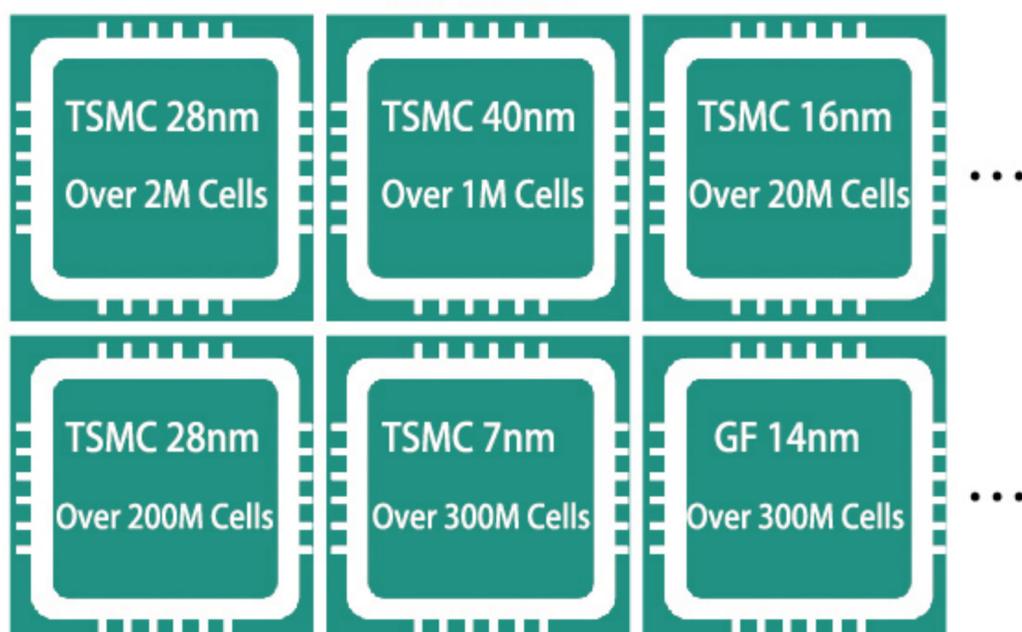
(+86) 135 12529756

www.seiya-da.com

sales@seyia-da.com

江苏省无锡市新吴区国家
软件园天鹅座 C 栋 19 楼
1901 室

项目案例





具有形式验证的自动连接检查

Rob van Blommestein, OneSpin Solutions

介绍

历年来，形式验证被认为是一种先进的技术，专家可以彻底验证单个逻辑块，或是小的块簇。形式技术的吸引力在于对被验证的设计的所有可能行为进行详尽的分析。这与模拟形成了鲜明的对比，模拟只通过运行特定的测试来练习一小部分可能的行为。如果没有测试触发设计缺陷，则无法找到该缺陷。如果触发了错误，但没有观察到结果的变化，则无法找到该错误。给定足够强大的属性来描述预期的行为，形式工具不仅可以找到所有错误，而且可以证明没有更多的错误可以被找到。

如今，更多的用户可以利用形式验证的功能，而且其中大多数并不是专家。形式运用增长如此之快的原因有很多。标准化格式的广泛部署，尤其是SystemVerilog断言（SVA）子集，降低了编写形式属性所需的专业知识水平。基于模型的变异覆盖可以识别断言未覆盖的设计部分，从而为用户提供有价值的指导。形式工具现在具有更多的自动化和类似仿真的调试功能，使其

更易于使用。形式算法的功能和性能方面的常规突破使几年前无法想象的大型块和集群上的使用成为一种可能。

然而，更广泛地使用形式验证的主要原因是大多数用户正在运行针对特定验证挑战的应用程序（“apps”）。应用程序通常生成形式分析所需的大部分或全部属性，并针对目标应用程序调整算法和工具功能。结果是一个“按钮式”解决方案，即使对于没有形式经验的用户也只需要最少的培训。此外，应用程序的效率如此之高，以至于许多应用程序都是在全芯片级别运行的，即使对于非常大的片上系统（SoC）设计也是如此。目标仍然是找到所有的错误并证明所有的错误都已经找到了，但

仅涉及与要解决的特定挑战相关的那些错误。

SOC连接性挑战

连接性检查是形式技术中使用最广泛的应用程序之一。验证任务的目的看似很容易陈述：确保设计模块和I/O单元之间正确互连。这听起来很容易，但实际上这是一个巨大的挑战。现代的SoC包含复杂的子系统，其中包含数千个高度可配置的模块和IP块实例。可编程元件提供了灵活性和适应性，而多路复用的I/O焊盘则允许用户控制哪些协议在哪些引脚上运行。可能有成千上万的连接路径，每个连接路径对于芯片的正常功能运行都很重要。

如图1所示，应该连接的信号可

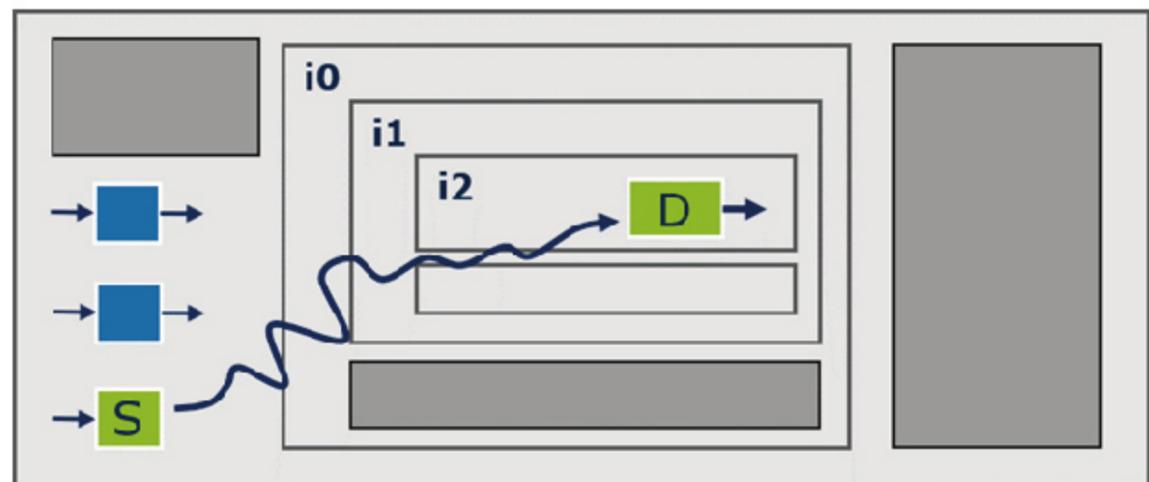


图 1：连接源和目标可能会按层次结构进行分隔。

能会经过多个模块和多个层次结构。逆变器可能沿路径存在，因此跟踪极性至关重要。路径还可能包含状态元素，例如寄存器和触发器，从而导致起点和终点之间的多周期延迟。一些全局信号（例如时钟，复位和扫描启用）被路由到成千上万个状态元素，并且还验证这些连接的正确性。所有这些原因，加上要检查的连接数量，使得通过检查进行连接验证完全不切实际。

连接的模拟或仿真更为实用，但本质上是不完备的。覆盖所有所需路径的测试套件编写起来很繁琐，随着设计的发展难以维护，并且运行起来很耗时。当检测到错误时进行调试并非易事；必须追溯错误症状以查找错误或丢失的连接。当然，无论测试套件有多好，模拟和仿真都不能提供任何形式的正确性证明。这就是为什么连接检查已成为形式技术如此广泛使用的原因。形式工具可以潜在地发现所有连接错误，并在修复所有错误之后证明连接已完成。

传统的形式连接检查

如前所述，形式验证需要检查设计所依据的属性。不难想象使用SVA编写一系列属性来指定必须连接的信号，这对于小型设计而言可能是一种易于处理的方法。编写成千上万个这样的属性将是艰巨的，这是连接性检查形式应用程序可以提供帮助的关键区域。连接属性的结构非常有规律，因此可以在指定预期连接的情况下自动生成它们。这通常以传统电子表格的形式提供给形式工具，如图2所示：

显然，对于用户来说，填写这个电子表格比编写断言要容易得多。该字段指定每个连接路径的源和目标、沿路径的延迟周期数、应启用该路径的条件以及相关时钟。启用条件对于包含多路复用器的路径尤其重要，例如在不同条件下支持多个可能连接的I/O焊盘。给定电子表格中的信息，形式工具可以生成所需的所有属性，而无需手动指定。结构分析和形式验证引擎的结合会发现设计中的所有缺陷（或电子表格中的错误），然后证明完全符合规范。

与其他几个形式应用程序一样，连接检查通常在全芯片设计上运行。这是必需的，因为要验证的所有连接范围仅在顶层可见。形式化工具有容量限制，但是可以在大型芯片上进行连接检查，因为只有一小部分设计与当前问题有关。在构建形式模型以加快分析速度时，会修剪掉无关的逻辑。但是，当今非常庞大的异构计算平台和类似的SoCs强调了传统形式工具的功能。此外，用数十万个条目而不是数千个条目填充电子表格是不现实的。显然，传统的形式连接检查必须进化发展。

CONNECTIVITY XL 方法

一种新的连接验证方法，被OneSpin Solutions称为Connectivity XL，解决了大规模SoC设计的挑战。其中一个关键的创新是将连接意图规范提升到抽象级别。如图3所示，电子表格仍然是载体，但是通配符使规范更加简洁。块经常以常规命名多次实例化，因此通配符可以显著压缩所需的

# Source		# Destination	
i:top.a.b,	sig_c,	m:m_x,	sig_y
m:m_a,	sig_b,	i:top.x,	sig_y
m:m_s_b?p,	sig_a,	m:m_d_b?p,	sig_x
m:m_s_b?t,	sig_b,	m:m_d_b?t,	sig_y
m:m_s_b?o,	sig_c,	m:m_d_b?o,	sig_z
m:m_s_*t,	sig_d,	m:m_d_*t,	sig_x

图3：简洁的抽象连接规范。

电子表格行数。这可以将指定预期连接的时间从数月缩短到几天。

形式工具可以读取此抽象规范，将其与设计一起编译，并扩展通配符以生成传统的连接电子表格，每行只有一个连接。但是，此规范可能有成千上万条线路，因此传统的连接检查工具可能会出现容量问题。对Connectivity XL的基础形式算法的不断改进，支持越来越大的SoC设计所需的越来越长的连接规范。基于多年形式经验的机器学习，被用于为工作选择最佳的证明引擎。

自动抽象将形式模型减少到最小的逻辑需求，从而加快了运行时间并减少了内存使用。Connectivity XL的另一项创新是统一结构和形式分析以实现最大功效。作为生成详细规格的一部分，此分析将自动检测连接路径中的延迟和逆变器，并推断出多路复用条件。总之，与传统方法相比，Connectivity XL提供了更加自动化的流程，可以处理更大的设计，甚至对于最复杂的芯片也可以提供完备的证明。

现实世界的验证结果

在最近的中国设计与验证会议（DVCon）上，Xilinx和OneSpin演示了应用于数十亿门SoC的OneSpin Connectivity XL App的案例研究。该芯片采用7 nm技术，包含6000万个实

# Source	# Destination	# Delay	# Condition	# clock
top.a.b.c,	top.x.y.z			
top.i1_m_s_bit.x,	top.i1_m_d_bit.y,	1,	top.debug_en==1'b0,	top.clk
top.i2_m_s_bit.x,	top.i2_m_d_bit.y,	2:3,	top.debug_en==1'b0,	top.clk
top.i1_m_s_bot.x,	top.i1_m_d_bot.y,	5,	top.debug_en==1'b0,	top.clk
top.i2_m_s_bot.x,	top.i2_m_d_bot.y,	2,	top.debug_en==1'b0,	top.clk

图2：可以在电子表格中指定连接意图。

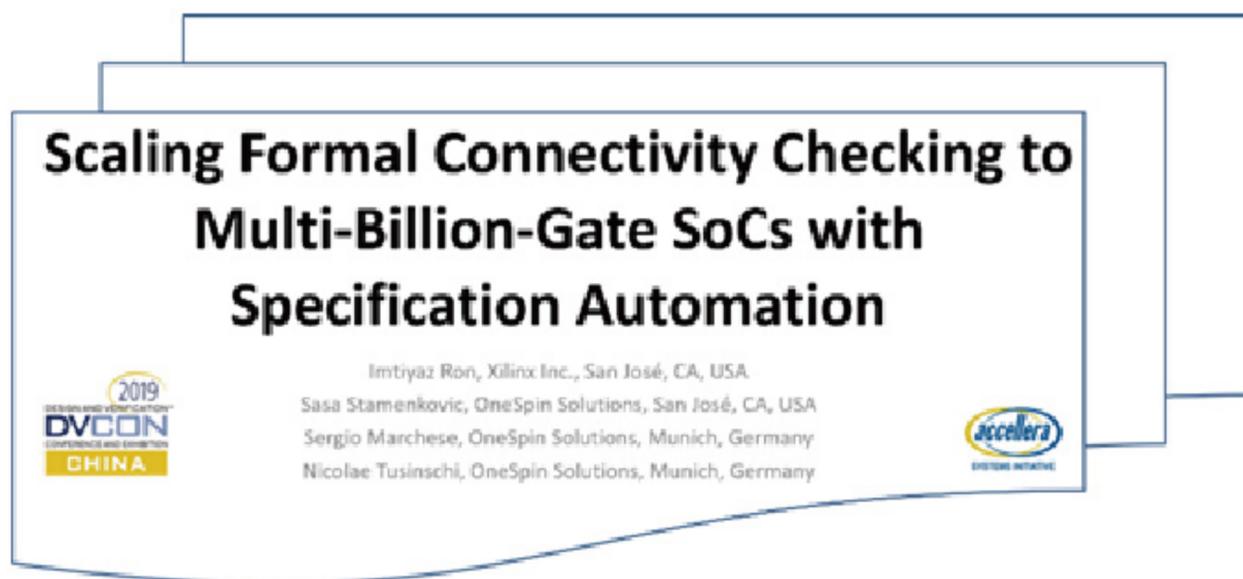


图 4:2019 年 DVCon 中国展上展示了连通性案例研究。通过规范自动化将形式连接检查扩展到数十亿门 SoCs

例，35000个模块，9000万个触发器和8万个有限状态机。作为世界上最大的设计之一，它在设计和验证流程中强调了许多工具。对于连接检查，这确实是正确的，因为有超过一百万个连接可以指定，维护整个设计迭代并进行验证。

验证小组尝试了几种传统的连接应用程序，包括OneSpin的应用程序，但都未能扩展到这种大芯片。指定和维护超过一百万个连接的工作是无法接受的。形式工具运行时间过长，并且经常产生不确定的证明结果。在严格的设计时间表下，质量不会受到损害，因此详尽的验证被认为

是至关重要的。事实证明，Connectivity XL 可以胜任这项任务。抽象规范格式将电子表格的大小减少了一百倍，同时使维护连接列表更加容易。

Connectivity XL 发现了一些极端的错误，使用任何其他工具或方法都很难检测到。这些错误包括错误的块集成，在路径上启用了多个驱动程序以及重新趋同的路径。提供的调试信息即使在源与目标之间的信号超过2000的路径上也可以轻松地成为根本原因。一旦解决了这些问题，就可以使用并行运行的多个作业在几天之内证明所有一百万个以上的连接。任何

连接都没有不确定的结果。

总结

不断增多的芯片尺寸和复杂性使形式应用变得更加有价值，尤其是连接性检查。模拟、仿真或手动技术将无法满足要求。甚至传统的形式化工具也无法扩展。Connectivity XL方法是下一代连接检查解决方案，具有更大的容量和更高的自动化程度。它已经在实际的数十亿门SoC设计中得到了验证，其连接数超过一百万个。设计将继续增长，但是这种新的形式化工具将在未来几年内提供可行的解决方案。

平头哥玄铁910

扩展RISC-V架构的性能边界
平均提升**20%**性能

+13% 桌面级CPU测试基准
+16% 嵌入式CPU测试基准
+26% 通用测试基准
+21% 加解密测试基准

为5G、自动驾驶、网络通信等
AIoT场景提供更强算力



平头哥无剑SoC平台

承担AIoT芯片约**80%**的通用设计工作量
让芯片研发企业专注于剩余**20%**的专用设计工作

无剑由SoC架构、处理器、各类IP
操作系统、软件驱动和开发工具等模块构成

芯片设计的“平头哥模式”

以无剑平台为核心，面向应用领域全栈开放集成
实现处理器、算法、操作系统等软硬件核心技术的深度融合



扫码申请玄铁910
全球免费开放仿真代码

中国·上海市·浦东新区川和路55弄张江人工智能岛A2栋阿里研发中心

中国·杭州市·余杭区向往街1122号欧美金融城(EFC)英国中心西楼T6-阿里巴巴

技术咨询邮箱: marketing_thead@service.alibaba.com

创意电子Chiplet 整体解决方案 开启旗舰级SoC设计新时代

肖有军 毅格, 创意电子(南京)有限公司

先进ASIC领导者创意电子(GUC)正式发布并成功演示了流片验证的GLink(D2D)接口IP, 该接口IP使用台积电7纳米工艺和InFO_oS先进的封装技术, 为人工智能、高性能计算和网络等应用做多芯片集成, 实现系统扩展。

采用基与InFO_oS的GLink是因为InFO_oS具有模块化、可扩展和高良率多芯片ASIC的成本效益。而基于CoWoS上的GLink被客户采用, 则是用于带有HBM内存的多芯片ASIC。高吞吐量互连GLink的小面积/低功耗特性, 使高效的多芯片InFO_oS和高达2500平方毫米的CoWoS解决方案成为可能。Figure-1是基于GLink IP和2.5D/3D封装技术的芯片集成方案示意图。

实验证明, 每1毫米的边界线, 全双工通信量为0.7Tbps, 仅消耗0.25pJ/bit(每1Tbps的全双工通信量为0.25瓦特), 且芯片之间的通信无误码差错。在所有工艺-电压-温度条件下, 流片测试结果与设计前仿真数据完全一致, 早期采用的客户已得到详细的测试报告。

GLink(D2D)接口IP的功耗比通过封装基板进行超短距离SerDes通信的替代解决方案低6到10倍。对于每10 Tbps的全双工通信量, 它的功耗比其他基于SerDes的接口少15到20瓦特。GLink(D2D)接口IP占用的芯片面积减少了2倍, 它同时支持InFO_oS和CoWoS的Chiplet集成平台。

下一代GLink(D2D)接口IP支持每1毫米边界线1.3Tbps的无误码差错全双工通信量, 具有相同的0.25pJ/bit功耗, 已可提供客户在台积电5纳米工艺上使用。未来的GLink(D2D)接口IP使用台积电5纳米和3

纳米工艺, 支持2.7Tbps/毫米无误码差错全双工通信量, 功耗同样为0.25pJ/bit, 将于2021推出。每条边界线有如此低的功耗/面积和高效率的流量, 使GLink(D2D)接口IP成为人工智能、高性能计算和网络应用的完美选择。Figure-2是GUC GLink(D2D) IP开发状态及主要特点。

对于Chiplet类系统性芯片集成设计及量产, 创意电子拥有完整且业界领先的、经过流片验证的HBM2E/3物理层/控制器IP、GLink(D2D)接口IP、CoWoS和InFO_oS专业技术、封装设计、电气和热仿真、DFT和量产生产测试方案, 使创意电

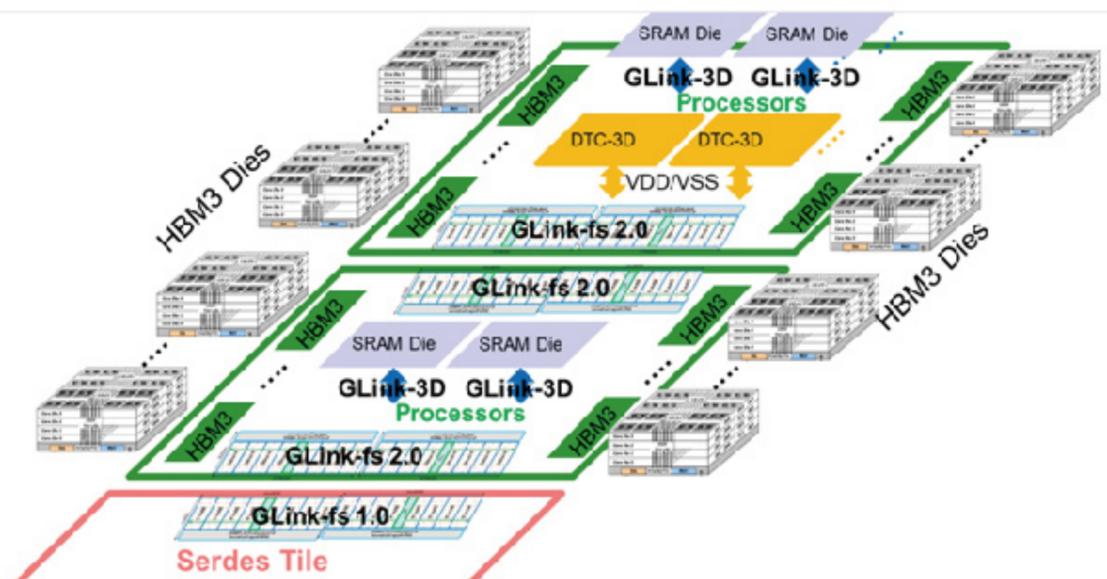


Figure-1 基于 GUC GLink-fs 1.0/2.0 和 GLink 3D IP 的 Chiplet 芯片集成方案

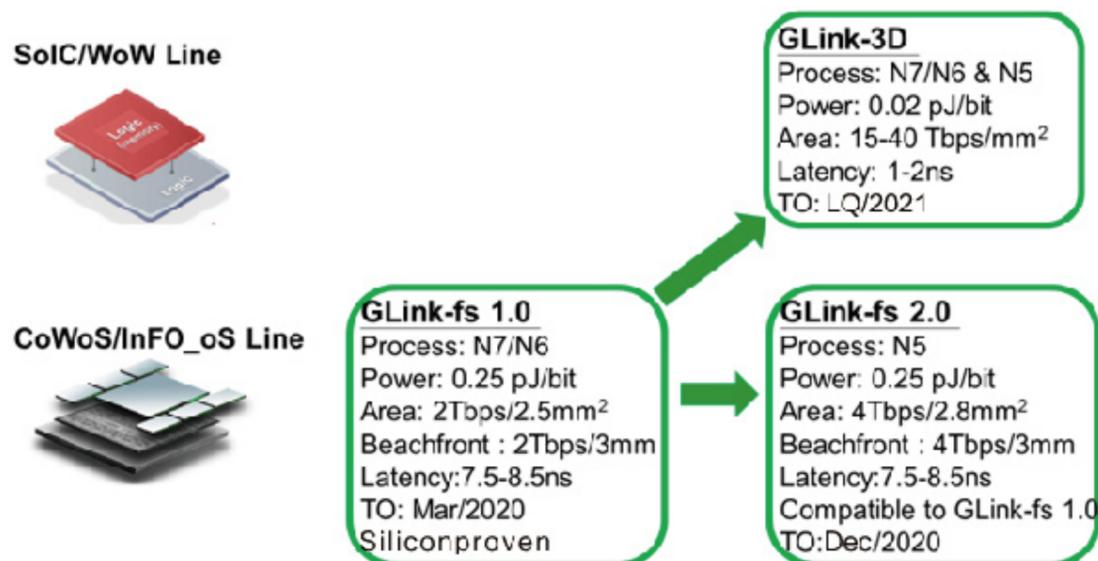


Figure-2 GUC GLink (D2D) IP 开发状态及主要性能指标



Figure-3 GUC GLink 接口 IP 评估板和 InFO_oS 工程样片

子的ASIC客户能够缩短设计周期和快速进入量产。人工智能、高性能计算机和网络客户采用GLink的强劲势头，支持创意电子致力于构建更广泛的IP产品组合，并深化创意电子专注于先进封装技术革命的设计专业知识。

创意电子累积了多年HBM物理层和控制器IP的专业技术，重新定义了这款高数据流量密度、低功耗、低延迟、无错误的GLink (D2D) 接口IP，并致力于保持相同功率和延迟的同时，每年将GLink数据流量密度提高一倍。从2021年开始，创意电子将采用GLink-3D方案来补充HBM3和GLink (D2D)接口IP，使用台积电3D Fabric技术带来更高的数据流量密度、更低的延迟和更低的功耗。

创意电子GLink (D2D)接口IP主要特点总结：

- 无误码错误，每1毫米边界线的0.7 Tbps全双工通信量
- 0.25pJ/bit(即每1Tbps全双工通信量 0.25瓦特)
- 所有工艺-电压-温度条件下的流片测试结果与设计前仿真完全一致
- 相对于SerDes/封装基板的PPA优势

- ① 功耗降低6到10倍
 - ② 对于每 10Tbps 的全双工通信量，消耗的电量将减少15到20瓦特
 - ③ 硅面积减少两倍
- GLink (D2D)接口IP用于高吞吐量互连的面积与功耗优势，可支持多芯粒CoWoS和InFO_oS解决方案达到2500平方毫米。Figure-4示意图是GLink (D2D)接口IP的测试评估板及InFO_oS工程样片示意图

欲了解更多创意电子的GLink IP与InFO/CoWoS整体解决方案信息，请

关注创意电子。

关于创意电子

GLOBAL UNICHIP CORP. (GUC) 是先进的ASIC领导者，使用先进的工艺和封装技术为半导体行业提供领先的IC实现和SoC制造服务。公司总部位于台湾新竹，在中国、欧洲、日本、韩国和北美都享有盛誉。GUC在台湾证券交易所公开交易，代号为3443。

硅前阶段对侧信道攻击抵抗能力验证的重要性

文/法国 Secure-IC Michel Le Rolland, Damien Quenson, Sylvain Guilley, Shengnan Wang

摘要

侧信道攻击 (Side Channel Attacks) 越来越受到人们的重视, 同时越来越多的标准和认证体系均增加了抵抗侧信道攻击的需求。在本文中, 作者阐述了在前期设计阶段便对处理重要信息和内容的系统面对攻击 (特别是针对侧信道攻击) 的抵抗性进行验证的重要性。此类验证可以称为是 Secure by Design 方法论的一部分。在本文中, 作者也介绍了一种名为 Virtualyzr 的工具, 该工具可在设计的 “Register Transfer Level” 即 RTL 层面来验证其对侧信道攻击的抵抗能力, 此工具将侧信道攻击漏洞转化为设计代码中的漏洞, 进而帮助设计者实现安全设计。

侧信道攻击是指那些不考虑算法本身的数学弱点, 而是考虑其实施方式。各种加密算法 (如 AES、SM4、HMAC、SM2 等) 在黑盒模型中可以证明是安全的, 但是它们的实现过程可能具有一些漏洞, 使得攻击者能够获得由这些算法操作的敏感资产。这些攻击最初在战争时期由政府机构对敌方系统进行攻击, 现在这些攻击方式越来越容易实现, 也越来越常见。事实上, 仅仅需要几万欧元和少量的技术知识, 就可以在各种系统上布局侧信道攻击。基于此, 各种标准化机构在其标准体系中强制加入了针对侧信道攻击保护。针对侧信道攻击最强大的对抗措施是基于掩蔽和/或随机化, 但是对于非安全专家来说, 这些措施可能很难实施。特别是在量产后发现针对侧信道攻击的对抗措施是错误的或不完整的, 意味着带来重要的成本。因此, 在设计的全生命周期内尽早对侧通道保护进行验证是非常重要的, 如果可能应该在设计阶段就着手验证。硅前阶段的验证保证了

与安全目标的一致性, 从而防止流片后由于与安全目标不一致而带来的额外费用, 和由于漏洞导致的芯片上市延迟。

一种验证对侧信道攻击抵抗能力的经典方法是使用 SPICE 仿真。这个方法是由许多步骤组成的。首先, 对要验证的设计进行综合, 然后完成布局布线后获取网表文件、SPEF 文件和 LIB 文件。然后使用所有前文提到的这些设计文件通过 SPICE 模拟器生成待测设计的回溯。这种模拟的输出是模拟功率消耗跟踪, 会被重复几次以获得一组跟踪数据即称之为数据集。之后这个数据集可以是作为一个真实的 (由黑客获得的) 数据集, 用于分析和验证目标系统对于侧信道攻击的弹性。这种基于 SPICE 模拟硅前验证方法可以实现非常精确的验证, 但有以下三个主要缺点:

1. 在复杂设计的情况下, 生成模拟数据集的时间可能很长, 比如需要几天;
2. 该方法要求执行所有后端阶段来检测系统是否易受攻击;
3. 很难将问题映射并定位到代码的错误部分 (例如, 产生泄露的代码行), 也无法以合理的方式解决漏洞。

为了解决这些问题, 法国公司 Secure-IC 创造出了一个名为 Virtualyzr 的硅前安全验证工具。此工具的目标是检测 RTL 代码中的 SCA 漏洞, 并将这些漏洞映射到视图中的 RTL 代码, 进而允许设计者轻松地解决这些安全漏洞。Virtualyzr 使用 COTS HDL 模拟器对设计进行模拟, 该工具兼容所有主要的商业 HDL 模拟器: ModelSim、NCSim、VCS 等, 以及一些开源验证模拟器。基于此 HDL 模拟, 生成一个虚拟跟踪, 此模拟重复了尽可能的次数以获得一个数

据集。之后则使用相同攻击方法 (SPA, DPA, DEMA, CPA, LRA, etc.) 以验证设计的弹性。

该工具所使用的方法论完全符合 ISO/IEC 17825:2016 标准方法。获取数据集后, Virtualyzr 首先会识别漏洞。这些漏洞的定义是使用统计 “泄漏检测” 方法 (如 NICV、T-test 或 TVLA)。然后 Virtualyzr 会检查这些泄露是否可用于恢复敏感资产。这一步骤的实现是通过对系统实施实际的密钥提取攻击测试, 例如 Simple Power Analysis (SPA), Differential Power Analysis (DPA), Correlation Power Analysis (CPA), Linear Regression Analysis (LRA) 等。最后一步, Virtualyzr 将检测到的漏洞映射定位到设计中, Virtualyzr 可指出存在漏洞的设计的确切功能。并且 Virtualyzr 还能够指出是哪个信号 / 电线导致了泄漏, 以及何时泄漏敏感信息。

凭借所有这些功能, Virtualyzr 提供了以下关键技术优势:

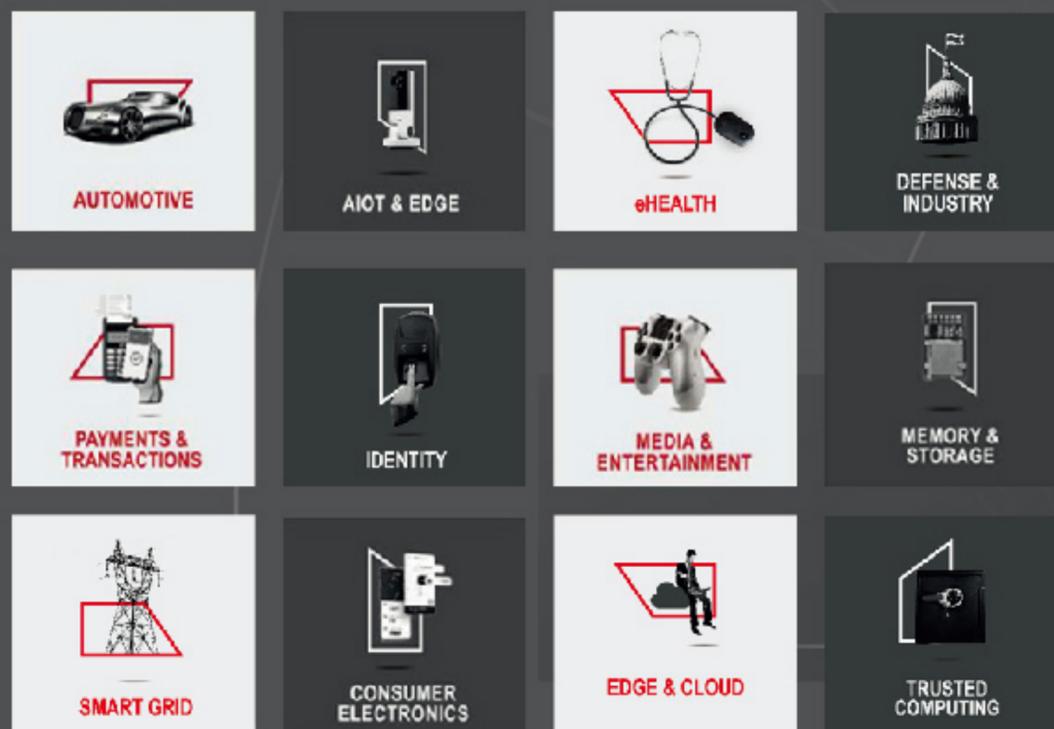
1. 在硅前阶段实现了安全验证, 防止在系统在没有达到预期安全水平时即进入生产阶段;
2. 在 RTL 代码层面上实现验证, 防止在出现漏洞时需要完整的后端进程——这并不排除在 P&R 网表文件上使用 Virtualyzr 工具进行最终的健康性检查;
3. 使用 HDL 模拟, 减少了生成数据集的时间;
4. Virtualyzr 可以帮助设计者轻松解决漏洞, 该工具可以向设计者指出造成漏洞的代码行, 电线或信号。

在这方面, Virtualyzr 是设计团队必不可少的助手。

SECURE-ic

THE SECURITY SCIENCE COMPANY

端到端 嵌入式安全 解决方案的 唯一供应商



www.secure-ic.com

中文网站: <https://cn.secure-ic.com/>

未来，安全的价值将超过设备本身
技术专家，丰富经验，持续创新，PESC 战略至诚服务客户



垂直应用领域芯片解决方案领导者

芯片设计创新方法与云端SaaS服务领导者

RISC-V开源生态、核心技术和CPU IP的领导者



嵌入式 处理器

物联网
存储装置
固态硬盘

应用 处理器

Linux 应用
数据中心
网络系统

向量 处理器

边缘计算
人工智能

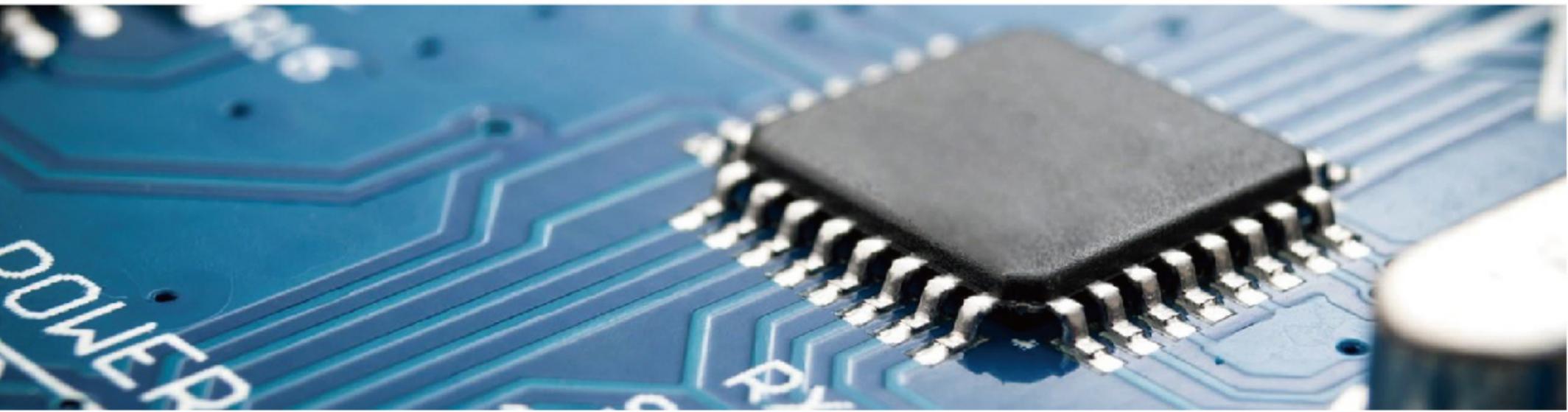


智能语音 处理器平台

智能视觉 处理器平台

低功耗BLE 处理器平台

www.starfivetech.com
www.china-riscv.com



#1 Ranked in Semiconductor *

End-to-end ER&D services for
Semiconductor and Electronics industries

Silicon Engineering

End-to-end chip design services
for leading-edge ASICs, SoCs and
FPGAs
Boards & software to prepare
chips for embedded/product
development

Embedded Systems Engineering

Design, development and
integration services to tailor
embedded systems for vertical
markets

Product Engineering

Design, engineering, test,
maintenance and support for end
products

End-to-End

Design services from spec to
silicon

4500+ Engineers

Worlds largest VLSI
engineering services
workforce (2500+) & 2000+
embedded & product
engineers

15 + Years

Experience in silicon &
platform design and
implementation

7nm FinFET

Expertise in complex SoC
geometries down to 7nm

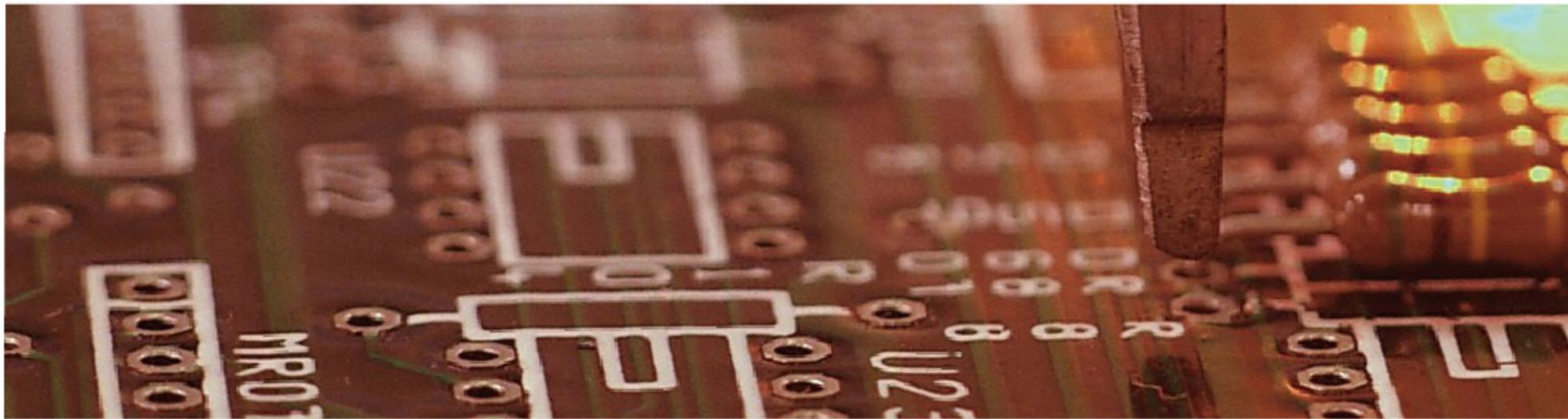
Global Leader

#1 ranked in Semiconductor
for the last 3 years *

Deep Vertical Expertise

Expedites both engineering
and business outcomes in
customers' end markets

* Zinnov Zones (2016,2017,2018)



Precise-ITC FlexE SHIM IP内核

Precise-ITC

Precise-ITC FlexE SHIM IP 内核是以太网应用的尖端解决方案。它与 Precise-ITC 的多通道 MAC 核无缝衔接，为数据中心连接提供全面的多通道 MAC 和 FlexE 解决方案。FlexE SHIM IP 内核支持 OIF FlexE 2.1/2.0/1.1/1.0 层功能。

FlexE SHIM 内核依照 FlexE 2.1/2.0/1.1/1.0 标准支持高达 400G 带宽和 5G 带宽 / Subcalendar Slot 增量多达 80 个 MAC 通道。该款内核可配置为独立的 4x100G FlexE SHIM, 2x200G FlexE SHIM 或单个 400G FlexE SHIM 并支持 100G, 200GE 和 400GE 端口物理层 (PHY)。

FlexE SHIM 2.1/2.0/1.1/1.0 内核功能

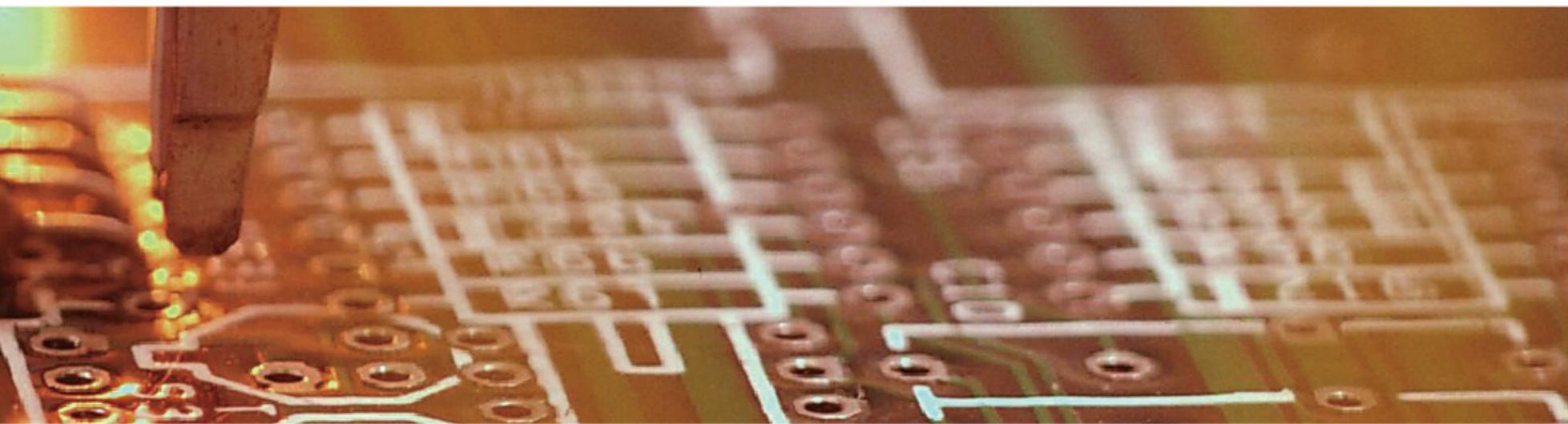
- 支持 5G/s 或 25G/s 带宽 / Subcalendar slot
- 支持任何基于 Nx 5G/s 速率的 MAC 客户端 (N 能支持达到 FlexE SHIM 内核的最大速率的带宽)
- 支持 Nx100G 的聚合带宽 (例如 100G, 200G 和 400G)
- 每 100G FlexE 带宽支持 4/20 个正在运行的 MAC 客户端
 - 支持多达 256 个逻辑 MAC 客户端
 - 可参数化的 MAC 通道存储
 - 可编程的 FlexE Calendar 分配
 - 可编程的 PHY ID 分配
 - 可编程的 MAC 通道映射
 - 可编程的 FlexE 开销帧 (Overhead Frame) 和开销复帧 (Overhead Multi-frame)
 - 在每个 TX 中未使用 / 不可用的 Calendar

Slot 中插入错误控制

- 支持 TX 中 Calendar 分配的动态更改
- RX Calendar 和 OH 帧 / 复帧的提取
- 自动适应 RX 中 Calendar 分配的更改
- 在 PCS/PHY 发生错误时, OH 帧锁定或复帧锁定丢失时, MAC 客户端自动生成丢帧 (LF)
 - Calendar/Mac 客户端 / 通道提取控制
 - 与 200GE 和 400GE PHY 连接时, 自动插入和删除 PAD
 - 支持 Calendar 通道备份
 - 开销 (OH) 帧丢失锁定或复帧丢失锁定时提取
 - 开销 (OH) 帧丢失锁定或复帧丢失时, 支持最近的、已知的、好的 Calendar 通道提取
 - 支持外部 OH 插入总线和 OH 提取总线用于如中国移动 SPN OAM, 1588 和同步消息等管理通道

扩展功能

- 支持用于 100GE, 50GE 和 25GE 的 1G, 2.5G, 5G 和 25G 带宽 Calendar Slot
 - 每 5G/s 增量支持多达 80 个通道或每 25G/s 增量支持多达 16 个通道
 - 支持 B100G/N x 100G, 200G 和 400G 应用的 Nx100 FlexE 实例
 - 支持 100G 到 400G* (用于 FPGA) 或 1.6T (用于 ASIC) 的聚合带宽
 - 支持 200GE 和 400GE PHY 的专用优化的 IP 内核
 - 支持其他 PCS/PHY 类型: 25GE, 50GE*,



100GE, 200GE 和 400GE

- 支持 FlexE IMP 映射到 ODUFLEX 的 OTN 映射器端口 (OTN 应用)

MAC客户端接口 (FlexE MII)

- 时间分多路复用 MII 总线
- 有效的通道 ID

PCS/PHY 接口 (FlexE PCS)

- Nx66B 接口
- *50GE PHY 被视为支持中国移动 SPN/FlexE 扩展的“专有功能”。

应用案例

以下实例说明了 200G 聚合带宽 FlexE 的应用。MAC 客户端与 Precise-ITC MAC 多通道集成, PHY 可以是 400GE, 200GE, 100G 或 50GE。FlexE SHIM 收集汇总高达 200G 的 MAC 数据并分布在各个 PHY 上。

关于Precise-ITC Inc.:

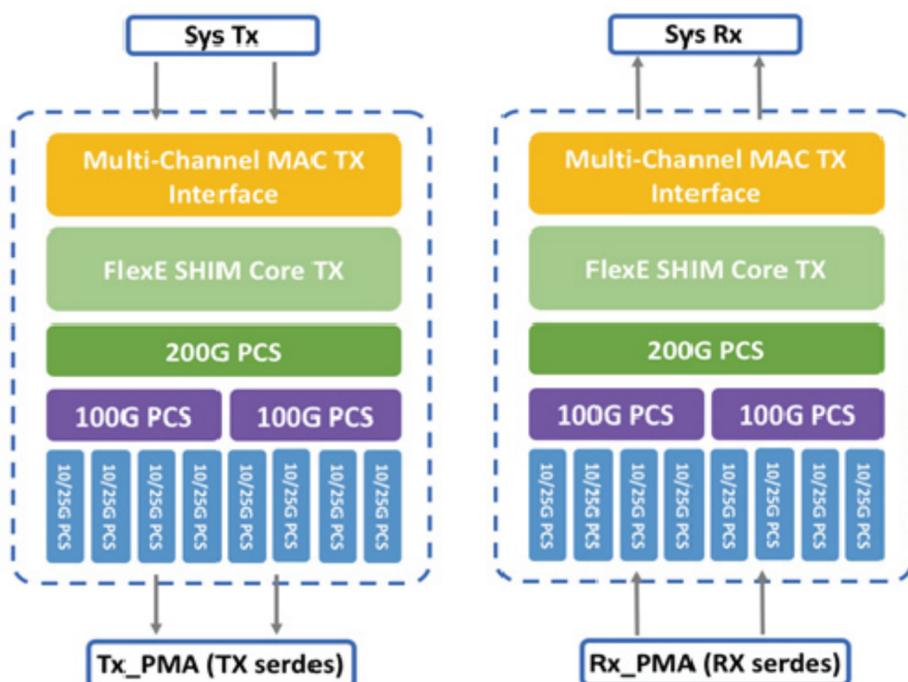
Precise-ITC Inc. (弘智精创高科技公司) 正式成立于 2003

年, 公司总部位于加拿大首都渥太华, 是一家全球首屈一指的 IP 核研发和销售的高科技企业。

公司自成立以来, 专注于 IP/ASIC Design/SOC 晶片 / 硬件的技术开发、产品销售以及产品和技术定制服务。目前是以 Ethernet 和 OTN IP 开发为主, 最新的产品有 E-pak 1.6T/800G/400G/FlexE SHIM 和 Cross-connect/Switch IP 核。

公司一直坚持以人才为本, 荟萃业界精英, 不断研发新项目, 与业界各大顶尖科技企业紧密合作, 已拥有品质优良的 IP 核 200 多个, 并且得到广泛应用。

了解更多产品信息请访问我们的网站 <http://www.precise-itc.com>



业界MAX高密度可扩展VU19P原型验证平台 缩短ASIC芯片设计进程

上海新致华桑电子

华桑电子推出最新一代原型验证平台 NE-VU19P-LSI，搭载 16nm 工艺的 XCVU19P 芯片，提供业界最大的逻辑资源，更加丰富，高速的 I/O 接口和超高带宽的高速串行收发器。面向 ASIC 原型验证及大规模 SoC 的开发，缩短芯片设计进程，加速芯片面世。

与上一代的 20nm 工艺的 VU440 相比，逻辑资源增加约 1.6 倍，I/O 资源提升 1.4 倍，速度提升约 30%。

单颗 VU19P 平台可以提供如下资源：

总计超 1800 个 I/O，可用于外部扩展，或者平台间互联使用。

- 48 路高速 GTY 收发器，最高可达 25Gbps。可通过 FMC 或者 SAS 扩展。

- 电压可调的 FMC I/O，可适配多种外部接口调试。

- 可扩展多路 DDR4/DDR3 等存储卡，速率可达 FPGA 标称 2400Mbps。

- 丰富的全局时钟与复位资源，可支撑各种频率的应用场景。

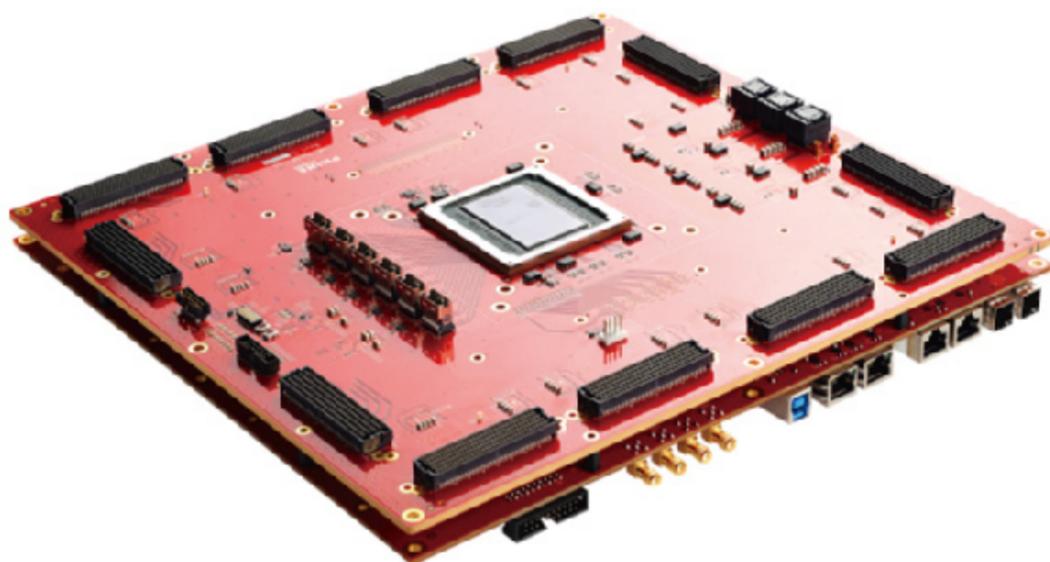
- 灵活的上位机管理软件，提供界面化直观便捷操作。

- 同时提供脚本命令执行方式。

多颗 VU19P FPGA 平台使用时，通过构建私有云 (private CLOUD)，将平台交由服务器统一访问。用户可以通过网络访问服务器，与 VU19PFPGA 平台进行交互。大规模逻辑

可嵌入专用时分复用模块 PSSP 实现高速、低延时的单时钟周期传输。

出色的 Debug 工具，为支撑系统调试的数据信号采样模块 SignalProbe，可支持更高速度、灵活的信号数量和多样触发条件。另外提供精准的异常动作定位，加速调试进度。



有设计拿不到产能？

有市场搞不定设计？

让芯动用一站式IP和定制量产渠道
保证您的产品快速量产面市！

 保证量产产能

 保证IP和工艺

 保证一次成功

高端芯片 · IP · 设计 · 一站式领军

全国产自主可控 | 创流片交付记录 | 高安全高可靠 | 国内持续领先

GDDR6/HBM2E
高性能计算

GDDR6/5
DDR5/4 / LPDDR5/4
HBM2E
PHY&Controller

HDMI 2.1 / eDP 1.4
VBO PHY&Controller

32G Serdes
PCIe5/4/3/SATA3/SAS
Rapid IO/eMMC/SDIO
UFS/XAUI PHY
InnoLink Chiplet

顶级SerDes
低功耗32Gbps

MIPI C-PHY/D-PHY
TTL/LVDS
PHY&Controller

芯动IP，世界先进
从0.18um至5nm
一站式IP核心技术
覆盖全球主流Foundry

Temp Sensor
HD Video DAC

HiFi Audio Codec
PWM DC-DC / LDO

USB2/3/3.2 OTG
PHY&Controller

UHF RFID
PUF Security



SAMSUNG



UMC



XMC



5nm

最高工艺节点

10万片/年

FinFET晶圆授权量产

50亿+

高端SoC芯片量产

200+

合作企业

敏捷开发——uBright数字化IP交付平台

Committed to better RISC-V solution

We provide high-quality silicon-proven RISC-V compatible processor IP core, verification suite, software and toolchains.

优矽科技

简介

优矽科技 uBright 平台为公司自研 IP 产品交付平台，旨在为客户高效提供优质的处理器 IP 核产品，客户可通过平台便捷提交配置需求，可视化灵活配置 IP，在线实时监测交付进度，同时也为客户管理产品配置文件提供便利，防止文件丢失，文件信息出错，实现版本管理、访问权限控制、历史追溯等数据自动化管理。

平台优势

1. 敏捷开发，快速交付，更快的市场响应速度
2. 模块化高灵活性，提供一站式解决方案
3. 产品信息管理、开发进度、交付节点可视化
4. 便捷定制差异化及高性价比成本优势

uBright 平台结合 Chisel 硬件描述语言敏捷设计方法学实现 IP 产品快速交付，客户可通过 IP 库配置选型，将原本需要一周的交付时长

缩短至一天乃至 2 小时，自动化生成平台大幅度缩减人力成本及开发周期，降低 IP 开发费用，为客户提供优质且高性价比的 RISC-V IP 处理器内核。

平台分为 CRM 客户管理、uClever 工具链配置、uSmart 电路生成三个子系统，用户通过 CRM 获取 IP 核说明、产品选型、产品配置等，将配置好的 IP 核产品需求提交至系统，经过后台核对确认配置需求后将进入工具链配置，系统将自动配置生成芯片专用开发软件、芯片设计驱动及接口、专属 IP 性能分

析软件，最后由电路生成系统生成对应的 IP RTL 且对生成的 IP 自动进行性能分析及验证，保证交付优质的 IP 产品。

1. 根据产品授权模式，客户通过配置表格，可在短时间内获得交付件，主要是优矽科技自研可配置微架构 IP 交付平台，该平台由客户管理系统、uClever 工具链配置平台，uSmart 电路生成平台组成。

2. 客户通过配置界面按照所需配置填写配置表格，表格被提交大客户管理系统中，并生成对应平台的配置文件，并将所需交付文档归



uBright 平台 - 处理器内核交付流程

集出来。

3、uClever.Config, 根据客户配置生成对应的 IP SDK , 以及所需驱动和 API。同时生成用于 PPA 分析的工程环境。

4、uSmart.IP 根据配置文件生成相应的基于 Verilog HDL 的微架构 IP RTL, 并交付给 uSmart.PPA 进行 PPA 分析, 输出 PPA 报告; 交付给 uSmart.VF 仿真验证平台, 实施全功能验证。

5、uSmart.VF 用于对 IP 进行全测例仿真, 并输出仿真验证报告, 确保生成电路是完整的、可靠的, 通过验证的。

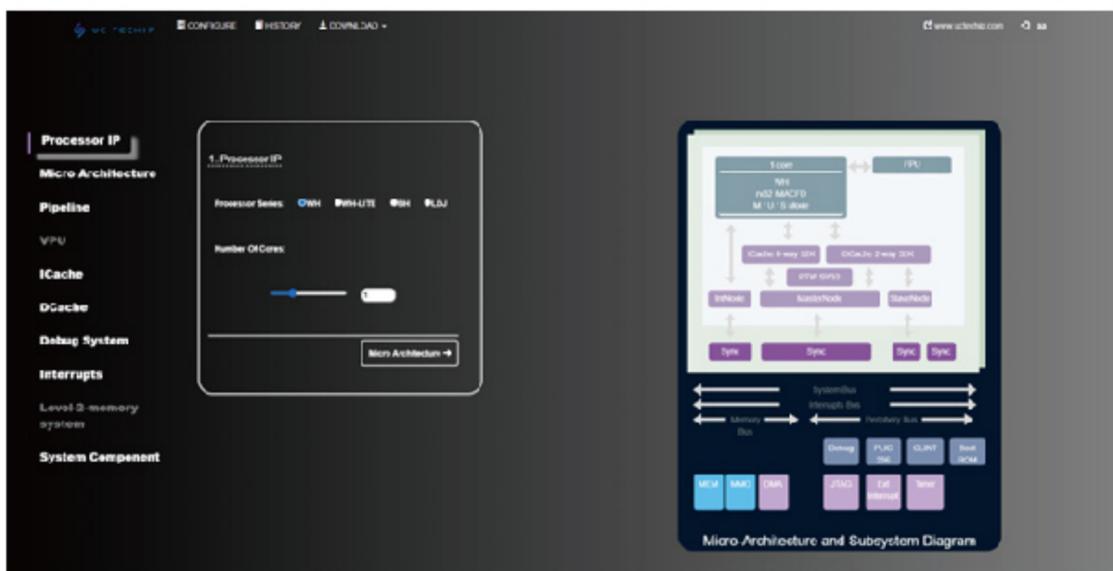
6、uSmart.SoC 平台, 针对配置出来的微架构, 自动生成 SoC 电路, 并实现 FPGA bit stream 交付给客户做硬件加速仿真。

模块化自定义配置

以我司 WH (渭河) 系列 IP 产品为例, 平台配置分为十个模块, 分别是“Processor IP”、“Micro Architecture”、“Pipeline”、“VPU”、“ICache”、“DCache”、“Debug System”、“Interrupts”、“Level 2 memory system”以及“System Component”; 用户可根据需求灵活配置, 用户选择相应配置后, 首页右侧“Micro-Architecture and Subsystem Diagram”区域实时更新配置信息, 便于用户查看当前配置情况, 这也是本平台的特色之一。

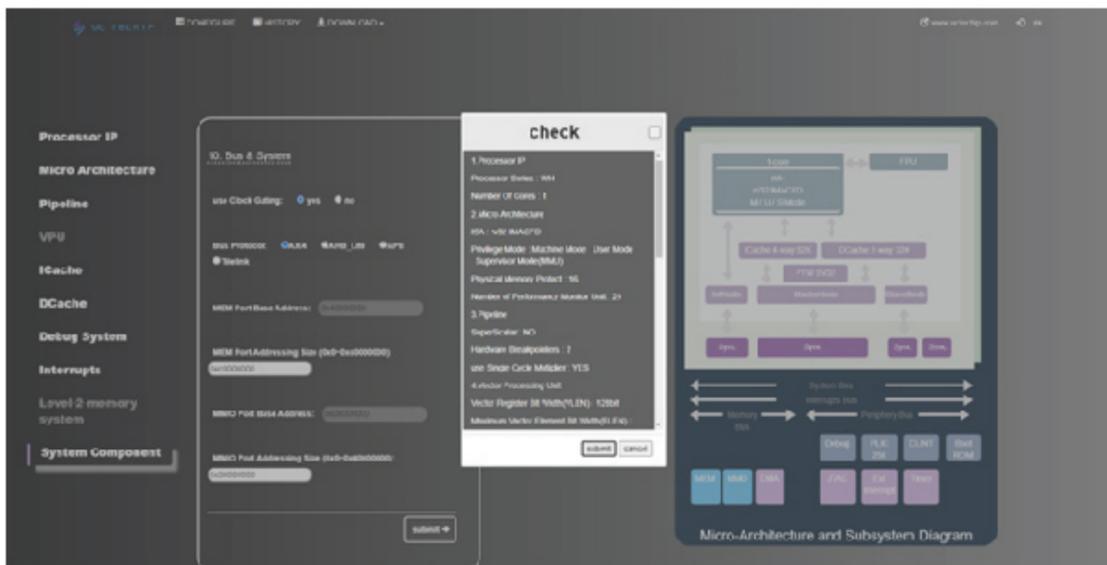
用户配置到 System Component 总结

基于敏捷设计面向对象的硬件构造语言 Chisel 的自研产品开发验证交付平台和实战经验, 优矽从一开始就构建了领先的技术开发环境, 对 RISC-V 技术开源往商业闭源的产品开发转化有着深刻洞察力和市场经验, 专注为客户高效提供优质的 RISC-V IP 解决方案。



模块后, 点击 System Component 选项中的 submit 按钮, 提交配置结果;

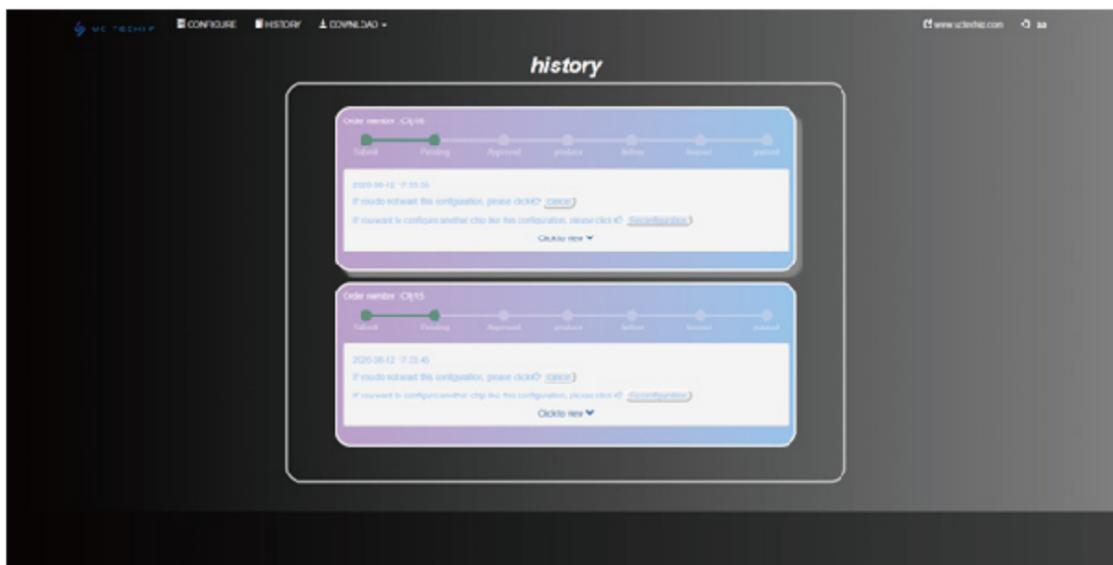
本平台秉承严谨准确的原则, 在点击“submit”后, 系统会弹出配置情况确认, 用户检查配置信息是否符合需求, 确认无误后方可确定提交



用户可通过配置首页上方导航栏中的 HISTORY 选项, 进入历史配置详情界面;

本平台提供历史浏览功能, 旨在为用户浏览历史配置记录, 查看配置进度, 重新配置提供便利;

每个配置记录都有一个编号, 在编号下方是配置生成进度条, 每个配置记录都提供以本记录作为模板配置的接口“Reconfiguration”, 和配置详情浏览按钮“Click to view”, 点击“Click to view”查看配置详情。



Advertiser	广告商名称	网址	页码
北京华大九天软件有限公司		www.empyrean.com.cn	IFC
德科集成技术有限公司		www.decosemi.com	01
上海申首半导体科技有限公司		www.rimbo@s1semi.com	03
成都纳能微电子有限公司		www.nanengmicro.com	05
FARADAY 智原科技			07
imagination		www.imagination.com	11
成都锐成芯微科技股份有限公司		www.analogcircuit.cn	15
南京尔芯电子有限公司			17
cadence		www.cadence.com	25
INTRINSICID		www.intrinsic-id.com	27
onespin		www.onespin.com	31
Perfectvips		www.Perfectvips.com	33
Brite		www.britesemi.com	41
燊码科技		www.pufsecurity.com	43
Seamless Microsystems		www.seamlessmicro.com	48
CAST		www.cast-inc.com	49
苏州国芯科技股份有限公司			51
codasip		www.codasip.com	57
ALLEGRO		www.allegrodvt.com	63
无锡星矢集成电路设计有限公司		www.seiya-da.com	71
平头哥		www.t-head.cn	75
SECURE-ic		www.secure-ic.com	79
赛昉科技		www.starfivetech.com	80
Altran		www.altran.com	81
芯动科技有限公司		www.innosilicon.com	85
国奇科技		www.qualchiptech.com	IBC

投稿指南

《IP与SoC设计》杂志和网站www.ip-soc.com欢迎您提供技术性文章、新闻和新产品介绍等等。

为丰富杂志内容、增加在集成电路设计界的知名度,扩大其涵盖范围并更好地服务于本地厂商,《IP与SoC设计》杂志面向广大IP/DesignService/EDA/Foundry厂商征集优秀文章、最新产品和及时性信息。

如果您有什么好的见解需要和我们分享,请联系编辑。

中文稿件(有英文原稿的请附上)优先采用,本刊有权自主修改、编辑文章内容。

技术文章

1. 一篇技术文章的字数应该在2000至6000字之间;
2. 请分别提交文字和插图(文字当中没有内嵌的图片或图形);
3. 文章应该包含适当的设计信息或基本原理、照片、图形、仿真和实测数据;
4. 请注明作者姓名、职务及所在公司或机构的名称;
5. 论文将经过《IP与SoC设计》编辑审查委员会的审查程序;

新品发布

1. 请尽量提供简体中文稿件(可附上英文原文),中文稿件会被优先采用。
2. 请清晰地写明新产品的名称、型号、性能、独特之处和用途等。
3. 产品介绍应少于300字(英文少于150字)。
4. 来稿请附产品照片,其分辨率不低于300dpi。
5. 留下能提供进一步信息的人的姓名、电话、E-mail。

产品特写

1. 产品特写集中报道一个具体产品(或产品系列),字数应该在1000字左右,最多不超过2000字;
2. 请提供一个描述产品的图片,它将出现在产品特写开始的标题区域(无需说明文字);
3. 重要——请分别提供文字和插图(文本中无嵌入的图片)。文本应该是一个Word文件,每幅图像必须是上述文件格式之一的一个单独文件。为了说明插图在文字中的位置和说明文字,可以提供另一份文字和插图在一起的文件(可选)。
4. 产品特写不包括作者署名。
5. 请提供联系信息,包括公司名称、联系方式、公司网址。

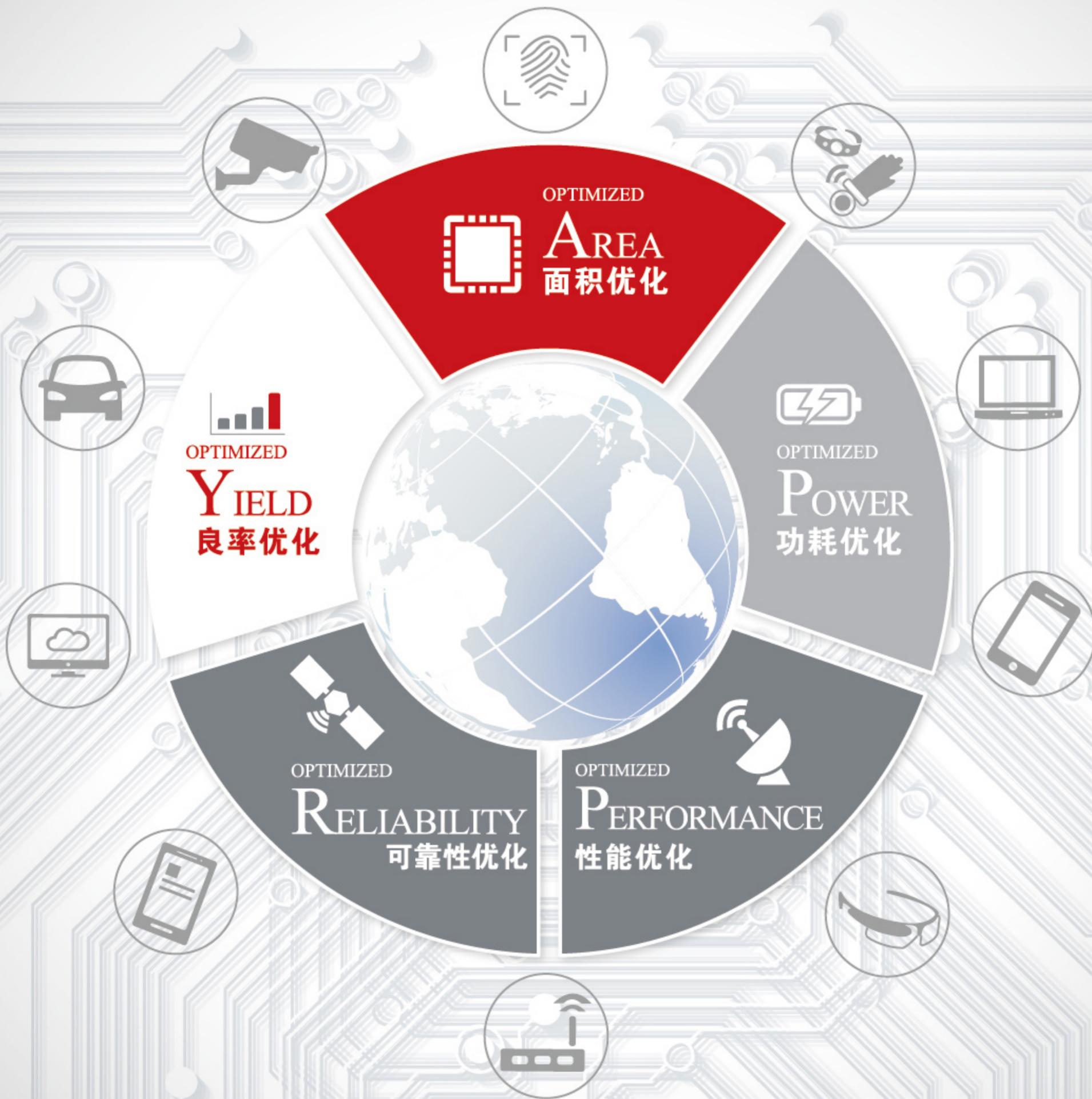
详情请联系:朱慧 电邮:zhuh@jsic-tech.com 电话:15895811108



国奇科技

APPRY优化设计方案 一次量产成功保证!

High-end SoC Design & Turnkey Services Provider.
We Guarantee "Direct Volume Production Success"!



优化设计 助造优秀中国芯!
Optimal Solutions for Total Quality!

www.qualchiptech.com

